

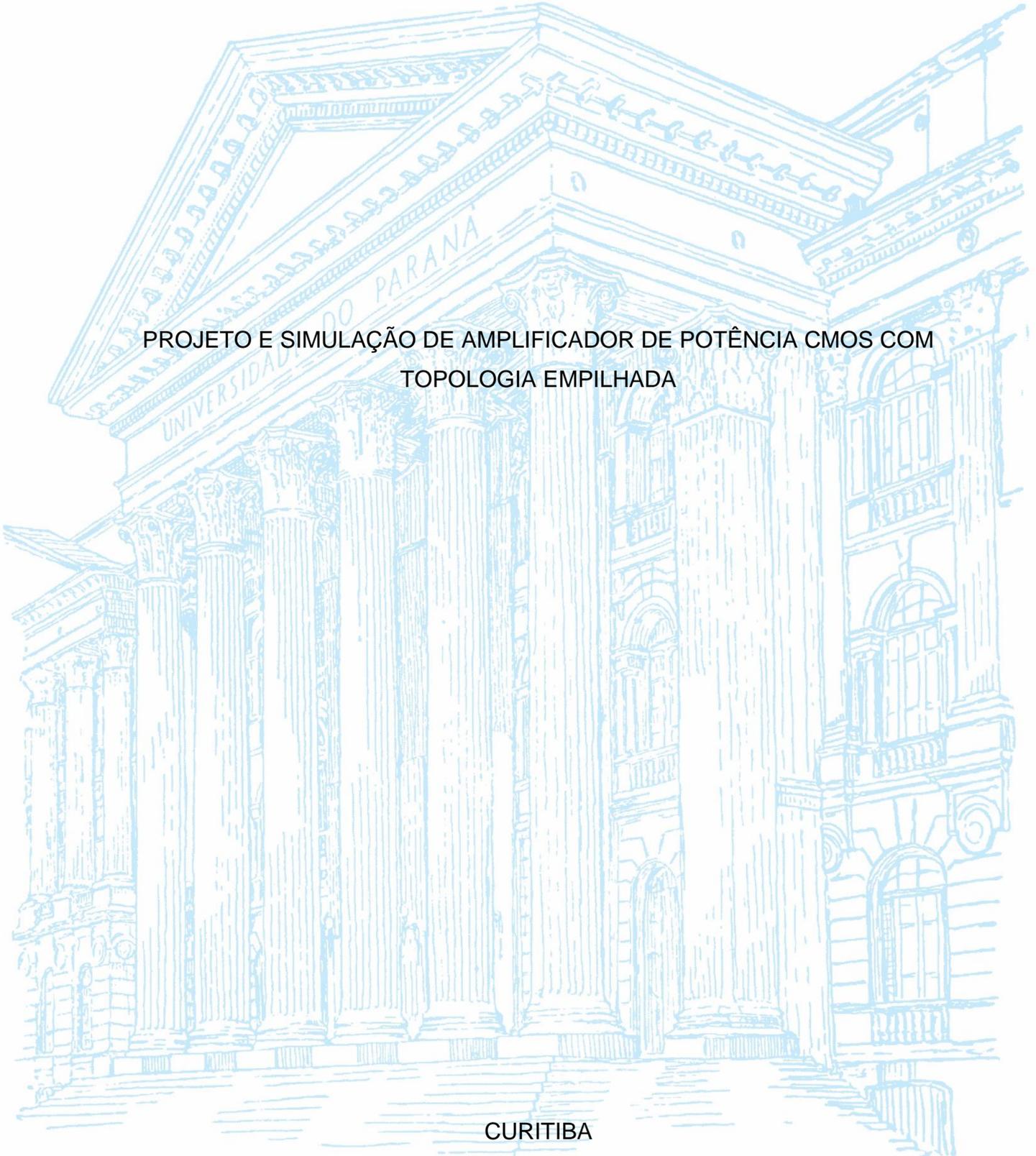
UNIVERSIDADE FEDERAL DO PARANÁ

MOISES ALVES GUERGOLET

PROJETO E SIMULAÇÃO DE AMPLIFICADOR DE POTÊNCIA CMOS COM
TOPOLOGIA EMPILHADA

CURITIBA

2024



MOISES ALVES GUERGOLET

PROJETO E SIMULAÇÃO DE AMPLIFICADOR DE POTÊNCIA CMOS COM
TOPOLOGIA EMPILHADA

TCC apresentado ao curso de Curso de Engenharia Elétrica, Setor de Tecnologia, Universidade Federal do Paraná, como requisito parcial à obtenção do título de Bacharel em Engenharia Elétrica.

Orientador: Prof. Dr. Bernardo Rego Barros de Almeida Leite

Coorientador: Dr. Favero Guilherme Santos

CURITIBA

2024

Dedico esta obra as minhas filhas, Anny Cammily Guergolet e Beatriz Borba Guergolet. A minha companheira na vida, Andressa Lima Guergolet. A minha doce mãe, Maria Leonilda Alves Guergolet, e a meu pai, *in memoriam*, Álvaro Guergolet. Aos amigos que conheci no curso pelas boas conversas. Aos meus professores incentivadores nessa jornada.

AGRADECIMENTOS

Ao Prof. Dr. Bernardo Rego Barros de Almeida Leite, e ao meu coorientador Dr. Favero Guilherme Santos, pela contribuição de seus conhecimentos e sugestões na orientação deste Trabalho de Conclusão de Curso.

A todos os mestres que tive no curso de Engenharia Elétrica da UFPR, pela formação técnica e cidadã.

A todos que direta ou indiretamente contribuíram para a conclusão deste trabalho.

Os que sonham de dia conhecem muitas coisas que escapam aos que
sonham somente à noite.
(Edgar Allan Poe)

RESUMO

Este trabalho investiga os resultados de projeto e simulação de amplificadores de potência (PA) em 2,4 GHz com topologias de transistor de efeito de campo de semicondutor de óxido metálico (MOSFET) empilhados, apresentando configurações de quatro e cinco transistores e utilizando um processo em metal-óxido-semicondutor complementar (CMOS) de 130 nm. No desenvolvimento do trabalho foram realizadas simulações de pequenos e grandes sinais, e geradas as curvas de S11 e S21, e ganho versus potência de saída (Pout), e a Eficiência de Potência Adicionada (PAE) versus Pout, para cada um dos modos de operação para uma topologia com quatro e cinco transistores empilhados operando em uma configuração capaz de gerar múltiplos perfis de eficiência (multimodo) operando com um caminho único de propagação de sinal de radiofrequência (RF). Em relação aos resultados obtidos para as duas pilhas no modo de operação de alta potência, a configuração com cinco MOSFETs apresenta parâmetros melhores que a com quatro, com maior ganho (15,56 dB contra 8,8 dB), melhor eficiência PAE (39,61% contra 25,7%), e maior Ponto de Compressão de Saída de 1dB (OCP1dB) (24,72 dBm contra 19,9 dBm). Os resultados para além de mostrar as vantagens da topologia com cinco MOSFETs, permite vislumbrar melhorias adicionais para pilhas ainda mais altas. Este estudo estabelece as bases para futuras melhorias no projeto de PAs empilhados em regime de operação multimodo para dispositivos de telecomunicações móveis.

Palavras-chave: Amplificador de potência. Topologia empilhada híbrida. Tecnologia CMOS de 130 nm. Caminho único de propagação.

ABSTRACT

This work investigates the design and simulation results of 2.4 GHz power amplifiers (PAs) with stacked metal-oxide-semiconductor field-effect transistor (MOSFET) topologies, presenting four- and five-transistor configurations and using a 130 nm complementary metal-oxide-semiconductor (CMOS) process. In the development of this work, small-signal and large-signal simulations were conducted, generating S11 and S21 curves, gain versus output power (Pout), and Power-Added Efficiency (PAE) versus Pout for each operating mode for a topology with four and five stacked transistors operating in a configuration capable of generating multiple efficiency profiles (multi-mode) with a single radio frequency (RF) signal propagation path. Regarding the results obtained for the two stacks in high-power operation mode, the configuration with five MOSFETs exhibits better parameters than the one with four. It achieves higher gain (15.56 dB compared to 8.8 dB), better power-added efficiency (PAE) (39.61% compared to 25.7%), and a higher 1dB Output Compression Point (OCP1dB) (24.72 dBm compared to 19.9 dBm). These results not only highlight the advantages of the five-MOSFET topology but also suggest potential for further improvements with even higher stacks. This study establishes a foundation for future improvements in the design of stacked PAs operating in multi-mode regimes for mobile telecommunications devices.

Keywords: Power amplifier. Hybrid stacked topology. 130 nm CMOS technology. Single propagation path.

LISTA DE FIGURAS

FIGURA 1 - (A) SIMBOLO NO ESQUEMA ELÉTRICO DE UM MOSFET, (B) CORTE TRANSVERSAL DE UM MOSFET TIPO N.....	21
FIGURA 2 - (A) MOSFET COM TENSÃO NA PORTA, (B) FORMAÇÃO DA REGIÃO DE DEPLEÇÃO, (c) FORMAÇÃO DO CANAL.....	22
FIGURA 3 - RUPTURA DO ÓXIDO DE UM TRANSISTOR MOSFET	26
FIGURA 4 - (A) PA COMO COMPONENTE DE CIRCUITO DE AMPLIFICAÇÃO, (B) PA E REDE DE CASAMENTO DE IMPEDÂNCIAS	27
FIGURA 5 - DIAGRAMA DE PARÂMETROS DE ESPALHAMENTO	31
FIGURA 6 - (A) PA CAMINHO ÚNICO DE PROPAGAÇÃO E (B) PA COM MÚLTIPLOS CAMINHOS DE PROPAGAÇÃO	35
FIGURA 7 - (A) PA COM TOPOLOGIA CS E (B) DISTRIBUIÇÃO DE TENSÃO EM UM PA CS.....	37
FIGURA 8 - (A) PA COM TOPOLOGIA CASCODE (B) DISTRIBUIÇÃO DE TENSÃO EM UM PA CASCODE.....	37
FIGURA 9 - (A) PA TOPOLOGIA STACKED (B) DISTRIBUIÇÃO DE TENSÃO PARA UM PA NA TOPOLOGIA STACKED	39
FIGURA 10 - (A) TODOS OS MOSFET COMO AMPLIFICADORES, (B) M2 COMO CHAVE FECHADA E M1 E M0 COMO AMPLIFICADORES, (C) M2 E M1 COMO CHAVES FECHADAS E APENAS M0 COMO AMPLIFICADOR	43
FIGURA 11 - (A) M2 COMO CHAVE FECHADA E M1 E M0 COMO AMPLIFICADORES, (B) DISTRIBUIÇÃO DE TENSÕES PARA M2 COMO CHAVE FECHADA E M1 E M0 COMO AMPLIFICADORES ..	44
FIGURA 12 - EXEMPLOS DE PA MULTIMODOS (A) Modesto et al. (2019), (B) Luong et al. (2018), (C) Ou et al. (2017), (D) Hsieh e Tsai (2017)	48
FIGURA 13 - EXEMPLOS DE PA MULTIMODOS (E) Santos et al. (2016), (F) Kuang et al. (2015), (G) Yin et al. (2014), (H) Woo et al. (2014)	49
FIGURA 14 - DIAGRAMA DE BLOCO DO CIRCUITO COM QUATRO MOSFET	52
FIGURA 15 - ESQUEMÁTICO DO CIRCUITO COM QUATRO MOSFET	52
FIGURA 16 - GANHO X POUT PARA TODOS OS MODOS DE OPERAÇÃO	54
FIGURA 17 - PAE X POUT PARA TODOS OS MODOS DE OPERAÇÃO	55

FIGURA 18 - OCP1dB x FREQUÊNCIA PARA TODOS OS MODOS DE OPERAÇÃO.....	57
FIGURA 19 - PAE em OCP1dB x FREQUÊNCIA PARA TODOS OS MODOS DE OPERAÇÃO.....	57
FIGURA 20 - S21 x FREQUÊNCIA PARA TODOS OS MODOS DE OPERAÇÃO...	58
FIGURA 21 - S11 x FREQUÊNCIA PARA TODOS OS MODOS DE OPERAÇÃO...	59
FIGURA 22 - DIAGRAMA DO CIRCUITO COM CINCO MOSFET	60
FIGURA 23 - NÚCLEO DE POTÊNCIA E ARVORE DE POLARIZAÇÃO PARA QUATRO E CINCO MOSFET	60
FIGURA 24 - ESQUEMÁTICO DE SIMULAÇÃO E IMPEDÂNCIAS DE ENTRADA E SAÍDA E AMPLIFICADOR	61
FIGURA 25 - ESQUEMÁTICO DO AMPLIFICADOR COM SEUS ELEMENTOS: IMPEDÂNCIAS DE ENTRADA E SAÍDA, RESISTOR DE ALIMENTAÇÃO, INDUTOR DE ESTRANGULAMENTO, BANCO DE CAPACITORES E NÚCLEO DE AMPLIFICAÇÃO.....	62
FIGURA 26 - ESQUEMÁTICO DAS CÉLULAS DO BANCO DE CAPACITORES, SENDO (A) PARA CÉLULA DE BAIXA POTÊNCIA, (B) PARA A CÉLULA DE POTÊNCIA MÉDIA, (C) PARA A CÉLULA DE ALTA POTÊNCIA E (D) PARA A CÉLULA DE ULTRA ALTA POTÊNCIA...	63
FIGURA 27 - GANHO VS POUT	68
FIGURA 28 - PAE VS POUT.....	70
FIGURA 29 - S21 VS FREQUÊNCIA	71
FIGURA 30 - S11 VS FREQUÊNCIA	72
FIGURA 31 - MU VS FREQUÊNCIA.....	73
FIGURA 32 - SINAIS NAS PORTAS, DRENOS E FONTES PARA O MODO DE OPERAÇÃO N5S0A5	74

LISTA DE GRÁFICOS

GRÁFICO 1 - MODULAÇÃO DE CORRENTE E REGIÕES DE OPERAÇÃO DE UM MOSFET	24
GRÁFICO 2 - EXEMPLO DE COMPRESSÃO DA POTÊNCIA DE SAÍDA DE UM PA	29
GRÁFICO 3 - PERFIS DE EFICIÊNCIA PARA (A) PA MODO ÚNICO E (B) PA MULTIMODO	32

LISTA DE QUADROS

QUADRO 1 - CRONOGRAMA PROPOSTO DE ATIVIDADES PARA TCC.....	20
--	----

LISTA DE TABELAS

TABELA 1 – EXEMPLO DE ALOCAÇÃO DE TENSÃO PARA $n = 4$	45
TABELA 2 - POLARIZAÇÃO E MODOS DE OPERAÇÃO	53
TABELA 3 - PERFORMANCE DE POTÊNCIA PARA TODOS OS MODOS DE OPERAÇÃO A 2.4 GHz	56
TABELA 4 - POLARIZAÇÃO E MODOS DE OPERAÇÃO PARA 5 MOSFET E PARA 4 MOSFET APENAS NO MODO DE ALTA POTÊNCIA	67
TABELA 5 - IMPEDÂNCIAS OTIMIZADAS	67
TABELA 6 - PAE, GANHO, OCP1dB E PSAT	69

LISTA DE ABREVIATURAS OU SIGLAS

- PA - *Power Amplifier* (amplificador de potência)
- CMOS - *Complementary Metal–Oxide–Semiconductor* (metal-óxido-semicondutor complementar)
- MOSFET - *Metal Oxide Semiconductor Field Effect Transistor* (transistor de efeito de campo semicondutor de óxido metálico)
- HB - *Harmonic Balance* (Equilíbrio Harmônico)
- IoT - *Internet of Things* (Internet das Coisas)

LISTA DE SÍMBOLOS

© - copyright

@ - arroba

® - marca registrada

Σ - somatório de números

Π - produtório de números

SUMÁRIO

1 INTRODUÇÃO	16
1.1 JUSTIFICATIVA	18
1.2 OBJETIVOS	19
1.2.1 Objetivo geral	19
1.2.2 Objetivos específicos.....	19
1.3 METODOLOGIA, MATERIAIS E MÉTODOS	19
2 REVISÃO DE LITERATURA	21
2.1 MOSFET E REGIÕES DE OPERAÇÃO.....	21
2.1.1 Operação como amplificador e como chave	24
2.1.2 Tensão de ruptura em transistores MOS.....	25
2.2 TECNOLOGIA CMOS 130 NM.....	26
2.3 AMPLIFICADORES DE POTÊNCIA DE RF	27
2.3.1 Eficiência e Linearidade	28
2.3.2 Considerações de Projeto	28
2.4 PARÂMETROS PARA CARACTERIZAÇÃO DE PA	28
2.4.1 Ponto de Compressão (OCP) – Linearidade	28
2.4.2 Eficiência de Potência Adicionada (PAE) - Eficiência	30
2.4.3 Parâmetros de Espalhamento (S-Parameters) em Pequenos Sinais para Amplificadores de Potência	30
2.5 PA MULTIMODOS E SUAS TOPOLOGIAS	32
2.5.1 Vantagens dos PA Multimodo	33
2.5.2 Tipos e classificações de PA multimodos.....	33
2.5.2.1 PA com Comutação de Modo.....	34
2.5.2.2 PA com Ajuste Dinâmico de Polarização.....	34
2.5.2.3 PA seguidor de envelope.....	34
2.5.2.4 PA de Caminho Único de Propagação ou PA de Caminho Múltiplo	34
2.5.3 Topologias Empilhadas: CASCODE, EMPILHADA E HÍBRIDA	36
2.5.3.1 Topologia CASCODE	36
2.5.3.2 Topologia Empilhada	38
2.5.3.3 Topologia Híbrida	41
2.5.4 Estado da Arte.....	46
2.6 PA HÍBRIDO COM QUATRO MOSFET	49

2.6.1 Circuito: Visão Geral e Esquemático	49
2.6.2 Resultados de Simulações	54
3 PROJETO COM CINCO MOSFET	59
4 RESULTADOS E COMPARAÇÃO	68
5 CONSIDERAÇÕES FINAIS E TRABALHOS FUTUROS	74
5.1 RECOMENDAÇÕES PARA TRABALHOS FUTUROS	75
REFERÊNCIAS.....	76
APÊNDICE A – RUPTURA DO ÓXIDO DE PORTA NA TECNOLOGIA DE 130 NM	
78	
APÊNDICE B – S-PARAMETERS: CONSIDERAÇÕES PRÁTICAS E EXEMPLO	
DE USO.....	79
APÊNDICE C – PARÂMETRO DE ESTABILIDADE μ PARA PA.....	81
APÊNDICE D – EQUAÇÕES DE RESISTÊNCIA E GANHO PARA DIFERENTES	
TOPOLOGIAS	83

1 INTRODUÇÃO

Os PAs desempenham um papel crucial nos sistemas de telecomunicações, sendo responsáveis por amplificar os sinais de saída dos dispositivos móveis para níveis de potência adequados à transmissão via antena. Esses circuitos operam tanto nos subsistemas de transmissão quanto de recepção. No caso da recepção, os dispositivos são encarregados de processar os sinais captados, realizando funções essenciais como a amplificação e a conversão para banda base, garantindo que a informação recebida possa ser corretamente interpretada pelo processador de banda base. Para tanto, esses dispositivos precisam ser altamente sensíveis para capturar sinais fracos e distantes, exigindo uma engenharia sofisticada (IET, 2012).

Por outro lado, os PAs, que integram os subsistemas de transmissão, são responsáveis por potencializar os sinais de saída do dispositivo móvel, assegurando que sejam transmitidos pela antena com níveis de potência adequados e com qualidade suficiente para serem captados pelo receptor. Devido à sua própria natureza, conforme apontado por Mahmood (2015), o PA é o componente que mais consome energia no estágio de transmissão, sendo uma fonte significativa de ineficiência energética em dispositivos móveis e de telecomunicações.

A questão da eficiência energética dos dispositivos de telecomunicações, particularmente dos sistemas que operam com baterias, é de grande relevância. Muitos desses dispositivos têm sua autonomia limitada pelo número de recargas possíveis e pela quantidade de carga que podem suportar. Em circuitos com baixa eficiência, como os que dependem de amplificadores de potência menos otimizados, uma maior quantidade de recargas é necessária, o que, por sua vez, aumenta a frequência de troca das baterias e pode afetar a longevidade dos equipamentos (Stuber, 2011). Essa questão é especialmente crítica em ambientes onde a troca frequente de baterias é inviável ou onerosa, como em sistemas de comunicação remotos ou dispositivos IoT (*Internet of Things*), que muitas vezes operam por longos períodos sem intervenção humana. Além disso, há um crescente interesse em soluções que promovam maior sustentabilidade energética, com o desenvolvimento de amplificadores de potência mais eficientes e o uso de fontes de energia renovável como alternativas para prolongar a vida útil dos dispositivos (Griffiths, 2017).

Além disso, os dispositivos móveis precisam atender a uma variedade crescente de protocolos de comunicação, exigindo que sejam capazes de amplificar

sinais com diferentes características. Isso impõe desafios relacionados à eficiência, linearidade e ao consumo de energia, conforme observado por Deng (2009). Considerando que o PA é uma das principais causas do consumo de energia nesses dispositivos, podendo representar aproximadamente 60% do consumo de potência do módulo RF (Musiige, 2013), torna-se crucial o estudo de técnicas para otimizar a eficiência desses circuitos.

Há bastante tempo, os circuitos digitais de dispositivos eletrônicos adotam a tecnologia CMOS devido à sua alta taxa de integração e baixo custo. Entretanto, a tecnologia CMOS possui algumas limitações para aplicações de alta potência, como os PAs. Uma dessas limitações é a baixa tensão limite suportada pelos transistores, o que restringe a tensão de alimentação do circuito (Ruiz, 2010). Para superar essas restrições, uma solução encontrada foi o uso de diferentes tecnologias no projeto de PAs. Contudo, ao utilizar PAs projetados com diferentes tecnologias, diversos chips são necessários para compor o mesmo sistema, o que traz complexidade à integração entre as diferentes partes.

Para contornar essas limitações, uma solução promissora é o empilhamento de transistores, onde cada transistor da pilha divide a tensão V_{DD} , permitindo que os transistores operem com tensões mais altas, sem exceder o limite de tensão de cada um (Tarar et al., 2016; Dabag et al., 2013; Pornpromlikit et al., 2010). Por exemplo, uma pilha de dois transistores pode suportar uma V_{DD} de 3 V, mesmo que a tensão máxima permitida (V_{MAX}) para cada transistor seja de 1,6 V (Favero, 2021). Outra solução é o uso de amplificadores de potência multimodos, que operam em diferentes modos, conforme a potência de saída requerida, permitindo que o PA selecione o modo que ofereça a potência necessária com o menor consumo de energia (Deng, 2009).

Nos sistemas modernos de comunicação, a eficiência em operação de *backoff* é essencial devido ao uso de esquemas de modulação avançados, que empregam uma ampla faixa de símbolos. Esses símbolos variam em amplitude, exigindo uma operação linear do amplificador para evitar distorções no sinal transmitido. Historicamente, os PAs eram projetados para operar próximos à região de saturação, uma vez que esquemas de modulação mais antigos toleravam melhor a distorção. No entanto, com o aumento das demandas por alta capacidade de transmissão de dados, a distorção de sinal se tornou inaceitável. Hoje, é necessário que o PA mantenha alta

eficiência mesmo operando em níveis de potência reduzidos, especialmente em sistemas que transmitem grandes volumes de dados (Mahmood, 2015).

Uma das formas de abordar o problema do gasto energético associado à amplificação de potência é combinar as duas abordagens: empilhamento de transistores e operação multimodo. No amplificador de potência multimodo, o modo de operação é alterado conforme a potência de saída, buscando utilizar o modo que forneça a potência requerida com o menor consumo de energia. Por outro lado, o empilhamento de transistores permite que o amplificador suporte maiores tensões sem comprometer a integridade dos transistores, o que pode resultar em uma operação mais eficiente (Deng, 2009).

Este trabalho é um desdobramento do amplificador prova de conceito projetado e simulado por Favero (2021), mas com o uso de cinco transistores empilhados. O objetivo é verificar se o aumento para cinco ou mais MOSFETs pode melhorar o desempenho em comparação com o uso de dois ou três transistores. Assim, este estudo busca expandir as soluções previamente exploradas, testando a combinação do empilhamento de transistores com a operação multimodo para otimizar a eficiência dos PAs, tornando-os mais adequados para os sistemas de comunicação de alta demanda atuais, como 4G e 5G.

1.1 JUSTIFICATIVA

A utilização de amplificadores de potência multimodos é uma abordagem promissora para otimizar a eficiência energética em dispositivos de telecomunicação. Essa técnica permite que o amplificador opere em diferentes modos de eficiência, ajustando-se às necessidades de potência de saída com menor consumo de energia. A topologia empilhada é particularmente interessante devido à sua capacidade de aumentar a amplitude da tensão de saída e a eficiência energética, empilhando vários transistores em série (FAVERO, 2021).

Outro aspecto que justifica este trabalho é a exploração dos efeitos do aumento no número de transistores empilhados no desempenho do amplificador de potência (PA). Segundo Mahzarin et al. (2015) o número ideal de transistores empilhados está entre três e cinco, sendo esse o ponto de maior eficiência para tecnologias em 45 nm. No entanto, o comportamento dessa topologia pode ser diferente em tecnologias com maior processo de fabricação, como 130 nm, uma vez

que os efeitos parasitários tendem a se intensificar com o aumento da escala de fabricação, o que pode impactar diretamente a eficiência e o desempenho do amplificador.

1.2 OBJETIVOS

1.2.1 Objetivo geral

Projetar e simular um PA CMOS com topologia empilhada de cinco transistores para operação multimodo, comparando seu desempenho com uma topologia de quatro transistores empilhados (FAVERO, 2021).

1.2.2 Objetivos específicos

- i. Estudo de arquiteturas de PA multimodos.
- ii. Caracterização dos diferentes modos de operação através de simulações de pequenos e grandes sinais, para os parâmetros de espalhamento (SP) e simulação de equilíbrio harmônico (HB).
- iii. Determinar a eficiência, ganho e linearidade à medida que se aumenta o número de transistores empilhados.
- iv. Leiaute e simulações pós-leiaute para caracterização do circuito

1.3 METODOLOGIA, MATERIAIS E MÉTODOS

O trabalho engloba o projeto e simulação de amplificadores de potência com topologia empilhada, desenvolvido em etapas, onde o projeto, simulação e validação utilizam o sistema Cadence Virtuoso (software proprietário pago).

O projeto foi dividido nas seguintes etapas:

- a) Revisão da literatura que envolva projeto e simulação de amplificadores de potência com topologia empilhada.
- b) Prática em projeto e simulação usando a ferramenta de simulação Cadence Virtuoso.

c) Projeto e simulação de topologia com cinco ou mais transistores empilhados.

d) Otimização das topologias para ganho, linearidade e eficiência de energia, ajustando o esquema de polarização e o dimensionamento dos transistores.

O quadro 1 apresenta o cronograma proposto para as atividades do TCC I, e as atividades a serem desenvolvidas no TCC 2.

QUADRO 1 - CRONOGRAMA PROPOSTO DE ATIVIDADES PARA TCC

ATIVIDADE	INCÍCIO	FIM
Revisão da literatura	semana 1	semana 3
Exercícios de prática em projeto e simulação usando CADENCE para tipologia híbrida com 4 MOSFET	semana 4	semana 4
Elaborar esquemático com 5 transistores empilhados	semana 5	semana 5
Elaborar test bench e configurar simulações para o projeto com 5 MOSFET	semana 6	semana 6
Realizar simulações iniciais para 5 MOSFET	semana 7	semana 7
Escrever artigo para SEMICRO - estudo comparativo da pilha com 4 MOSFET e com 5 MOSFET no modo de alta potência	semana 7	semana 10
Primeira avaliação	semana 8	semana 8
Otimização do casamento de impedâncias para 5 MOSFET	semana 9	semana 12
Escrever TCC e preparar apresentação TCC	semana 13	semana 14
Segunda avaliação	semana 14	semana 14
Terceira avaliação	semana 15	semana 15
Continuação Otimização de casamento de impedâncias e banco de capacitores	TCC II	
Outras otimizações, incluindo polarizações	TCC II	
Layout e simulações pós layout	TCC II	
Testes com sinais padrão IEEE 802.11ax	TCC II	
Refinamentos, versão final do Amplificador de potência	TCC II	

FONTE: AUTOR

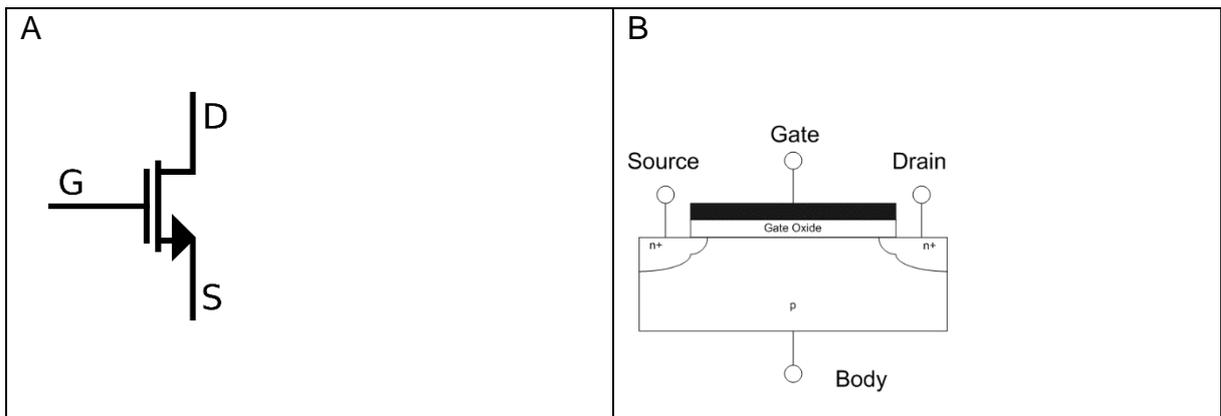
O trabalho está dividido em introdução, revisão da literatura sobre amplificadores de potência e as principais métricas para sua caracterização, o projeto do PA com cinco ou mais MOSFET, os resultados obtidos pelo circuito projetado e sua comparação com o PA com quatro MOSFET, bem como as discussões dos resultados e, por fim, a conclusão desse trabalho, e recomendação de trabalhos futuros.

2 REVISÃO DE LITERATURA

2.1 MOSFET E REGIÕES DE OPERAÇÃO

O transistor MOSFET, possui quatro terminais, Dreno, Fonte, Porta, Substrato/Corpo, normalmente só tem três terminais acessíveis, estando o substrato ligado à fonte. A dopagem do canal é complementar à dos terminais. Os parâmetros de dimensionamento mais importantes são (i) a largura do canal W , que condiciona a passagem de corrente no transistor, sendo proporcional a esta, (ii) e o comprimento do canal L , que está relacionado com o tempo de trânsito dos elétrons no canal, restringindo a resposta em frequência do dispositivo. O símbolo e o corte de um MOSFET tipo N pode ser visualizado na figura 1.

FIGURA 1 - (A) SIMBOLO NO ESQUEMA ELÉTRICO DE UM MOSFET, (B) CORTE TRANSVERSAL DE UM MOSFET TIPO N



FONTE: Adaptado de RAZAVI (2017)

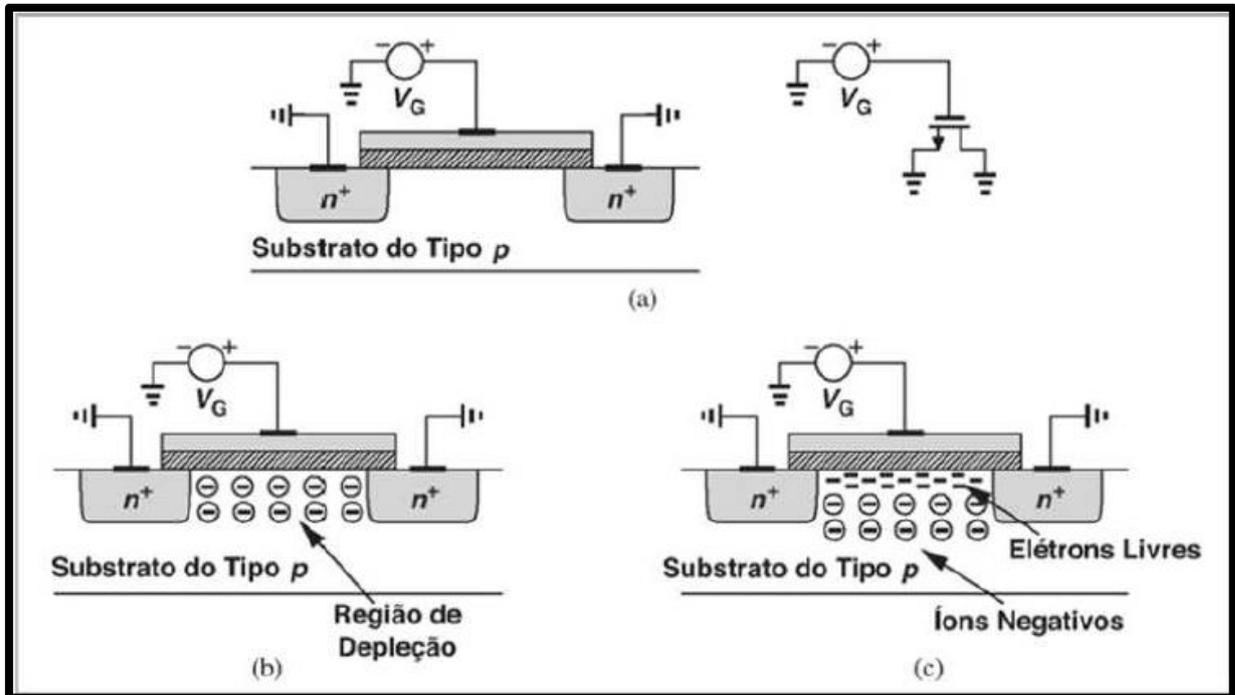
O MOSFET é um dispositivo controlado por tensão que permite controlar a condução de corrente entre o dreno e a fonte pela aplicação de uma tensão à porta. O comportamento do MOSFET depende crucialmente da tensão aplicada à porta, que modula a formação do canal condutor e, conseqüentemente, a passagem de corrente pelo dispositivo.

No estado inicial, sem nenhuma tensão aplicada à porta, um MOSFET de canal N possui uma camada de depleção entre o dreno e a fonte, impedindo a passagem de corrente.

Quando uma tensão positiva é aplicada à porta de um MOSFET de canal N, ela cria um campo elétrico que atrai elétrons para a região imediatamente abaixo da

camada de óxido (isolante) entre a porta e o canal. Isso forma um "canal" de elétrons que permite a passagem de corrente entre o dreno e a fonte, conforme figura 2.

FIGURA 2 - (A) MOSFET COM TENSÃO NA PORTA, (B) FORMAÇÃO DA REGIÃO DE DEPLEÇÃO, (C) FORMAÇÃO DO CANAL



FONTE: RAZAVI (2017)

Conforme se ajusta a tensão de porta, é possível modular a corrente, criando uma região de operação linear ou ôhmica, e uma região de saturação.

Região Linear (ou Ohmica): Quando a tensão de dreno-fonte (V_{DS}) é baixa, o MOSFET opera na região linear, onde a corrente que flui entre o dreno e a fonte (I_D) é aproximadamente proporcional à tensão aplicada (V_{DS}). Nesta região, o MOSFET funciona como um resistor controlado pela tensão de porta.

Região de Saturação: Quando a tensão V_{DS} aumenta e ultrapassa um certo valor ($V_{DS} \geq V_{GS} - V_T$, onde V_{GS} é a tensão porta-fonte e V_{th} é a tensão de limiar), o MOSFET entra na região de saturação. Nesta região, a corrente I_D se estabiliza e se torna praticamente independente de V_{DS} , sendo controlada principalmente pela tensão de porta (V_{GS}).

Portanto, com base no retro exposto, a operação de um MOSFET pode ser dividida em três diferentes modos, dependendo das tensões aplicadas sobre seus terminais.

Para o NMOS os modos são:

- Região de Corte: quando $V_{GS} < V_{th}$
O transistor permanece desligado, e não há praticamente corrente entre dreno e fonte. Apesar de a corrente entre dreno e fonte nesse modo ser idealmente zero devido à chave estar desligada, na realidade há uma fraca corrente invertida.
- Região de Triodo: quando $V_{GS} > V_{th}$ e $V_{DS} < V_{GS} - V_{th}$
O transistor é ligado, e o canal que é criado permite o fluxo de corrente entre dreno e fonte. O MOSFET opera como um resistor, controlado pela tensão na porta. A corrente do dreno para fonte é:

$$I_D = \frac{\mu_n C_{ox} W}{2 L} (2(V_{GS} - V_{th})V_{DS} - V_{DS}^2) \quad (1)$$

Nesta região de funcionamento é possível destacar duas zonas, uma aproximadamente linear com $V_{DS} \ll V_{GS}$, e outra sublinear com $V_{DS} \approx V_{GS}$.

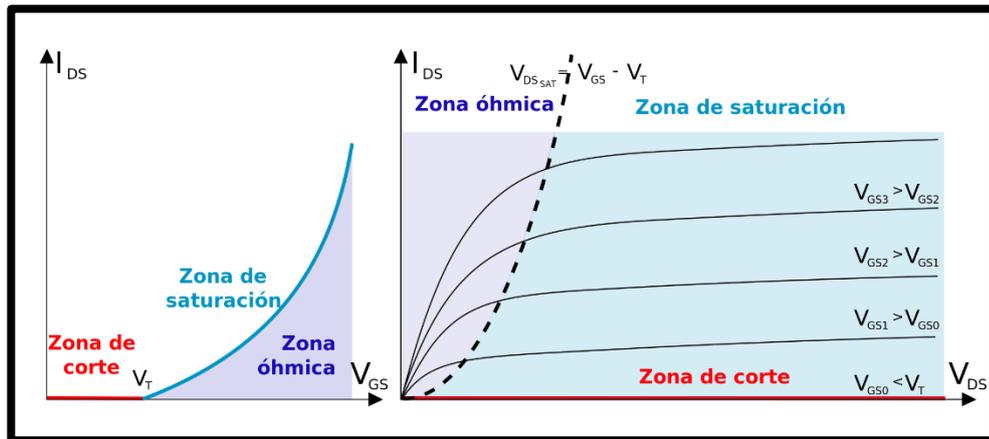
Apesar de nesta região haver um comportamento linear, esse não é o modo usado como amplificador em circuitos analógicos.

- Região de Saturação: quando $V_{GS} > V_{th}$ e $V_{DS} > V_{GS} - V_{th}$
O transistor fica ligado, e um canal que é criado permite o fluxo de corrente entre o dreno e fonte.
A corrente de dreno é relativamente independente da tensão de dreno (numa primeira aproximação) e é controlada somente pela tensão de porta de tal forma que:

$$I_D = \frac{\mu_n C_{ox} W}{2 L} (V_{GS} - V_{th})^2 \quad (2)$$

Graficamente tem-se o que segue no gráfico 1:

GRÁFICO 1 - MODULAÇÃO DE CORRENTE E REGIÕES DE OPERAÇÃO DE UM MOSFET



FONTE: Adaptado de RAZAVI (2017)

2.1.1 Operação como amplificador e como chave

Para entender o funcionamento do MOSFET como amplificador de potência, é essencial revisar conceitos básicos. O MOSFET é um dispositivo controlado por tensão, onde a corrente entre o dreno e a fonte (I_D) é regulada pela tensão porta-fonte (V_{GS}). Quando V_{GS} é suficiente, forma-se um canal condutor permitindo o fluxo de corrente.

No caso de sinais de RF, a modulação de V_{GS} controla a corrente I_D , sendo que, na região de saturação, I_D é principalmente controlada por V_{GS} , quase independente de V_{DS} . É nessa região que ocorre a amplificação: pequenas variações em V_{GS} geram variações proporcionais em I_D , resultando em um sinal de saída amplificado.

Por outro lado, na região linear (ou ôhmica), o MOSFET atua como chave, apresentando baixa resistência entre o dreno e a fonte, permitindo alto fluxo de corrente com mínima queda de tensão. Essa operação é eficiente, minimizando dissipação de energia.

Comparando os modos de operação, tem-se o que segue:

- Amplificador: Região de saturação, controle de I_D por V_{GS} , objetivo de amplificação, com eficiência variável.
- Chave Fechada: Região linear, controle por baixa resistência, objetivo de chaveamento, com alta eficiência.

A polarização do MOSFET define sua função: amplificação na região de saturação ou chaveamento na região linear. Compreender essas diferenças é essencial para o design eficiente de circuitos eletrônicos.

2.1.2 Tensão de ruptura em transistores MOS

A camada de óxido em transistores MOS, especialmente o óxido de porta, é fundamental para o desempenho e confiabilidade do dispositivo. Feita geralmente de dióxido de silício (SiO_2), atua como isolante entre a porta e o canal semicondutor, desempenhando funções críticas:

- Isolamento: Impede o fluxo direto de corrente entre porta e canal.
- Controle por Efeito de Campo: Permite que a tensão na porta controle a condutividade do canal por meio de um campo elétrico.
- Escalonamento: Em dispositivos menores, o óxido precisa ser mais fino para manter controle em tensões reduzidas.

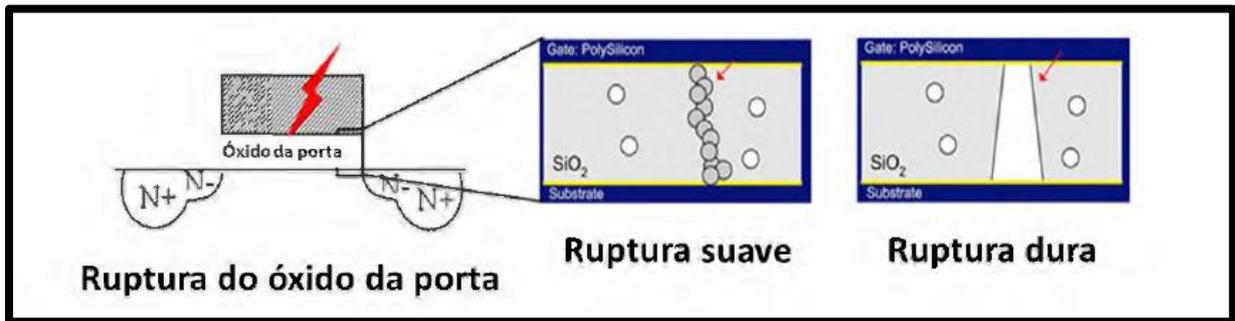
A resistência à ruptura dielétrica refere-se à capacidade do óxido de suportar um campo elétrico sem se tornar condutivo. Quando o campo excede o limite crítico, o óxido pode romper, causando falhas no transistor. Óxidos mais finos estão mais suscetíveis a romper em tensões menores (WANG; WONG, 2006).

A figura 3 ilustra o evento de ruptura do óxido, que pode ser classificada como:

- Suave: Reversível, com menor impacto.
- Dura: Irreversível, inutilizando o transistor (SZE; NG, 2006).

Esses fenômenos destacam a importância do controle da espessura e da integridade do óxido no design de dispositivos MOS.

FIGURA 3 - RUPTURA DO ÓXIDO DE UM TRANSISTOR MOSFET



FONTE: ATTOPSEMMI Technology (2012). Traduzido.

Diversos fatores influenciam a resistência à ruptura da camada de óxido em transistores MOS:

- **Qualidade do Óxido:** Óxidos mais puros e uniformes apresentam maior resistência à ruptura devido à menor presença de defeitos.
- **Temperatura:** Altas temperaturas reduzem a tensão de ruptura ao aumentar a mobilidade dos íons no óxido, causando rupturas prematuras.
- **Estresse e Envelhecimento:** Prolongado estresse elétrico e envelhecimento degradam o óxido ao longo do tempo, caracterizando a ruptura dielétrica dependente do tempo (TDDB).
- **Não-Uniformidades do Campo Elétrico:** Irregularidades estruturais podem gerar regiões de alto campo local, aumentando a propensão à ruptura.

Esses fatores destacam a importância de controlar a integridade e as condições operacionais do óxido para garantir a confiabilidade do dispositivo.

2.2 TECNOLOGIA CMOS 130 NM

A tecnologia CMOS é usada para construir chips de circuitos integrados (IC), incluindo microprocessadores, microcontroladores, chips de memória (incluindo CMOS BIOS), além de circuitos analógicos tais como sensores de imagem, conversores de dados, circuitos RF e transceptores altamente integrados para vários tipos de comunicação.

O processo CMOS foi originalmente concebido por Frank Wanlass na Fairchild Semiconductor, e apresentado por Wanlass e Chih-Tang Sah na *International Solid-State Circuits Conference* em 1963 (WANLASS; SAH, 1963).

O processo de 130 nanômetros (130 nm) é um nível de tecnologia de processo de semicondutores que foi alcançado no período de 2000–2001 por empresas líderes de semicondutores, como Intel, Texas Instruments, IBM e TSMC (ITRS, 2000-2001).

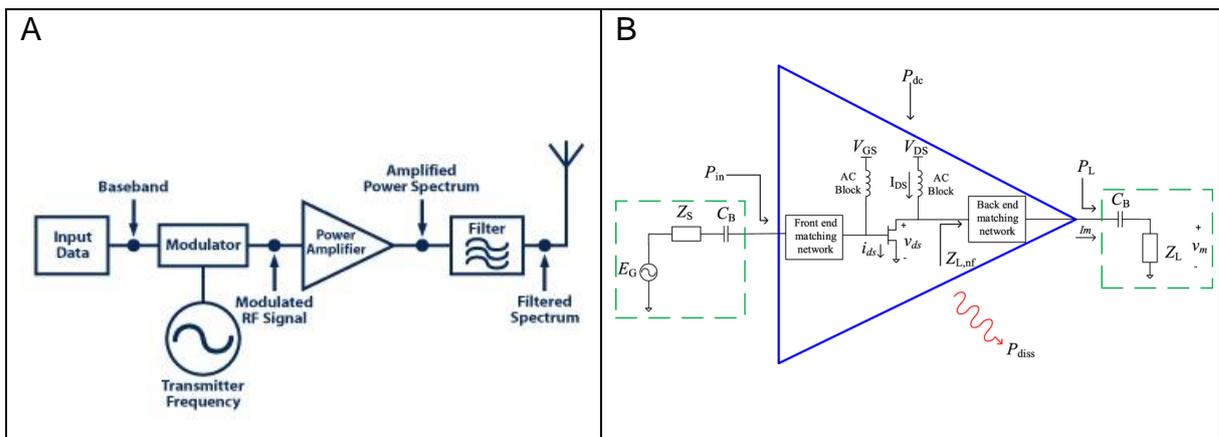
A origem do valor de 130 nm é histórica, refletindo uma tendência de redução de 70% a cada 2–3 anos. A nomenclatura é formalmente determinada pelo *International Technology Roadmap for Semiconductors* (ITRS, 2001).

Alguns dos primeiros processadores fabricados com esse processo incluem a família Tualatin de processadores Pentium III da Intel (SHERMAN, 2001).

2.3 AMPLIFICADORES DE POTÊNCIA DE RF

Um amplificador de potência de radiofrequência (amplificador RF) é um tipo de amplificador eletrônico que converte um sinal de radiofrequência de baixa potência em um sinal de alta potência. Normalmente, os amplificadores de potência RF são utilizados na etapa final de um transmissor de rádio, onde sua saída é responsável por acionar a antena, conforme figura 4.

FIGURA 4 - (A) PA COMO COMPONENTE DE CIRCUITO DE AMPLIFICAÇÃO, (B) PA E REDE DE CASAMENTO DE IMPEDÂNCIAS



FONTES: (A) Kouhalvandi (2021), (B) EEWORLD (2018)

Dentre os objetivos do projeto geralmente incluem ganho, potência de saída, largura de banda, eficiência energética, linearidade (baixa compressão de sinal na

saída nominal), correspondência de impedância de entrada e saída, e dissipação de calor.

Um compromisso comum no design de amplificadores de potência é o equilíbrio entre ganho de potência, eficiência e linearidade.

2.3.1 Eficiência e Linearidade

A eficiência de um amplificador de potência MOSFET é crucial, especialmente em aplicações de RF onde a economia de energia é importante.

A eficiência é maximizada ao operar o MOSFET na região de saturação, onde a maior parte da energia fornecida é convertida em sinal amplificado e não em calor.

Já a linearidade refere-se à capacidade do amplificador de produzir um sinal de saída que seja uma versão ampliada e proporcional do sinal de entrada.

A linearidade é afetada quando o MOSFET é empurrado para seus limites operacionais, como altas tensões ou correntes, resultando em distorção do sinal.

2.3.2 Considerações de Projeto

Dentre as considerações de projeto, é fundamental casar a impedância de entrada e saída para maximizar a transferência de potência e minimizar as reflexões de sinal.

Outro ponto relevante é a dissipação de calor, pois devido à alta potência dissipada, é essencial gerenciar a dissipação de calor para evitar superaquecimento e danos ao dispositivo.

Também redes de filtros e correspondência são frequentemente utilizadas para melhorar a eficiência e linearidade do amplificador, bem como para adaptar a impedância do amplificador à antena ou ao próximo estágio do circuito.

2.4 PARÂMETROS PARA CARACTERIZAÇÃO DE PA

2.4.1 Ponto de Compressão (OCP) – Linearidade

A linearidade é a capacidade de um PA produzir um sinal de saída que seja diretamente proporcional ao sinal de entrada, mantendo a mesma fase. Em outras

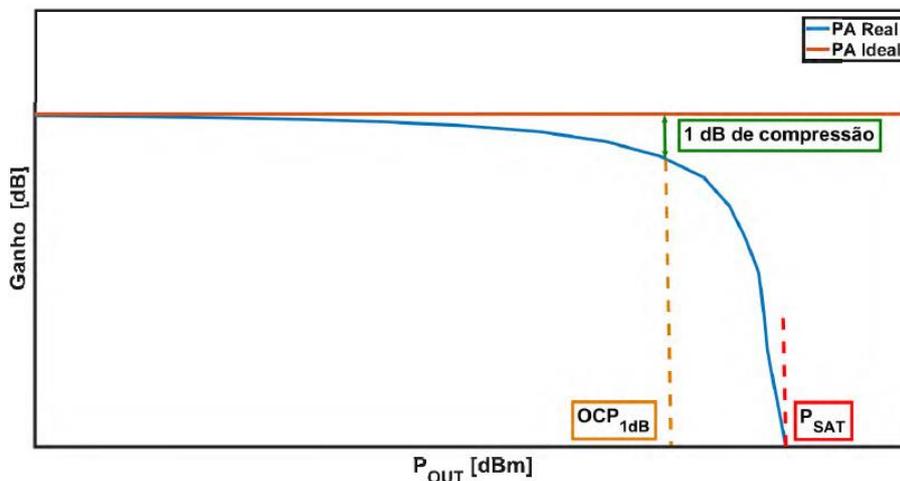
palavras, é a habilidade do PA de não introduzir distorções na amplitude ou na fase do sinal transmitido.

A complexidade surge de que um amplificador é, por natureza, um circuito não linear, e devido aos limites de ganho, faixa de operação e tensão de alimentação do circuito (VDD), conforme o sinal de entrada, a saída acaba apresentando certas distorções.

Também, os transistores possuem limites de potência que podem fornecer, e, conseqüentemente, os PA também apresentam limitações quanto à potência máxima. No entanto, quando a potência de saída se aproxima desse limite máximo, a linearidade do PA é significativamente comprometida (REYNART, 2006).

Uma das métricas utilizadas para descrever esse efeito é o ponto de compressão de 1 dB, que marca o momento em que o ganho de um amplificador de potência passa a ser 1 dB inferior ao ganho máximo do amplificador, indicando que o PA saiu da sua zona de comportamento linear, conforme gráfico 2.

GRÁFICO 2 - EXEMPLO DE COMPRESSÃO DA POTÊNCIA DE SAÍDA DE UM PA



FONTE: TARUI, Bruno Yuji (2021)

A partir do ponto de compressão, o PA perde a sua linearidade, mas apresenta uma melhora na sua eficiência.

Essa métrica pode ser determinada tanto em relação P_{OUT} , resultando no ponto de compressão de 1 dB referente a saída (OCP1dB) ou em relação a potência de entrada (PIN), resultando no ponto de compressão de 1 dB referente a entrada (ICP1dB).

Além disso, para o ponto de compressão pode-se adotar parâmetro diverso de 1 dB, conforme o caso, como 1,5 dB, 2 dB, etc.

2.4.2 Eficiência de Potência Adicionada (PAE) - Eficiência

A eficiência é uma métrica fundamental na caracterização de amplificadores de potência, uma vez que este subsistema consome a maior parte da energia no módulo transmissor, impactando significativamente a eficiência global do módulo. Um dos principais métodos para medir a eficiência é através da Eficiência de Potência Adicionada. A PAE considera a potência de entrada, a potência de saída e a potência consumida pelo PA (PDC). O cálculo da PAE é realizado utilizando a seguinte equação:

$$PAE = \frac{P_{OUT} - P_{IN}}{P_{DC}} \quad (4)$$

Essa métrica revela o "custo" em termos de potência para a potência adicionada ao sinal, levando em consideração não apenas a potência de saída, mas também o ganho fornecido pelo PA.

2.4.3 Parâmetros de Espalhamento (S-Parameters) em Pequenos Sinais para Amplificadores de Potência

Os parâmetros de espalhamento, ou S-parameters, são essenciais para caracterizar o comportamento de redes de RF e micro-ondas, especialmente em condições de pequenos sinais.

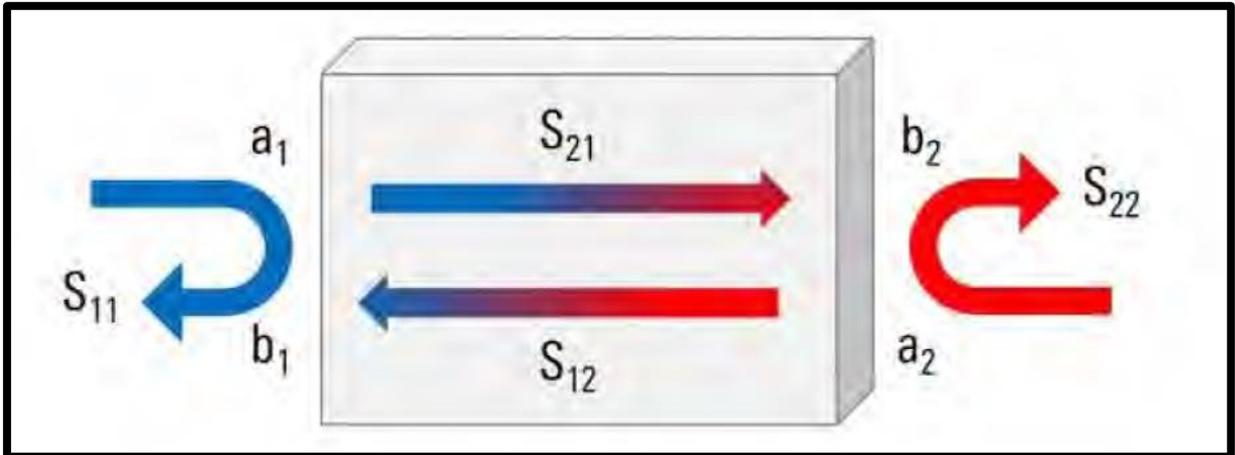
Eles fornecem um meio de descrever como os sinais de RF se comportam ao passar por uma rede, como um amplificador de potência (PA).

Entender os S-parameters é crucial para projetar e analisar amplificadores de potência, pois ajudam a prever como o amplificador interagirá com outros componentes em um sistema.

A simulação dos parâmetros de espalhamento considera as entradas e saídas de pequenos sinais do circuito como ondas de tensão, divididas em ondas incidentes

e refletidas (LEE, 2003). Portanto, os resultados obtidos referem-se exclusivamente ao comportamento de pequenos sinais, conforme figura 5.

FIGURA 5 - DIAGRAMA DE PARÂMETROS DE ESPALHAMENTO



FONTE: ROHDE SCHWARZ (2018)

Os S-parameters descrevem a relação entre ondas incidentes e refletidas nas interfaces de uma rede, sendo fundamentais na análise de amplificadores de potência:

- **S11 (Reflexão de Entrada):** Mede a reflexão na entrada, avaliando o casamento de impedância com a fonte. Um S11 baixo indica menor reflexão e maior transferência de potência.
- **S21 (Transmissão Direta):** Representa o ganho do amplificador, mostrando a amplificação do sinal de entrada para a saída. Um S21 alto é desejável.
- **S12 (Transmissão Reversa):** Mede a isolação entre saída e entrada. Um S12 baixo evita instabilidades por sinais retornando à entrada.
- **S22 (Reflexão de Saída):** Avalia o casamento de impedância na saída. Um S22 baixo maximiza a entrega de potência à carga.

Esses parâmetros são medidos com um analisador de rede e são úteis na análise de pequenos sinais, onde o amplificador opera linearmente (WANG; WONG, 2006). Eles ajudam a projetar amplificadores eficientes, estáveis e com mínimo de reflexões (WANLASS; SAH, 1963; SHERMAN, 2001).

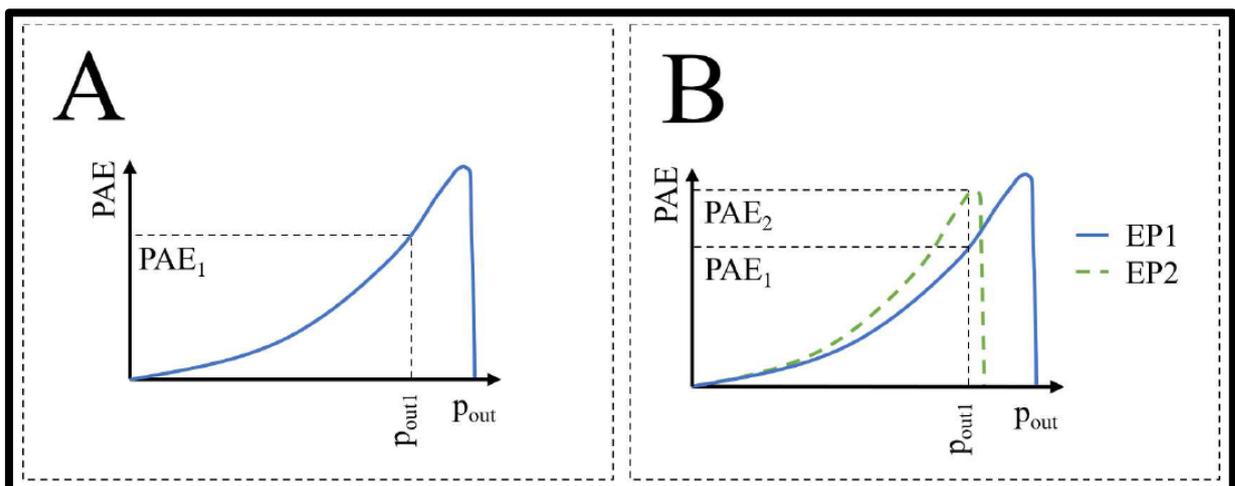
No design de amplificadores de potência, os parâmetros mais relevantes são o S11 e o S21, priorizando a potência de saída em vez do ganho máximo de pequenos sinais avaliado por S22.

2.5 PA MULTIMODOS E SUAS TOPOLOGIAS

Os PA multimodos são circuitos capazes de funcionar em diferentes perfis de eficiência (ou modos), podendo atingir diversas eficiências para uma potência de saída P_{OUT} fixa.

Diferentemente dos PA denominados de modo único, que têm apenas um perfil de eficiência (gráfico 3 (A)), os PA multimodo possuem pelo menos dois perfis de eficiência (gráfico 3 (B)).

GRÁFICO 3 - PERFIS DE EFICIÊNCIA PARA (A) PA MODO ÚNICO E (B) PA MULTIMODO



FONTE: FAVERO (2021)

O gráfico 3 (A) permite visualizar que para um PA de modo único há uma relação unívoca entre P_{out} e PAE, ou seja, há apenas um perfil de eficiência. De outro lado, a arquitetura no gráfico 3 (B), que é um PA multimodo, pode-se verificar que há uma possibilidade de escolha da curva de maior eficiência, dado o mesmo P_{out} .

O espaçamento horizontal das curvas no PA multimodo, indica um uso eficiente da faixa de controle dinâmico da potência de saída do PA, não sendo desejável que essas curvas estejam sobrepostas horizontalmente, pois a sobreposição em um dado ponto implica em eficiência igual e, portanto, em curvas de eficiência não utilizáveis, embora a operação multimodo possa ocorrer.

A utilização de amplificadores de potência (PA) multimodo é uma estratégia interessante para otimizar o desempenho dos sistemas de comunicação sem fio, existindo na literatura várias arquiteturas sugeridas para o projeto de amplificadores de potência multimodo com diferentes níveis de potência de saída.

Um dos objetivos dessas arquiteturas é reduzir o consumo de energia do PA quando menor potência de saída é necessária, alternando entre diferentes modos de operação, permitindo a operação em modos de baixa potência quando o máximo de potência não é necessário, reduzindo significativamente o consumo de energia (Bellalta, 2016).

Outro ponto relevante, é que em sistemas de comunicação é comum a necessidade de suportar múltiplos padrões e frequência, sendo que os PA multimodo oferecem essa flexibilidade necessária para operar em diferentes bandas de frequência e modos de operação, facilitando a compatibilidade com vários padrões de comunicação como LTE, Wi-Fi e 5G (Kim, 2015).

2.5.1 Vantagens dos PA Multimodo

Dentre os diversos benefícios dos PA multimodo está, conforme já informado anteriormente, no fato de permitirem uma gestão mais eficaz da energia, prolongando a vida útil da bateria em dispositivos móveis e reduzindo o consumo de energia em estações base (McCune, 2015).

Isso se dá, pois ao operar em diferentes modos, esses PA podem otimizar o desempenho para diferentes condições de sinal e carga, resultando em melhor qualidade de serviço e maior robustez do sistema (Gonzalez, 1997).

Isso também implica em maior flexibilidade no design de sistemas RF, permitindo a integração de múltiplos padrões e frequências em um único dispositivo, facilitando a adaptação a diferentes mercados e requisitos de rede (Kim, 2015).

2.5.2 Tipos e classificações de PA multimodos

Existem vários tipos e classificações de PA multimodo, cada um com suas características específicas. A seguir estão os tipos mais comuns:

2.5.2.1 PA com Comutação de Modo

Este tipo de PA utiliza uma comutação física entre diferentes circuitos de amplificação, cada um otimizado para uma faixa de potência específica. Embora eficiente, a comutação pode introduzir perdas e atrasos (Gonzalez, 1997).

2.5.2.2 PA com Ajuste Dinâmico de Polarização

Nesse tipo, o ponto de polarização do transistor é ajustado dinamicamente para otimizar a eficiência em diferentes níveis de potência. Esta abordagem permite uma resposta rápida às mudanças de potência sem a necessidade de comutação física (Pozar, 2011).

2.5.2.3 PA seguidor de envelope

Este circuito usa uma técnica chamada "rastreamento de envelope" para ajustar a energia que chega ao PA em tempo real, conforme a variação do sinal de rádio (RF). O funcionamento se dá da seguinte forma: o circuito monitora as mudanças na intensidade do sinal e ajusta a tensão que alimenta o amplificador de acordo com essas variações. Dessa forma, a energia fornecida é sempre proporcional à necessidade do sinal no momento. Isso ajuda o amplificador a trabalhar de maneira mais eficiente, economizando energia quando o sinal está mais fraco e aumentando a potência quando o sinal está mais forte (Kim, 2015).

2.5.2.4 PA de Caminho Único de Propagação ou PA de Caminho Múltiplo

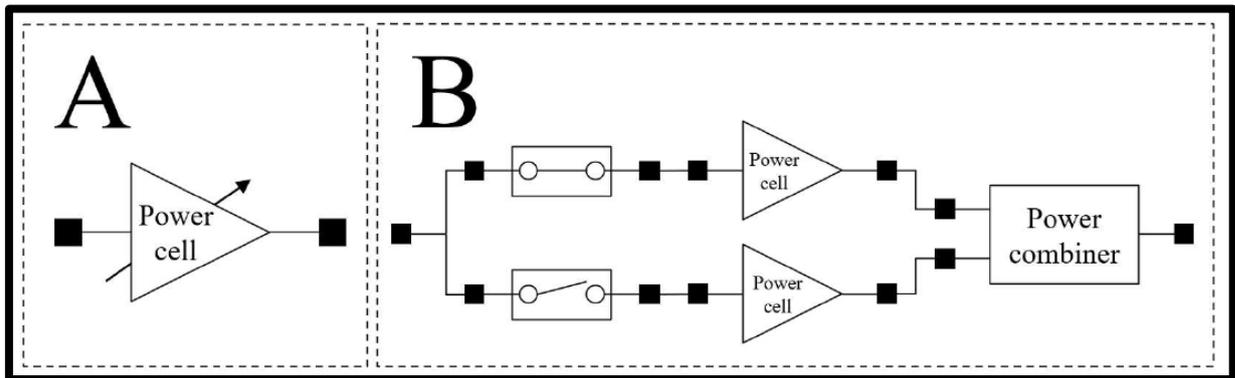
A operação multimodo pode ser alcançada quando o sinal de RF passa por um único caminho de sinal (propagação única) ou por múltiplos caminhos de sinal (multipropagação).

Os PA multimodo de múltiplos caminhos de propagação – multipropagação, são sistemas onde o sinal de RF é transmitido ou dividido para núcleos de amplificação paralelos, conforme ilustrado na figura 6 (B).

Exemplos de tais arquiteturas incluem os trabalhos de Modesto et al. (2019), Tarui et al. (2018), Luong et al. (2018), Ou et al. (2017), Santos et al. (2016), e An et al. (2009).

Por outro lado, os PA multimodo de caminho de propagação único são sistemas que conseguem realizar a operação multimodo sem a necessidade de retransmitir ou dividir o sinal de RF para outros núcleos de amplificação paralelos (figura 6 (A)), como demonstrado em Santos et al. (2020), Huang et al. (2017), e Hsieh e Tsai (2017).

FIGURA 6 - (A) PA CAMINHO ÚNICO DE PROPAGAÇÃO E (B) PA COM MÚLTIPLOS CAMINHOS DE PROPAGAÇÃO



FONTE: MCCUNE (2015b)

A configuração de multipropagação (Figura 6 (B)) é amplamente utilizada por permitir diferentes perfis de eficiência com estruturas de potência paralelas. O desafio principal está em combinar as saídas sem prejudicar a eficiência, devido a elementos parasitários em transformadores, chaves ou redes passivas. Uma solução é usar estruturas de potência replicáveis, que podem ser ativadas ou desativadas conforme necessário, criando múltiplos modos de operação, como no exemplo de Tarui et al. (2018), que descreve um amplificador com 64 modos.

Em contrapartida, PA multimodo de caminho único (Figura 6 (A)) eliminam combinadores de potência e chaves, resultando em layouts mais compactos e simples. Contudo, essas arquiteturas exigem otimizações mais complexas, já que a amplificação depende da interação eficiente dos elementos do caminho.

Uma limitação importante em PA CMOS é a baixa tensão de ruptura intrínseca, que restringe a potência de saída, especialmente em arquiteturas tradicionais, como a fonte comum. Para mitigar isso, a tensão máxima permitida (V_{MAX}) é usada como parâmetro do dispositivo. A conexão em série de transistores permite superar essa limitação: em uma pilha de dois transistores, um VDD de 3 V pode ser suportado com

cada transistor lidando com 1,5 V, mesmo que o VMAX seja de 1,6 V (Tarar et al., 2016; Dabag et al., 2013; Pornpromlikit et al., 2010).

Esse conceito abre caminho para analisar topologias empilhadas que viabilizem múltiplos modos de operação em uma arquitetura de caminho único.

2.5.3 Topologias Empilhadas: CASCODE, EMPILHADA E HÍBRIDA

Antes de aprofundar em cada uma dessas topologias empilhadas, cabe um sobrevoo de suas características compartilhadas, e diferenças maiores.

Dentre as topologias que empregam a técnica de empilhamento, que nada mais é que a conexão vertical em série de transistores, há a cascode, a empilhada e a híbrida, tendo todas elas como característica comum o estágio de entrada em fonte comum (CS).

Na topologia cascode os transistores subsequentes estão em porta comum (CG), não havendo variações de sinal nas portas, enquanto na configuração empilhada isso não ocorre (portanto, há variações de sinal em cada porta).

Já a arquitetura híbrida é uma variação da empilhada que relaxa as restrições de operação do amplificador, permitindo que os transistores funcionem quer como amplificadores, quer como chaves fechadas, possibilitando a operação multimodo.

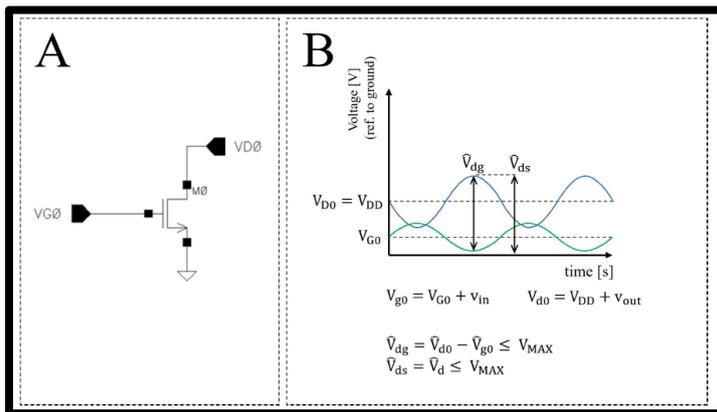
2.5.3.1 Topologia CASCODE

A configuração típica cascode utiliza um amplificador inferior em configuração CS e um superior em configuração CG, formando uma pilha de altura $n = 2$. O CS amplifica a entrada, enquanto o CG atua como buffer e isola a corrente da saída. Para configurar o CG, uma capacitância $C1$ é conectada para filtrar tensões CA ao terra, sendo sua porta geralmente polarizada com a tensão de alimentação (Ruiz e Pérez, 2014).

Empilhar dispositivos na configuração cascode é uma solução para superar limitações dos amplificadores CS em CMOS, como baixa resistência de saída (R_o), ganho de tensão em malha aberta (A_{vo}) e potência de saída (P_{out}) (Figura 8 (A)). A baixa R_o no CS ($1/g_{sd0}$) reduz a eficiência na transmissão de sinal para a carga. No cascode, R_o é significativamente maior ($(g_{sd0} + g_{m1})/g_{sd0} \cdot g_{sd1}$) (Razavi, 2013).

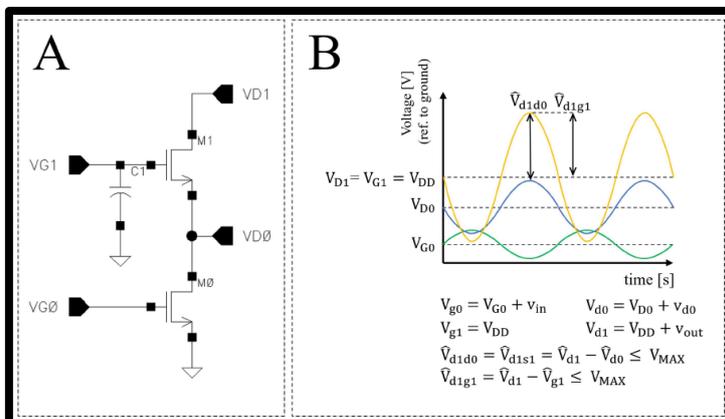
O *Avo* no cascode também é ampliado, sendo $(1 + gm1/gsd1)$ vezes maior que no CS ($-gm0/gsd0$) (Razavi, 2013). Esse aumento permite um pico v_{out} mais alto e, conseqüentemente, uma P_{out} maior. No entanto, alcançar esse aumento requer uma distribuição de tensão mais complexa, como mostrado na comparação entre as Figuras 7 e 8 (B). Detalhes das equações de R_o e Avo estão no Apêndice D.

FIGURA 7 - (A) PA COM TOPOLOGIA CS E (B) DISTRIBUIÇÃO DE TENSÃO EM UM PA CS



FONTE: FAVERO (2021)

FIGURA 8 - (A) PA COM TOPOLOGIA CASCODE (B) DISTRIBUIÇÃO DE TENSÃO EM UM PA CASCODE



FONTE: FAVERO (2021)

O cascode apresenta alta isolamento reversa ($|S_{12}|$), resultando em menor realimentação e maior estabilidade comparado ao amplificador CS (Razavi, 2011). No CS, as tensões dreno-porta (\hat{V}_{dg}) e dreno-fonte (\hat{V}_{ds}) devem ser mantidas abaixo de V_{MAX} para evitar ruptura do óxido, limitando o pico de tensão do dreno e a potência de saída. Já no cascode, uma tensão de pico de dreno mais alta é possível, pois a tensão no nó V_{D1} segue V_{D0} . Contudo, é necessário garantir que \hat{V}_{d1d0} e \hat{V}_{d1g1} também

permaneçam abaixo de V_{MAX} acumulando os requisitos de confiabilidade de ambos os níveis CS e CG.

O processo de "cascoding" pode ser estendido além de $n = 2$, como exemplificado por Luong et al. (2018) em um PA CMOS triplo-cascode, que permite alta tensão de alimentação e alta P_{out} mesmo em processos CMOS escaláveis. Essa configuração torna o cascode um esquema básico em PAs multimodo de caminho de multipropagação.

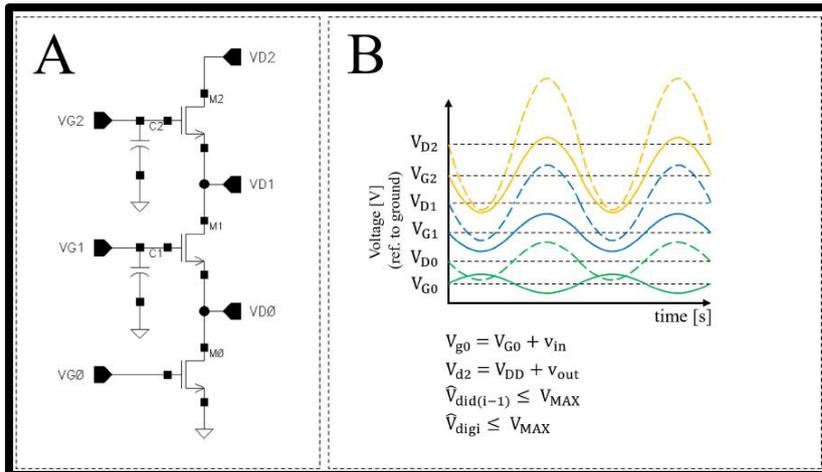
A célula CG pode ser habilitada ou desabilitada ajustando sua tensão de polarização. Em estado desligado, a resistência de saída aumenta drasticamente, idealmente impedindo qualquer sinal de retorno. Isso é vantajoso em amplificadores cascode paralelos conectados a uma carga comum, permitindo operação multimodo ao selecionar quais células estão ativadas.

2.5.3.2 Topologia Empilhada

A configuração empilhada, como o cascode, utiliza transistores conectados em série verticalmente com altura n , mas difere por não apresentar tensões CA nas portas dos transistores empilhados. Nesta configuração, o dreno de um transistor inferior é curto-circuitado com a fonte de um transistor superior. O transistor de índice $i = 0$ tem sua fonte aterrada, enquanto o de índice $i = n - 1$ conecta seu dreno à tensão V_{DD} , geralmente por meio de um indutor de estrangulamento. Um exemplo com $n = 3$ (M0, M1, M2) é mostrado na Figura 9.

Capacitores de porta (C_i , como C_1 e C_2 na Figura 9 (A)) são conectados entre as portas e a linha de terra para $i > 0$ até $n - 1$. Combinados com C_{gs} , atuam como divisores de tensão CA, controlando a magnitude da variação de tensão porta-fonte (Pornpromlikit et al., 2010; Dabag et al., 2013). Esses capacitores também ajustam a impedância nos drenos da pilha e ajudam a manter as tensões abaixo de V_{MAX} (Tarar et al., 2016).

FIGURA 9 - (A) PA TOPOLOGIA STACKED (B) DISTRIBUIÇÃO DE TENSÃO PARA UM PA NA TOPOLOGIA STACKED



FONTE: FAVERO (2021)

Existem pelo menos dois métodos analíticos na literatura para determinar os valores de capacitância de porta para a pilha. Ambos são baseados na análise de um modelo simplificado de pequenos sinais de baixa frequência para MOSFET e diferem na quantidade e tipo de passivos considerados.

A premissa para tais avaliações é o casamento de resistência entre o dreno do i -ésimo transistor (que tem a resistência de linha de carga R_{OPT} igual a V_{DS} por I_{DS}) com o dreno-fonte do transistor $(i - 1)$.

Fazendo isso, as tensões são efetivamente somadas em fase em cada nível da pilha, proporcionando uma maior variação de tensão no topo da pilha e, portanto, uma maior P_{out} e ganho, se comparado à condição não casada.

O primeiro método analítico é apresentado na equação de Dabag et al. (2013), conforme apensado D.

O segundo, é uma versão simplificada dessa equação onde apenas C_{gs} é considerado, é apresentado em Kim e Kwon (2015).

Esses métodos são baseados em modelos simplificados de pequenos sinais de baixa frequência e, portanto, sua validade pode ser questionada em frequências altas e operação de grandes sinais (Kim et al., 2011).

Um terceiro método baseia-se na otimização recursiva (supervisionada ou não) de C_1 e C_2 com base na análise de um conjunto estabelecido de métricas (como eficiência, linearidade ou ganho, por exemplo) para selecionar os valores de capacitância adequados.

Para isso, são realizadas várias simulações, cada uma delas com diferentes valores de capacitâncias, e os efeitos dessas variações são registrados. Com base nos resultados obtidos, o projetista deve ponderar e decidir quais valores são os mais adequados para a aplicação pretendida.

Diferentemente dos métodos simplificados anteriores, essa abordagem considera o modelo completo do transistor e os efeitos não lineares, fornecendo assim os resultados mais precisos.

Embora não mostrado na figura 9 (A), as fontes de polarização devem ter uma impedância suficientemente alta de modo que nenhum sinal flua da porta para essas fontes de tensão, sendo uma maneira de implementar isso colocar indutores (que podem ou não ser componentes externos) entre as fontes de polarização e os capacitores de porta. Outra maneira é usar uma arquitetura autopolarizada, como a descrita em Ezzeddine e Huang (2003 e 2000, respectivamente).

Em termos de operação, todos os transistores na pilha operam exclusivamente como amplificadores. O princípio de operação é aproveitar as ampliações consecutivas em fase produzidas pelos transistores na pilha, permitindo que o sinal seja gradualmente amplificado até atingir o terminal de dreno final, onde a potência é entregue à carga (Tarar et al., 2016). Essa situação é ilustrada na figura 9 (B).

Quanto à confiabilidade, qualquer queda de tensão instantânea entre os terminais do dispositivo (\hat{V}_{ds} ou \hat{V}_{gs} , por exemplo) deve ser inferior ao V_{MAX} em cada transistor da pilha.

Observe, no entanto, que $\hat{V}_{ds} = V_{DS} + \hat{v}_{ds}$, o que significa que o V_{MAX} deve acomodar não apenas o sinal que varia com o tempo, mas também a porção de corrente contínua (DC).

Assim como o cascode, o empilhamento é uma técnica útil, pois apresenta um aumento de R_o e A_{vo} à medida que a altura da pilha aumenta, conforme equações do apêndice D.

Além das diretrizes de design apresentadas, deve-se considerar cuidadosamente o uso de grandes valores de n , pois os parasitas dos transistores causam variações de fase em cada dreno da pilha (Montaseri et al., 2018; Kim e Kwon, 2015) e a tensão dreno a bulk do último transistor pode ser maior do que o valor nominal permitido pelo processo utilizado (Ruiz e Pérez, 2014).

A altura ideal da pilha reside entre três e cinco transistores (Montaseri et al., 2018). Para projetar essa arquitetura de forma confiável, algumas diretrizes estão disponíveis em Pornpromlikit et al. (2010), Dabag et al. (2013) e Tarar et al. (2016), discutindo como selecionar a tensão em cada transistor da pilha.

O primeiro parâmetro é selecionar a queda de tensão DC dreno-fonte em cada transistor (V_{DS}), aplicando $V_{DS}=V_{MAX}/2$. O pressuposto dessa abordagem é que o valor pico a pico de v_{ds} pode ser igual a V_{DS} , mas sua soma ainda é menor que V_{MAX} .

A tensão em cada dreno (V_{Di}) deve seguir a relação apresentada a seguir:

$$V_{Di} = (i + 1) \cdot V_{DS} \quad (5)$$

com $i \in 0 < N < n - 1$

No que diz respeito à queda de tensão DC porta-fonte em cada transistor (V_{GS}), esse valor deve ser selecionado com base na classe de operação desejada do amplificador.

Em seguida, para polarizar os transistores na pilha, deve-se aplicar a seguinte equação:

$$V_{Gi} = i \cdot V_{DS} + V_{GS} \quad (6)$$

com $i \in 0 < N < n - 1$

V_{DD} é obtido quando i atinge a posição $n-1$, conforme segue:

$$V_{D(n-1)} = n \cdot V_{DS} = V_{DD} \quad (7)$$

2.5.3.3 Topologia Híbrida

Expandindo os trabalhos anteriores, Favero (2021) propôs um método variante (topologia híbrida), que utiliza o valor de V_{MAX} como o principal parâmetro de projeto, sendo possível otimizar essas tensões para melhorar tanto a eficiência quanto a linearidade. O conceito estabelecido pelo híbrido é que os transistores no arranjo podem operar como amplificadores (saturação) ou como chaves fechadas (triódo), dependendo da tensão de polarização selecionada.

Essa seleção permite que a estrutura funcione mais como um amplificador multimodo de caminho único em vez de uma arquitetura de modo único de caminho único. Do ponto de vista arquitetônico, o híbrido é muito semelhante ao empilhado: é composto por transistores conectados em série verticalmente com altura n .

Desses dispositivos, a deles atuam como amplificadores, enquanto s deles operam como chaves fechadas, de modo que n é igual $a + s$. Considerando os índices a e s , a configuração e o perfil de eficiência do híbrido podem ser designados por um triplo unívoco no formato $NnSsAa$. Por exemplo, um híbrido descrito por $N3S1A2$ é composto por três transistores empilhados, onde um deles opera como uma chave fechada e dois deles como amplificadores.

No entanto, diferentemente da topologia empilhada, há chaves ($S1$ e $S2$ na figura 10 (A)) em série com as capacitâncias de porta (C_1 e C_2), que podem ser abertas ou fechadas, dependendo do perfil de eficiência selecionado. Essa situação é ilustrada na figura 10 (B), que apresenta a distribuição de tensão CA da configuração $N3S1A2$.

Pode-se observar que V_{d1} e V_{d2} são iguais, mostrando o comportamento de chave fechada de $M2$, enquanto outros transistores atuam como amplificadores.

Ao selecionar os valores das capacitâncias C_1 e C_2 , deve-se ter em mente que a capacitância total na porta é a soma da capacitância da chave em série com a capacitância da porta.

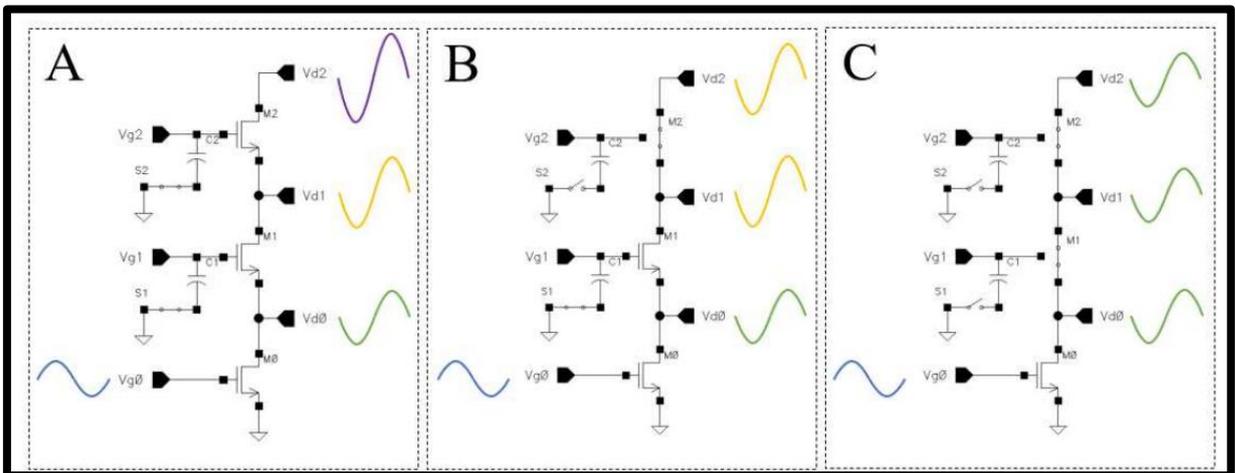
A operação multimodo do híbrido baseia-se em duas ideias principais: na escala da tensão de alimentação conforme os modos são selecionados, e na mudança da região de operação de saturação para triodo de um transistor ao alterar suas tensões de polarização.

Por exemplo, se o último transistor de um PA empilhado opera como uma chave fechada em vez de um amplificador (figura 10 (B)), uma potência de saída menor será alcançada em comparação com uma pilha onde todos os transistores operam como amplificadores e a V_{DD} está em seu máximo (figura 10 (A)). Consecutivamente, se o último e o penúltimo transistores operam como chaves fechadas em vez de amplificadores e a tensão de alimentação é reduzida, potências de saída ainda menores são alcançáveis (figura 10 (C)).

De forma resumida, se o número de transistores operando como amplificadores aumentar, a tensão de alimentação também deve aumentar, inversamente, se o número de transistores operando como amplificadores diminuir, a tensão de alimentação também deve diminuir. Essa noção é fundamental para

distinguir essa estrutura do arranjo empilhado de outras configurações de caminho único de propagação.

FIGURA 10 - (A) TODOS OS MOSFET COMO AMPLIFICADORES, (B) M2 COMO CHAVE FECHADA E M1 E M0 COMO AMPLIFICADORES, (C) M2 E M1 COMO CHAVES FECHADAS E APENAS M0 COMO AMPLIFICADOR



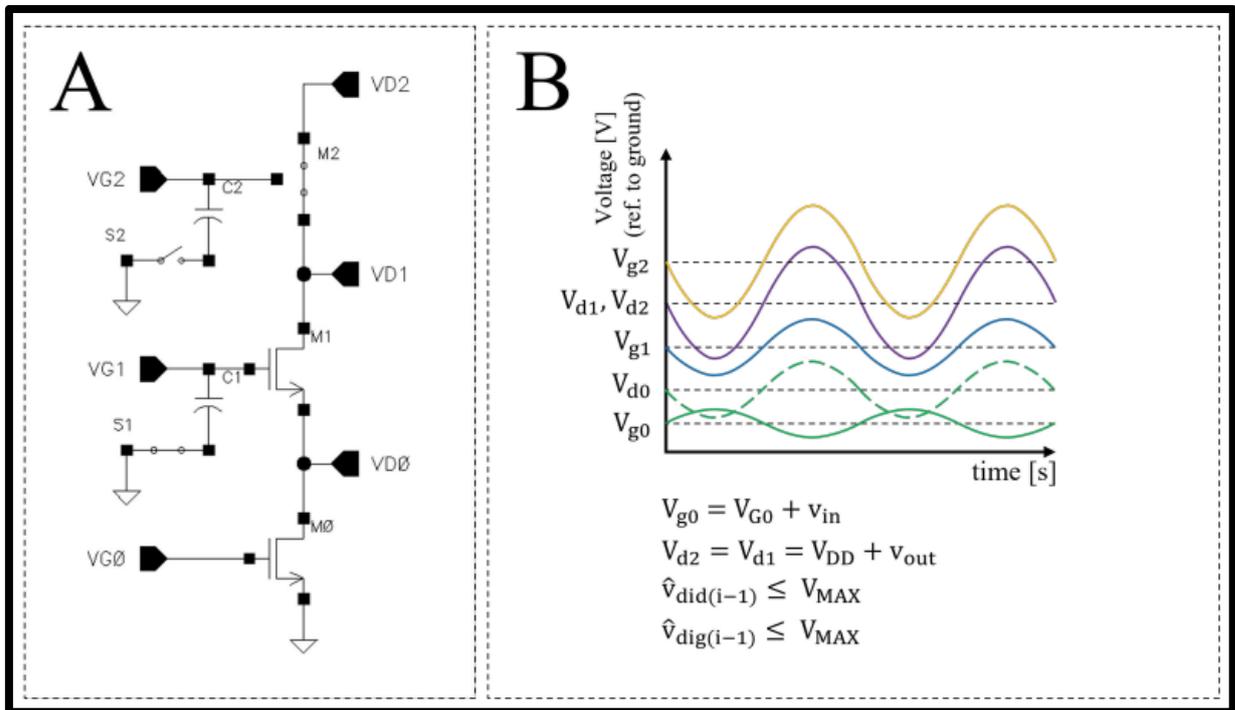
FONTE: FAVERO (2021)

Um exemplo detalhado de como as variações de tensão se comportam em uma configuração N3S2A1 é apresentado na figura 11 (B). Em V_{g0} , a tensão de entrada é aplicada à porta de M_0 . Como M_0 está em configuração CS, V_{d0} é invertida, e V_{d0} é amplificada via M_1 e M_2 . Como o último transistor opera como uma chave fechada, V_{d3} é uma cópia de V_{d2} , e V_{g3} é ajustado de maneira que a tensão V_{G3} seja suficiente para fazer com que o último transistor opere como chave fechada e v_{g3} seja igual a v_{d2} .

Com relação à resistência de saída, o híbrido atinge seu valor mais alto quando $NnS0An$, o que corresponde à configuração empilhada. Por exemplo, quando $N3S0A3$, R_o do híbrido torna-se igual à resistência de saída do empilhado com n igual a três, conforme segue:

$$R_o|_{N3S0A3} = R_o|_{n=3} \quad (8)$$

FIGURA 11 - (A) M2 COMO CHAVE FECHADA E M1 E M0 COMO AMPLIFICADORES, (B) DISTRIBUIÇÃO DE TENSÕES PARA M2 COMO CHAVE FECHADA E M1 E M0 COMO AMPLIFICADORES



FONTE: FAVERO (2021)

À medida que os modos de eficiência mudam, a resistência de saída também muda, respectivamente, para N3S1A2 e N3S2A1, conforme seguinte formulação:

$$R_0|_{N3S1A2} = R_{DS_{T2}} + \frac{g_{sd0} + g_{sd1} + g_{m1}}{g_{sd0} \cdot g_{sd1}} \quad (9)$$

$$R_0|_{N3S2A1} = R_{DS_{T1}} + R_{DS_{T2}} + \frac{1}{g_{sd0}} \quad (10)$$

onde R_{DS} é a resistência dreno-fonte na região tríodo.

Esta redução de impedância ocorre primeiramente porque não há interação entre g_{mi} e g_{sdi} , e devido às resistências fonte-dreno quando em tríodo (sendo $R_{DS_{Ti}}$ menor que $1/g_{sdi}$). Além disso, esse aumento ou diminuição dinâmica da resistência de saída afeta diretamente a seleção da impedância ótima da linha de carga.

Em termos de ganho de tensão em malha aberta, o híbrido funciona de maneira semelhante ao empilhado, mas o índice agora varia de i igual a zero até $a - 1$, conforme apensado D.

A distribuição de tensão do híbrido segue duas regras distintas, conforme a seguinte heurística:

- Quando $n = a$, ou seja, todos os MOSFET estão no modo amplificador, a distribuição de tensão segue as equações de (13) a (15) da topologia empilhada.
- Quando $n \neq a$, a distribuição de tensão segue o seguinte algoritmo:

```

1: for  $i \in 0 < \mathbb{N} < n$  do
2:   if  $i < a$  then
3:      $V_{Di} = V_{DS} \cdot (i + 1)$ 
4:      $V_{Gi} = V_{GS} + i \cdot V_{DS}$ 
5:   else if  $i \geq a$  then
6:      $V_{Di} = V_{D(i-1)}$ 
7:      $V_{Gi} = V_{Di} + 1$ 
8:   end if
9: end for

```

Importante salientar que essas diretrizes consideram um comportamento ideal de chave fechada, portanto, é recomendada a otimização da distribuição de tensão para parâmetros reais da tecnologia utilizada.

Para exemplificar como as equações e o algoritmo anteriores se comportam, uma alocação ideal de tensão para n igual a quatro e V_{MAX} igual a dois volts é apresentada na tabela 1.

TABELA 1 – EXEMPLO DE ALOCAÇÃO DE TENSÃO PARA $n = 4$

Modes	V_{G0}	V_{D0}	V_{G1}	V_{D1}	V_{G2}	V_{D2}	V_{G3}	V_{D3}	V_{DD}
N4S0A4	0.5	1.0	1.5	2.0	2.5	3.0	3.5	4.0	4.0
N4S1A3	0.5	1.0	1.5	2.0	2.5	3.0	4.0	3.0	3.0
N4S2A2	0.5	1.0	1.5	2.0	3.0	2.0	3.0	2.0	2.0
N4S3A1	0.5	1.0	2.0	1.0	2.0	1.0	2.0	1.0	1.0

FONTE: FAVERO (2021)

2.5.4 Estado da Arte

A literatura apresenta amplificadores de potência (PA) como a combinação de diferentes estruturas e técnicas, nas quais as técnicas definem as estruturas. Entre as técnicas encontradas estão:

- Seleção de células de potência: Habilitação/deshabilitação de células de amplificação paralelas, empregada por Modesto et al. (2019), Ou et al. (2017) e Santos et al. (2016).
- Escalonamento da tensão de alimentação: Ajuste da tensão de alimentação, utilizado por Modesto et al. (2019) e Kuang et al. (2015).
- Modulação de carga: Seleção de diferentes impedâncias de carga ótimas, exemplificada por Modesto et al. (2019), Ou et al. (2017) e Yin et al. (2014).
- Seleção de combinação de potência: Permissão para combinação de diferentes fontes de potência, como em Luong et al. (2018).
- Polarização do corpo: Seleção da tensão aplicada ao terminal do corpo do transistor, como visto em Hsieh e Tsai (2017).
- Seleção de arquitetura: Escolha entre arquiteturas pré-definidas para o amplificador, discutida por Kuang et al. (2015).
- Seleção de polarização: Definição da polarização dos amplificadores para operar em diferentes classes, empregada por Yin et al. (2014).

Em um sobrevoo panorâmico, tem-se o que segue:

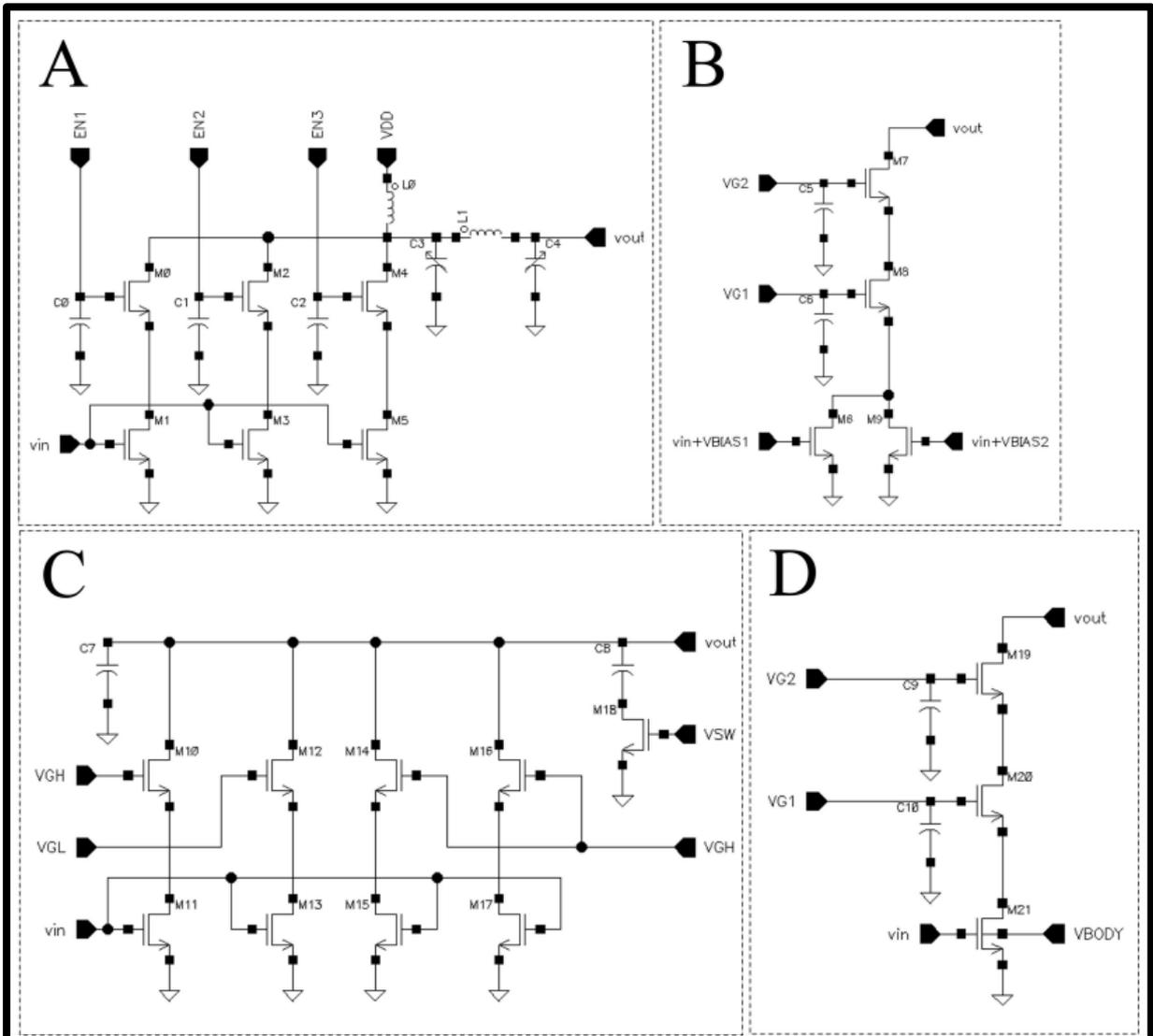
- Modesto et al. (2019): Proposta de um PA CMOS cascode de 12 modos, em duas etapas, com multipropagação de 130 nm a 2,4 GHz (figura 12 (A)). O circuito utiliza células de potência paralelas, uma rede de correspondência de saída π reconfigurável e escalonamento da tensão de alimentação.
- Luong et al. (2018): Apresenta um PA CMOS de 65 nm com quatro modos de operação a 2,5 GHz (figura 12 (B)), utilizando células de potência paralelas com estrutura tripla cascode diferencial. A

seletividade de potência é alcançada pela aplicação de diferentes voltagens nos taps de entrada do transformador de saída integrado.

- Ou et al. (2017): Desenvolve um PA CMOS de 180 nm em duas etapas e dois modos de operação a 2,4 GHz (figura 12 (C)). A operação multimodo é obtida através da mudança da rede de correspondência de saída e ativação/desativação das células de potência.
- Hsieh e Tsai (2017): Desenvolvem um PA CMOS de 180 nm com três modos de operação a 24 GHz (figura 12 (D)), utilizando uma estrutura tripla cascode de terminação única, com modos de operação determinados pela tensão aplicada ao terminal do corpo do amplificador CS.
- Santos et al. (2016): Discutem um PA CMOS de sete modos e 130 nm, operando a 2,4 GHz (figura 13 (E)), utilizando células de potência paralelas com estrutura cascode de tamanhos diferentes.
- Kuang et al. (2015): Desenvolvem um PA CMOS de 65 nm operando a 60 GHz (figura 13 (F)), com uma célula de potência diferencial de dois transistores empilhados, ajustando a tensão de alimentação para operação em modo duplo.
- Yin et al. (2014): Apresentam um PA CMOS de 180 nm com dois modos operando a 2,4 GHz (figura 13 (G)), utilizando uma estrutura diferencial de três transistores empilhados.
- Woo et al. (2014): Abordam o controle dinâmico de um quadruple-cascode em um PA CMOS de 320 nm em SOI, operando a 837 MHz (figura 13 (H)), ajustando a tensão de alimentação e as capacitâncias de gate dos CGs conforme a amplitude do envelope.

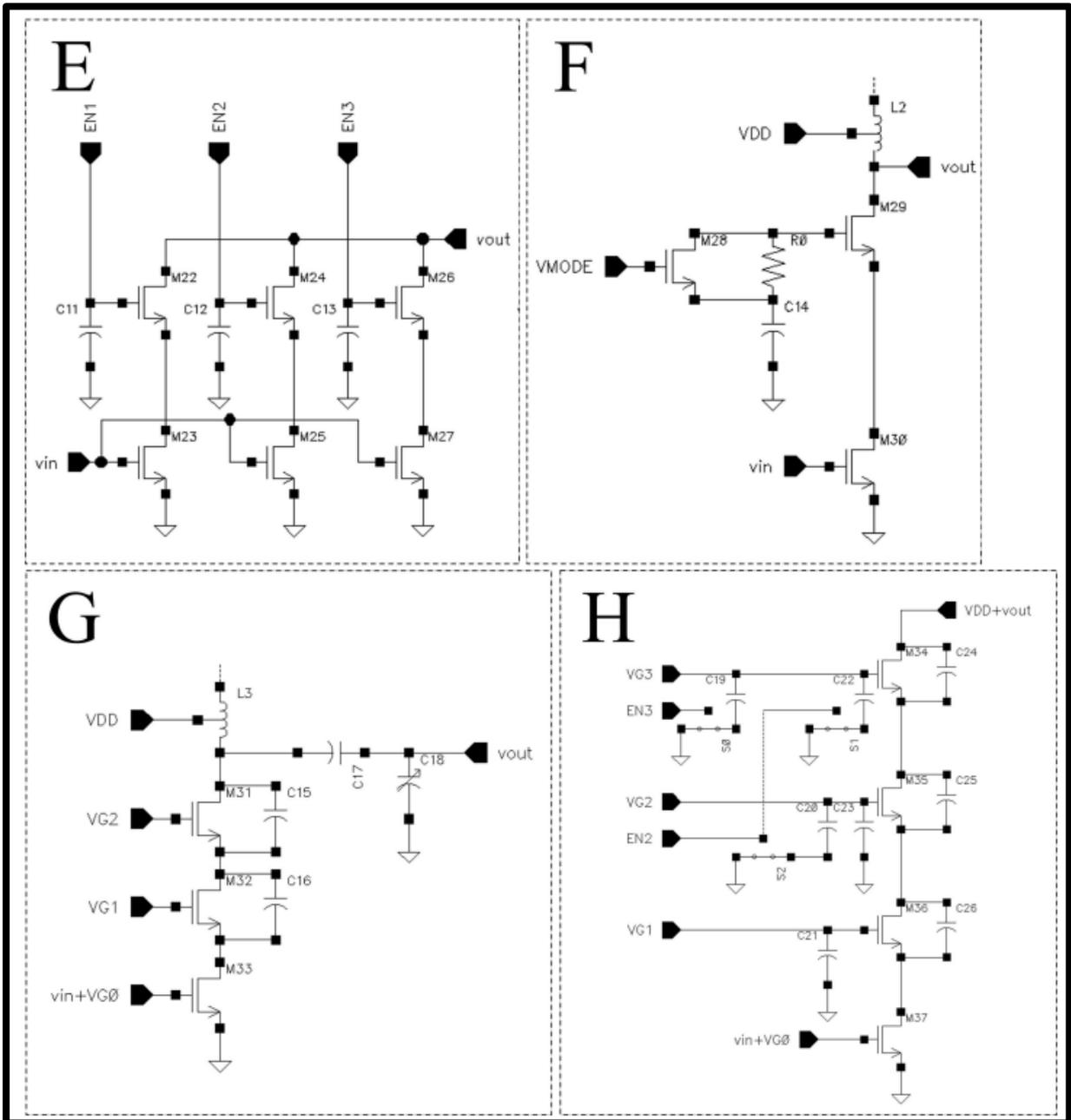
A partir dessa revisão, Favero (2021) propôs um modelo híbrido com quatro MOSFET empilhados.

FIGURA 12 - EXEMPLOS DE PA MULTIMODOS (A) Modesto et al. (2019), (B) Luong et al. (2018), (C) Ou et al. (2017), (D) Hsieh e Tsai (2017)



FONTE: FAVERO (2021)

FIGURA 13 - EXEMPLOS DE PA MULTIMODOS (E) Santos et al. (2016), (F) Kuang et al. (2015), (G) Yin et al. (2014), (H) Woo et al. (2014)



FONTE: FAVERO (2021)

2.6 PA HÍBRIDO COM QUATRO MOSFET

Passa-se a apresentar o esquemático da arquitetura híbrida proposta por Favero (2021), utilizado como paradigma de comparação no presente trabalho.

2.6.1 Circuito: Visão Geral e Esquemático

O diagrama em bloco do circuito proposto é apresentado na FIGURA 14, que mostra seis blocos e cinco pinos.

Os blocos são a rede de casamento de entrada (IMN), o resistor de feedback, um banco de capacitores, um indutor de estrangulamento, um núcleo de potência e uma rede de correspondência de saída (OMN).

Quanto aos pinos, eles são a entrada e saída de RF, a tensão de alimentação e o terra, a árvore de polarização e os pinos de habilitação.

A IMN é conectada entre a entrada de RF e o núcleo de potência. A IMN é utilizada para casar a impedância de entrada do sistema de RF, normalmente 50 ohms, com a impedância de entrada do transistor presente no núcleo de potência. Esse casamento de impedância é necessário para garantir a máxima transferência de potência e minimizar reflexões indesejadas, utilizando uma combinação de componentes passivos, como indutores e capacitores (rede LC).

A OMN é conectada entre o núcleo de potência e a saída de RF. A rede de casamento de saída (OMN) é semelhante à IMN, mas está localizada na saída do amplificador. Sua função é casar a impedância ótima para linearidade (impedância obtida através de simulações de *loadpull*) com 50 ohms, assegurando que o sinal amplificado seja transferido de maneira eficiente para a carga (como uma antena) e evitando reflexões que possam degradar o desempenho.

É através do indutor de estrangulamento que a tensão de alimentação é fornecida ao núcleo de potência. O indutor de estrangulamento (*choke inductor*) tem a função de bloquear sinais de alta frequência na linha de alimentação, enquanto permite a passagem da tensão DC necessária para alimentar o circuito. Isso é fundamental para evitar que sinais de RF interfiram na linha de alimentação e causem distorções.

O resistor de realimentação é conectado entre a saída do indutor de estrangulamento e a saída da IMN. O resistor de realimentação tem a função de proporcionar estabilidade ao amplificador, realimentando parte do sinal de saída para a entrada, o que pode ajudar a controlar a resposta em frequência e evitar oscilações indesejadas.

O banco de capacitores é conectado ao núcleo de potência e aos pinos de habilitação. O banco de capacitores limita os picos de tensões diferenciais para que não alcancem os níveis máximos de tensão permitidos pela tecnologia, de modo que quando os modos são selecionados, diferentes combinações de capacitâncias (CS1

a CS6) são conectadas ou não as portas da pilha, formando um divisor capacitivo, ajustando as tensões de porta, fonte e dreno.

A IMN, OMN, núcleo de potência e banco de capacitores estão conectados ao terra/substrato.

As linhas azuis na figura ajudam a evidenciar o caminho de propagação do sinal de RF do circuito e, como mostrado, ele não possui chaves ou qualquer forma de retransmissão para alcançar a operação multimodo.

Os pinos de habilitação são compostos por três pinos distintos (LPEN, MPEN e HPEN) que controlam a seleção de modo. Os pinos de habilitação (*Enable pins*) são usados para ligar ou desligar o amplificador, são compostos por n-1 pinos distintos que controlam a seleção dos modos, controlando a operação do núcleo de potência de acordo com as necessidades do sistema.

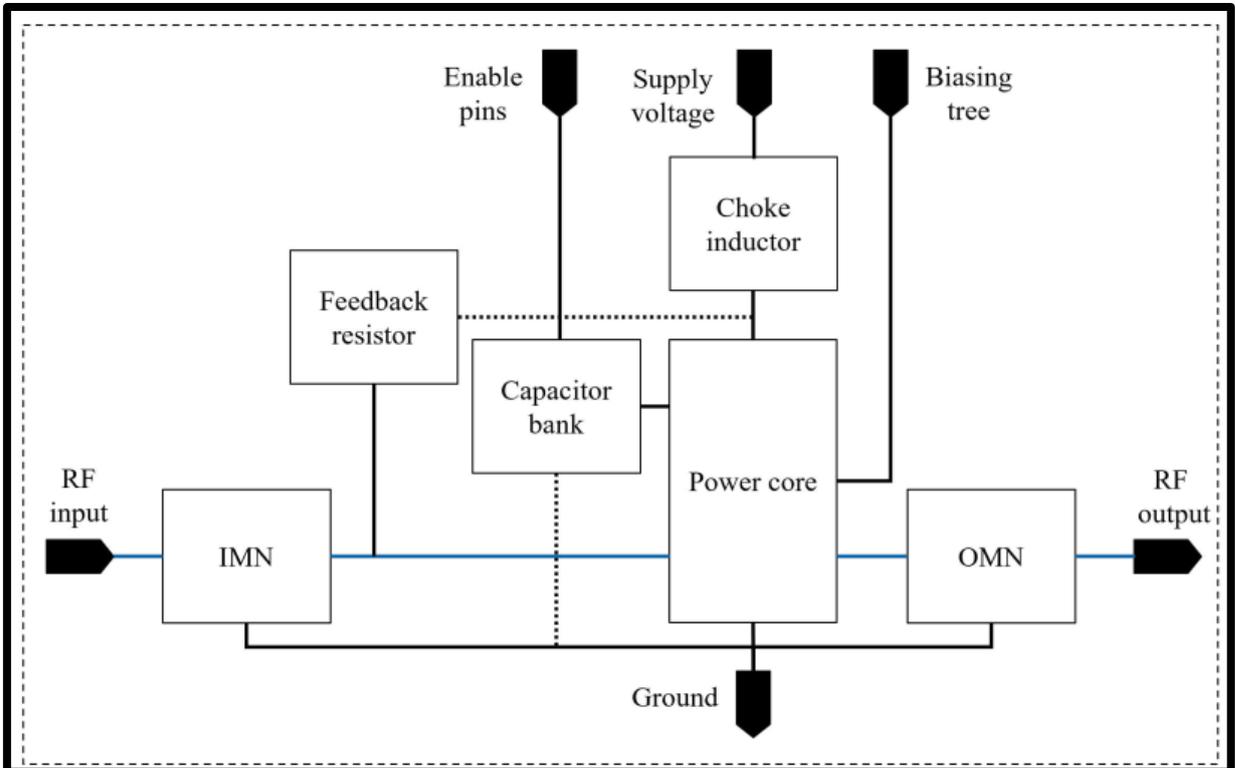
O núcleo de potência (*Power core*) é onde ocorre a amplificação real do sinal de RF. Ele inclui o transistor de potência e os circuitos associados responsáveis por amplificar o sinal de entrada. Este núcleo é polarizado através da árvore de polarização (*Biasing tree*), composta por n distintos MOSFET, sendo n o número de transistores empilhado no núcleo de potência, que define os pontos de operação do transistor para garantir linearidade e eficiência na amplificação. Por fim, a árvore de polarização é composta por quatro pinos distintos (VB1, VB2, VB3 e VB4), um para cada transistor empilhado no núcleo de potência.

Em resumo, o fluxo de sinal ocorre da seguinte maneira: o sinal de RF entra pela IMN, passa pelo núcleo de potência, onde é amplificado, e é transmitido pela OMN até a saída de RF; as linhas azuis, conforme esquemático apresentado na figura 15, que ajudam a evidenciar o caminho de propagação do sinal de RF do circuito. Durante esse processo, o núcleo de potência é alimentado pela tensão de alimentação, que passa através do indutor de estrangulamento, enquanto o resistor de realimentação ajuda a estabilizar e otimizar o funcionamento do circuito, e o banco de capacitores limita os picos de tensões diferenciais para que não alcancem os níveis máximos de tensão permitidos pela tecnologia.

A altura da pilha de quatro (transistores M0 a M3) no núcleo de potência foi selecionada devido a três fatores: (i) permite o uso de uma maior tensão de alimentação e, assim, tem uma aumentada capacidade de potência de saída, (ii) quatro é uma altura de pilha que não adiciona rotação de fase total significativa no dreno de M3 (Montaseri et al., 2018), o que significa que a potência de saída do núcleo

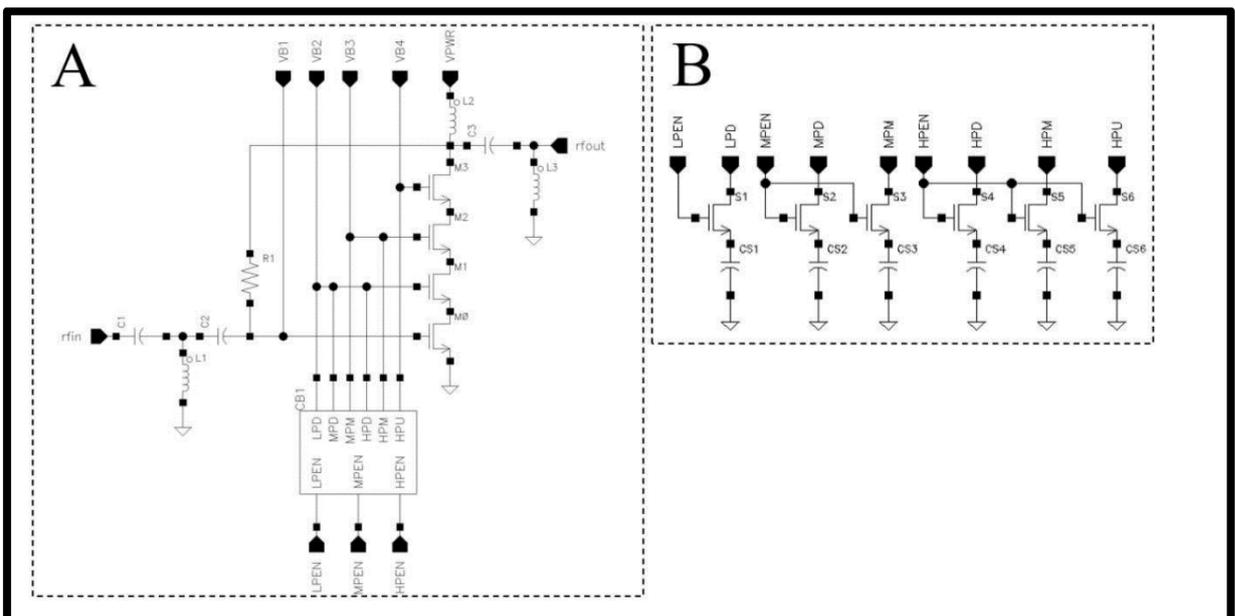
é próxima à potência de saída teórica e, (iii) quatro transistores permitem quatro modos de potência diferentes no arranjo proposto.

FIGURA 14 - DIAGRAMA DE BLOCO DO CIRCUITO COM QUATRO MOSFET



FONTE: FAVERO (2021)

FIGURA 15 - ESQUEMÁTICO DO CIRCUITO COM QUATRO MOSFET



FONTE: FAVERO (2021)

Favero (2021) propôs um método de otimização supervisionada baseado em alvos de grandes sinais para dimensionar os transistores M0-M3, obtendo: largura total de 1,2 mm (60 μm por dedo), comprimento de canal de 240 nm, 20 dedos e multiplicidade dupla. No Cadence Virtuoso, a otimização utiliza variáveis de projeto como número de dedos e multiplicidade, ajustadas iterativamente para atingir metas de ganho, potência, eficiência e linearidade, com simulações realizadas em tempo real. Diferente da varredura de variáveis, esse método emprega algoritmos para monitorar as causas das variações e otimizar o design.

Um processo semelhante foi aplicado às chaves S1-S6 no banco de capacitores CB1 (Figura 15 (B)), focando em capacitância dreno-fonte (Cds) e RDS. O resultado foi: largura total de 200 μm (10 μm por dedo), Cds de 50,8 fF e RDS de 5,25 Ω . As tensões de polarização (VB1 a VB4) e de alimentação (VPWR) são conectadas via choques de RF para evitar curto-circuito em CA, enquanto o banco de capacitores limita tensões diferenciais de pico ao selecionar modos de operação.

A rede de correspondência de entrada (IMN), composta por C1, C2 e L1, utiliza uma rede T para ajustar a impedância média de entrada (Z_{in}) a 2,4 GHz, com pequenas variações entre modos. Já a saída (OMN), com C3 e L3, usa uma rede L para ajustar $Z_{loadpull}$ (37+j22 Ω) para 50 Ω . Ambas as redes foram projetadas com um designer de correspondência, ajustando valores ideais devido às impedâncias parasitárias.

O circuito apresenta quatro perfis de eficiência (N4S3A1, N4S2A2, N4S1A3, N4S0A4), configurados ajustando VB1-VB4 e VPWR. Por exemplo, no modo N4S0A4, o pino HPEN é habilitado com 4 V e VPWR ajustado para 3,8 V. As configurações completas estão resumidas na Tabela 2.

TABELA 2 - POLARIZAÇÃO E MODOS DE OPERAÇÃO

Mode	Biasing tree (V)	Enable pins (V)	Supply
	VB1, VB2, VB3, VB4	LPEN, MPEN, HPEN	voltage (V)
N4S3A1	0.52, 4.8, 4.8, 4.8	0, 0, 0	2.0
N4S2A2	0.52, 2.0, 4.8, 4.8	4, 0, 0	2.6
N4S1A3	0.52, 2.0, 2.4, 4.8	0, 4, 0	3.2
N4S0A4	0.52, 2.0, 2.4, 3.6	0, 0, 4	3.8

FONTE: FAVERO (2021)

2.6.2 Resultados de Simulações

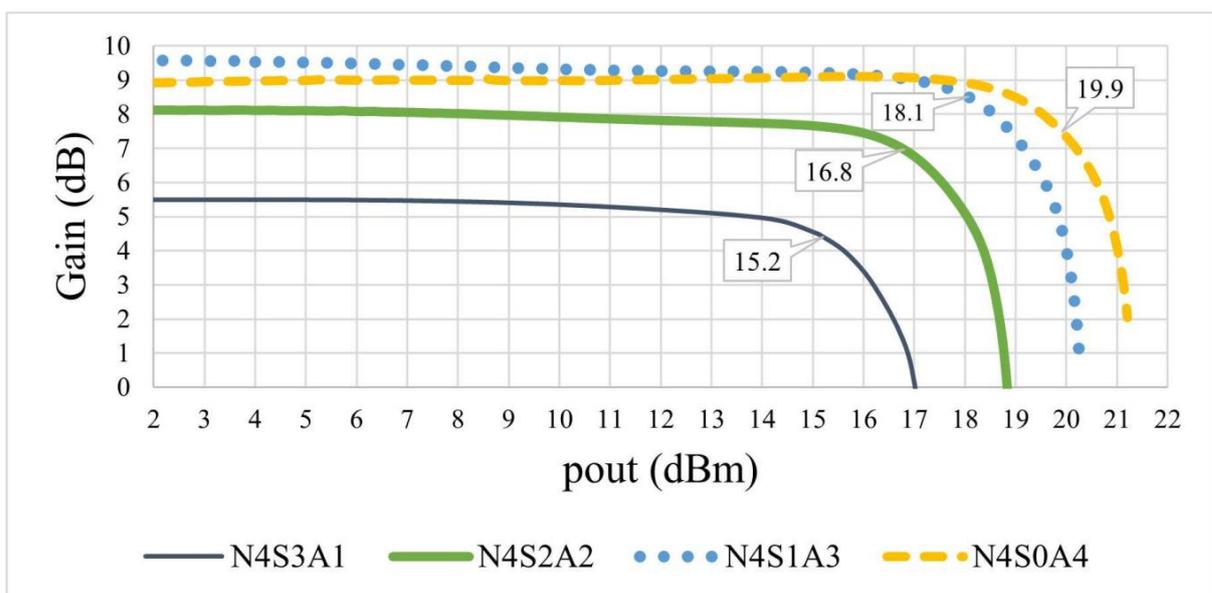
As métricas utilizadas para caracterizar o PA com quatro MOSFET foram divididas em três classes:

- Pequenos sinais: Avaliação por parâmetros de espalhamento.
- Grandes sinais: Métricas como ganho, linearidade (OCP1dB) e eficiência (PAE).
- Fontes moduladas: EVM e ACPR.

A arquitetura de quatro estágios, embora suporte quatro modos, foi projetada para atender a requisitos de três modos (N4S2A2, N4S1A3 e N4S0A4). Essa configuração permitiu o uso de alta tensão de alimentação, alcançando mais de 20 dBm de OCP1dB em simulações esquemáticas, conforme Santos et al. (2020). Os modos N4S2A2, N4S1A3 e N4S0A4 receberam maior atenção na otimização, enquanto o desempenho contínuo do modo N4S3A1 foi menos destacado.

Simulações foram realizadas com resistências de fonte e carga de 50 Ω , e as curvas de ganho versus Pout para os quatro modos de eficiência, a 2,4 GHz, estão apresentadas na Figura 16.

FIGURA 16 - GANHO X POUT PARA TODOS OS MODOS DE OPERAÇÃO



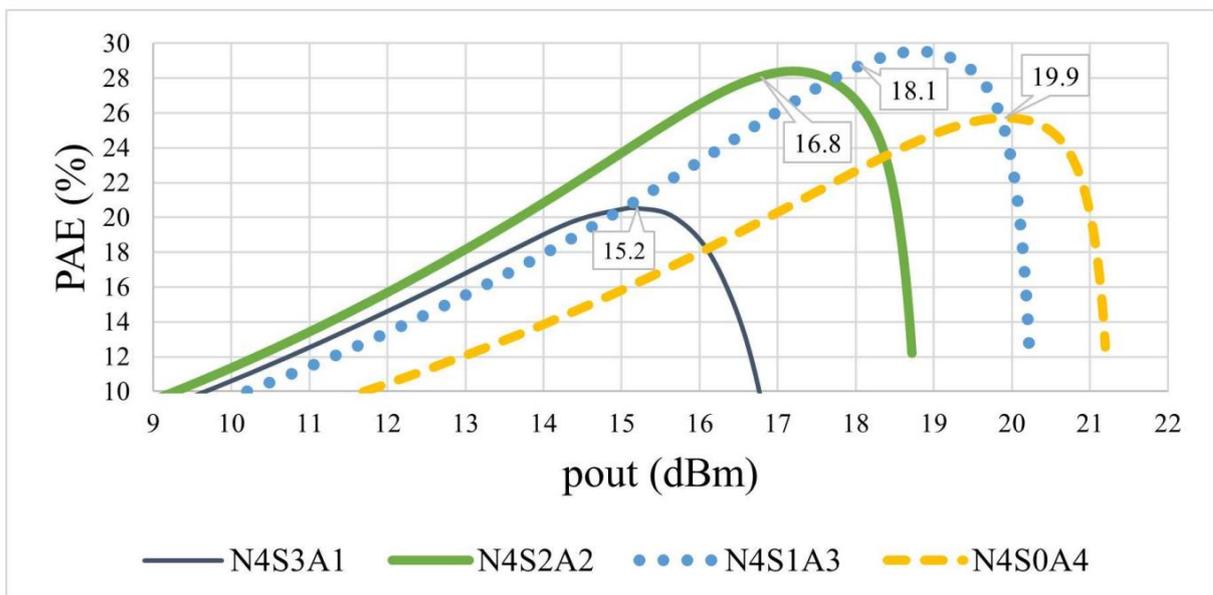
FONTE: FAVERO (2021)

Em operação de pequeno sinal, os ganhos de potência foram: 5,6 dB (N4S3A1), 8,2 dB (N4S2A2), 9,6 dB (N4S1A3) e 8,8 dB (N4S0A4). Embora o ganho esperado para N4S0A4 fosse maior que o de N4S1A3, essa diferença foi limitada pela resistência de feedback (R1), conectada do dreno de M3 à porta de M0. Como o circuito é um PA multimodo de caminho único, ajustes em R1 impactam estabilidade, linearidade, eficiência e ganho de forma não uniforme. O valor de R1 foi selecionado para manter a estabilidade global, mesmo com redução do ganho em N4S0A4.

O PA alcançou OCP1dB de 15,2 dBm (N4S3A1), 16,8 dBm (N4S2A2), 18,1 dBm (N4S1A3) e 19,9 dBm (N4S0A4). A Figura 17 apresenta as curvas de PAE em função de Pout para os modos a 2,4 GHz. No OCP1dB, os PAE foram: 20,5% (N4S3A1), 28,1% (N4S2A2), 28,9% (N4S1A3) e 25,7% (N4S0A4). Esses valores coincidem com os PAEs de pico para cada modo.

Quando o VDD é reduzido, a tensão de dreno dos transistores passa da região de saturação para a de triodo, aumentando significativamente as capacitâncias nos drenos, o que desajusta a impedância de saída em relação à Zloadpull (Jeong et al., 2009). Para compensar, capacitores de porta são usados, ajustando as impedâncias.

FIGURA 17 - PAE X POUT PARA TODOS OS MODOS DE OPERAÇÃO



FONTE: FAVERO (2021)

O PA apresenta uma faixa total de controle de potência de 4,8 dB no OCP1dB. As separações entre os modos são: 1,7 dB (N4S3A1 e N4S2A2), 1,3 dB (N4S2A2 e N4S1A3) e 1,8 dB (N4S1A3 e N4S0A4). Quanto à eficiência, N4S2A2 é superior até

17,7 dBm, N4S1A3 predomina entre 17,7 dBm e 19,9 dBm, e N4S0A4 lidera acima de 19,9 dBm. N4S3A1 apresenta melhor eficiência que N4S1A3 e N4S0A4 até 15 dBm, mas nunca supera N4S2A2.

As potências de 17,7 dBm e 19,9 dBm são pontos de troca de modo para maximizar a eficiência em onda contínua. No entanto, N4S3A1 não se destaca, pois sua eficiência, linearidade e ganho são inferiores aos outros modos, sendo inadequado para sinais de 2,4 GHz de tom único. As características de potência estão resumidas na Tabela 3.

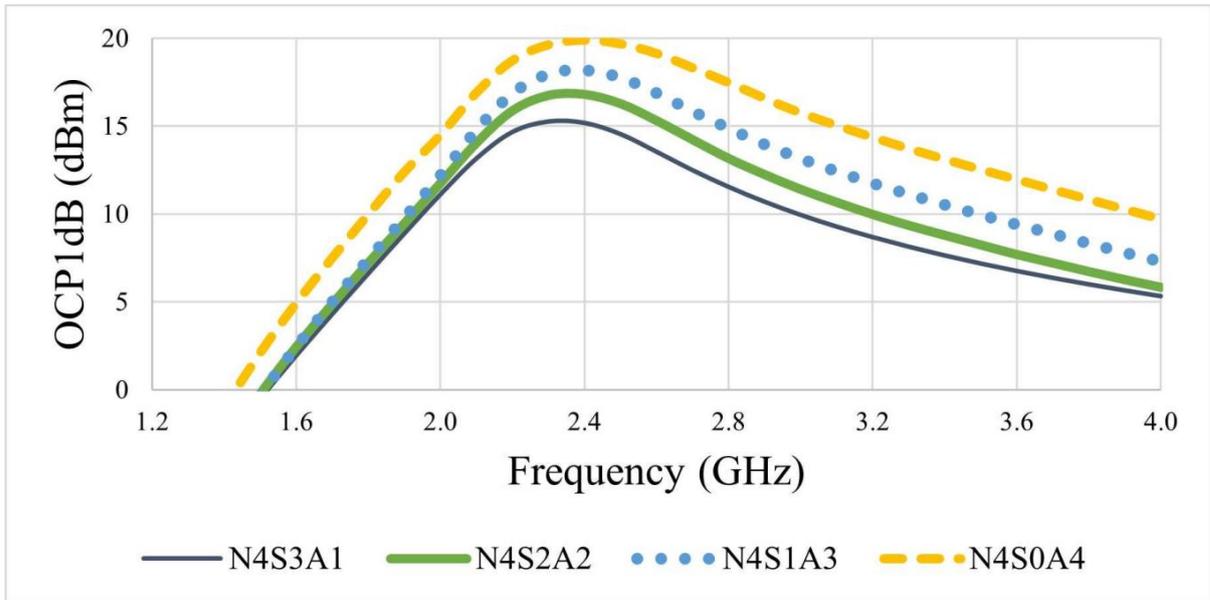
TABELA 3 - PERFORMANCE DE POTÊNCIA PARA TODOS OS MODOS DE OPERAÇÃO A 2.4 GHz

Mode	Gain (dB)	OCP _{1dB} (dBm)	PAE at OCP _{1dB} (%)	p_{peakPAE} (dBm)	peak PAE (%)
N4S3A1	5.6	15.1	20.5	15.2	20.5 ¹
N4S2A2	8.2	16.8	28.1	17.2	28.4
N4S1A3	9.6	18.1	28.9	18.8	29.5
N4S0A4	8.8	19.9	25.7	19.9	25.7 ¹

FONTE: FAVERO (2021)

A eficiência no p_{peakPAE} é menos de 0,1 pontos percentuais diferente da eficiência no OCP1dB. Quanto à linearidade em função da frequência, a figura 18 apresenta as curvas do OCP1dB de 1,2 GHz a 4 GHz para todos os modos. De 2,2 GHz a 2,6 GHz, o N4S3A1 mantém OCP1dB acima de 13,6 dBm, o N4S2A2 acima de 15,3 dBm, o N4S1A3 acima de 16,9 dBm e o N4S0A4 acima de 18,8 dBm.

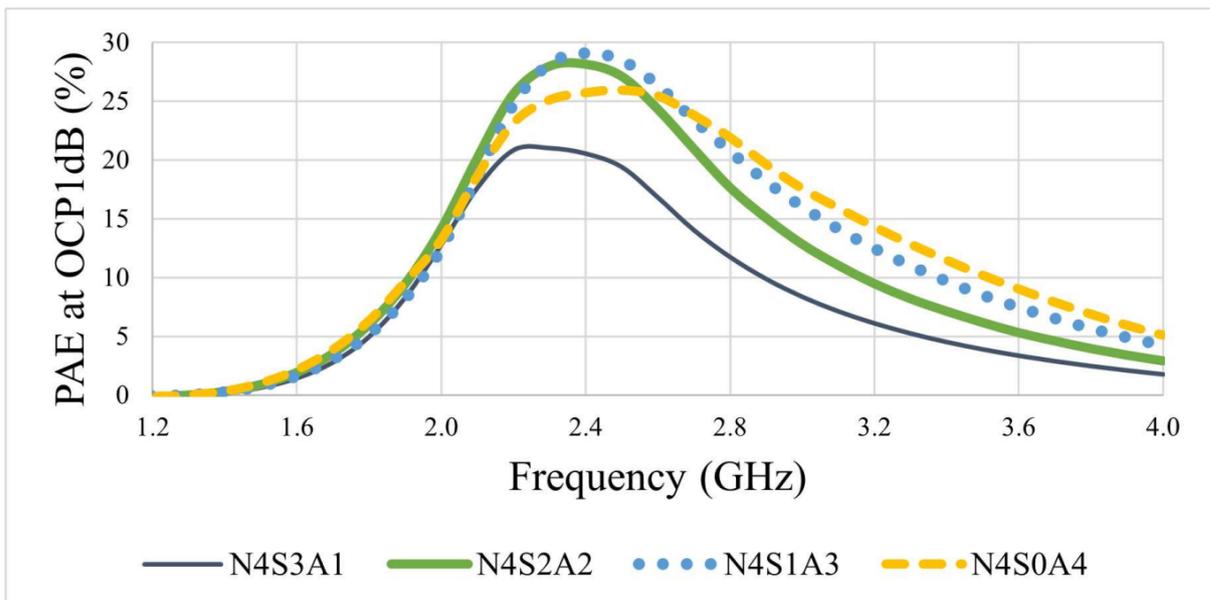
FIGURA 18 - OCP1dB x FREQUÊNCIA PARA TODOS OS MODOS DE OPERAÇÃO



FONTE: FAVERO (2021)

Em relação à eficiência, a figura 19 apresenta as curvas de PAE no OCP1dB versus frequência para todos os quatro modos. De 2 GHz a 3 GHz, o N4S3A1 mantém eficiência acima de 8,3%, o N4S2A2 acima de 12,8%, o N4S1A3 acima de 12,4% e o N4S0A4 acima de 13,2%.

FIGURA 19 - PAE em OCP1dB x FREQUÊNCIA PARA TODOS OS MODOS DE OPERAÇÃO



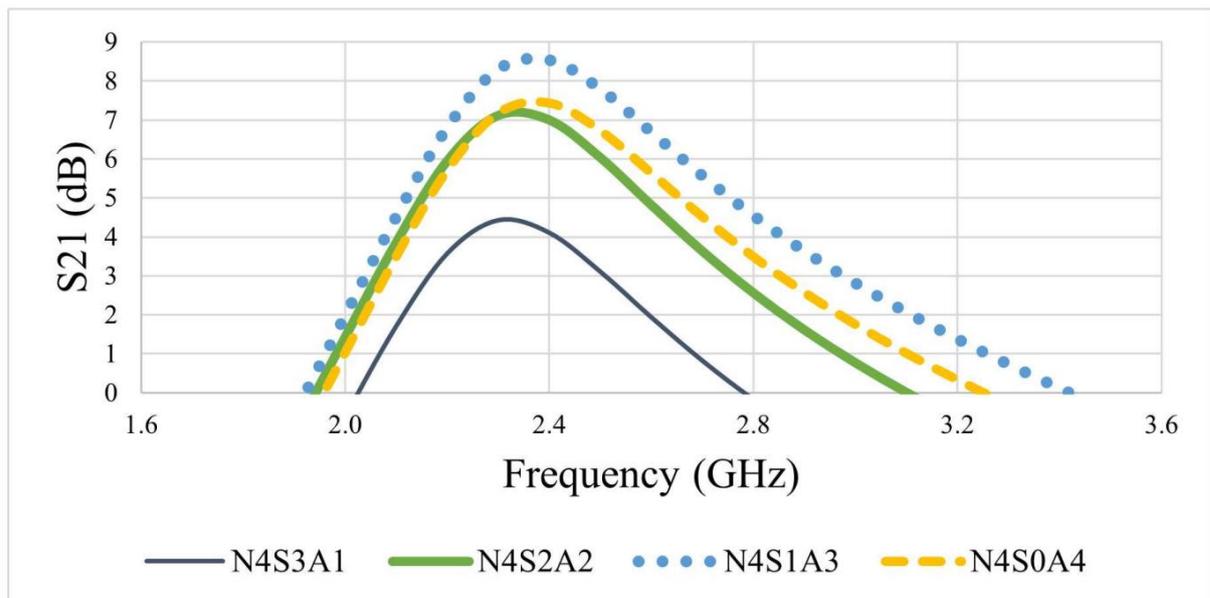
FONTE: FAVERO (2021)

Em relação ao desempenho dos parâmetros S, a figura 20 apresenta o S21 versus frequência para todos os quatro modos. Em relação à largura de banda de 3 dB, ela varia entre aproximadamente 2,1 GHz e 2,7 GHz para os modos N4S0A4 e N4S1A3 e entre aproximadamente 2,1 GHz e 2,6 GHz para os modos N4S3A1 e N4S2A2. A 2,4 GHz, o PA possui um S21 de 4,1 dB (N4S3A1), 7,0 dB (N4S2A2), 8,5 dB (N4S1A3) e 7,4 dB (N4S0A4).

A figura 21 apresenta as curvas de S11 versus frequência para cada modo.

Quanto ao S11 a 2,4 GHz, o N4S3A1 apresenta -5,0 dB, o N4S2A2 -5,7 dB, o N4S1A3 -6,2 dB e o N4S0A4 -6,2 dB. Os desempenhos de S11 e S21 estão abaixo daqueles esperados na versão "somente esquemática": -26,4 dB e 14,9 dB para o N4S0A4 a 2,4 GHz, respectivamente.

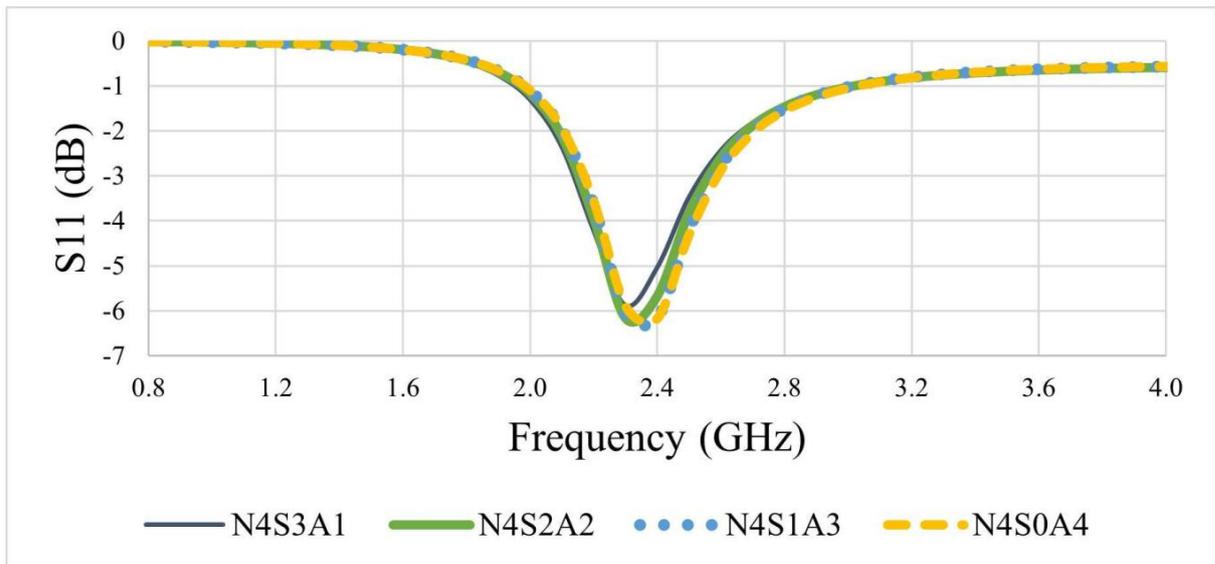
FIGURA 20 - S21 x FREQUÊNCIA PARA TODOS OS MODOS DE OPERAÇÃO



FONTE: FAVERO (2021)

Essa degradação se deve a dois fatores: à presença de passivos parasitários na IMN e sua leve alteração para melhorar a estabilidade.

FIGURA 21 - S11 x FREQUÊNCIA PARA TODOS OS MODOS DE OPERAÇÃO



FONTE: FAVERO (2021)

3 PROJETO COM CINCO MOSFET

O circuito proposto com cinco MOSFET é análogo ao circuito paradigma com quatro MOSFET e, portanto, baseia-se no mesmo diagrama em bloco do circuito do circuito com quatro MOSFET.

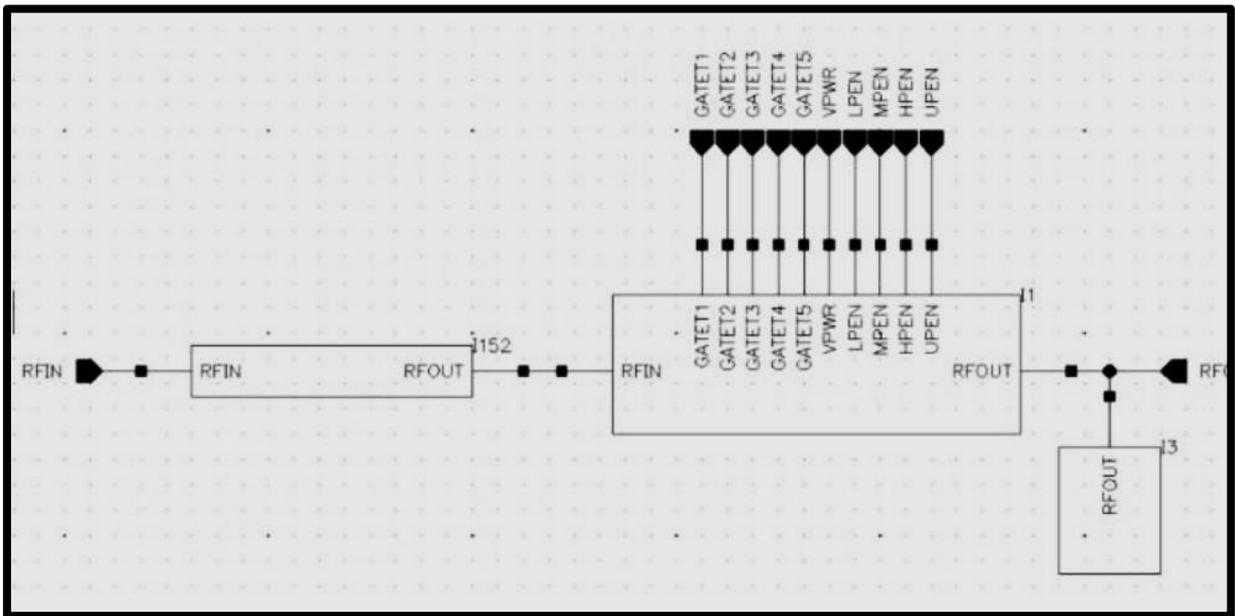
Os blocos são os mesmos, quais sejam a rede de correspondência de entrada (IMN), o resistor de realimentação, um banco de capacitores, um indutor, um núcleo de potência e uma rede de correspondência de saída (OMN).

Da mesma forma os pinos são a entrada e saída de RF, a tensão de alimentação e o terra, a árvore de polarização e os pinos de habilitação.

A diferença se dá nos pinos de habilitação, que para o circuito com cinco MOSFET são compostos por quatro pinos distintos que controlam a seleção de modo (LPEN, MPEN, HPEN e UPEN – figura 22), ao invés de três no circuito com quatro MOSFET.

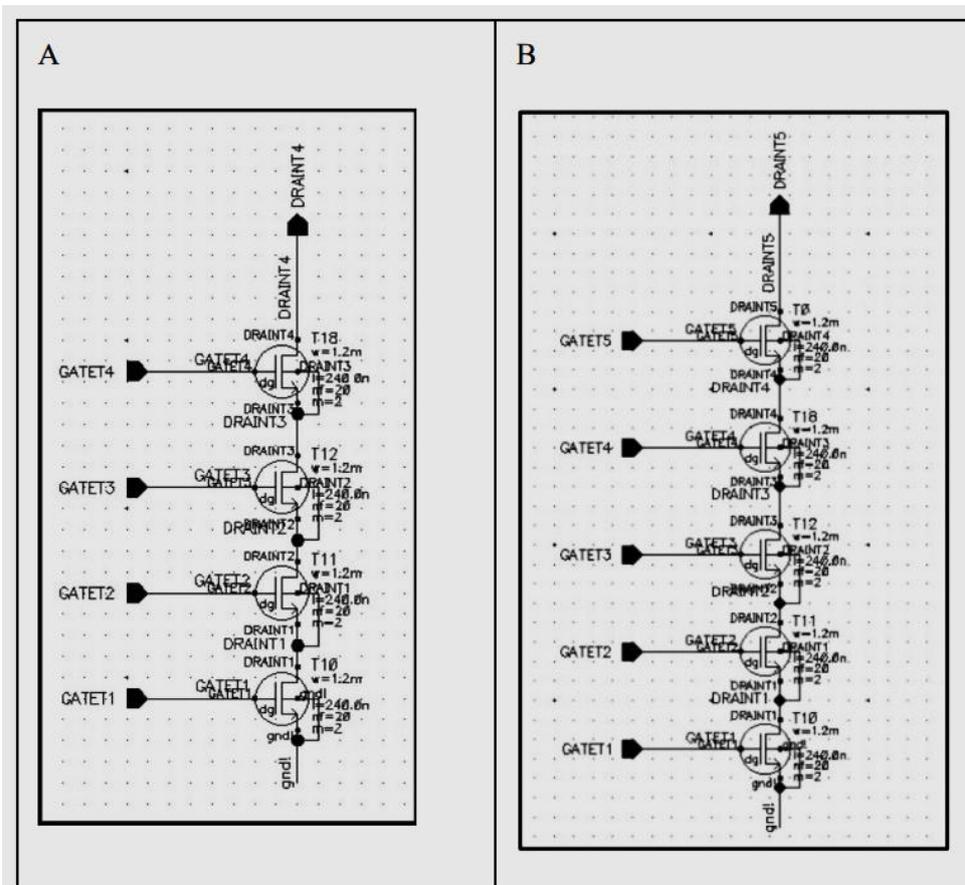
Da mesma forma, a árvore de polarização é composta por cinco pinos distintos (VB1, VB2, VB3, VB4 e VB5), um para cada transistor empilhado no núcleo de potência, conforme figura 23, ao invés de quatro no circuito com quatro MOSFET.

FIGURA 22 - DIAGRAMA DO CIRCUITO COM CINCO MOSFET



FONTE: AUTOR

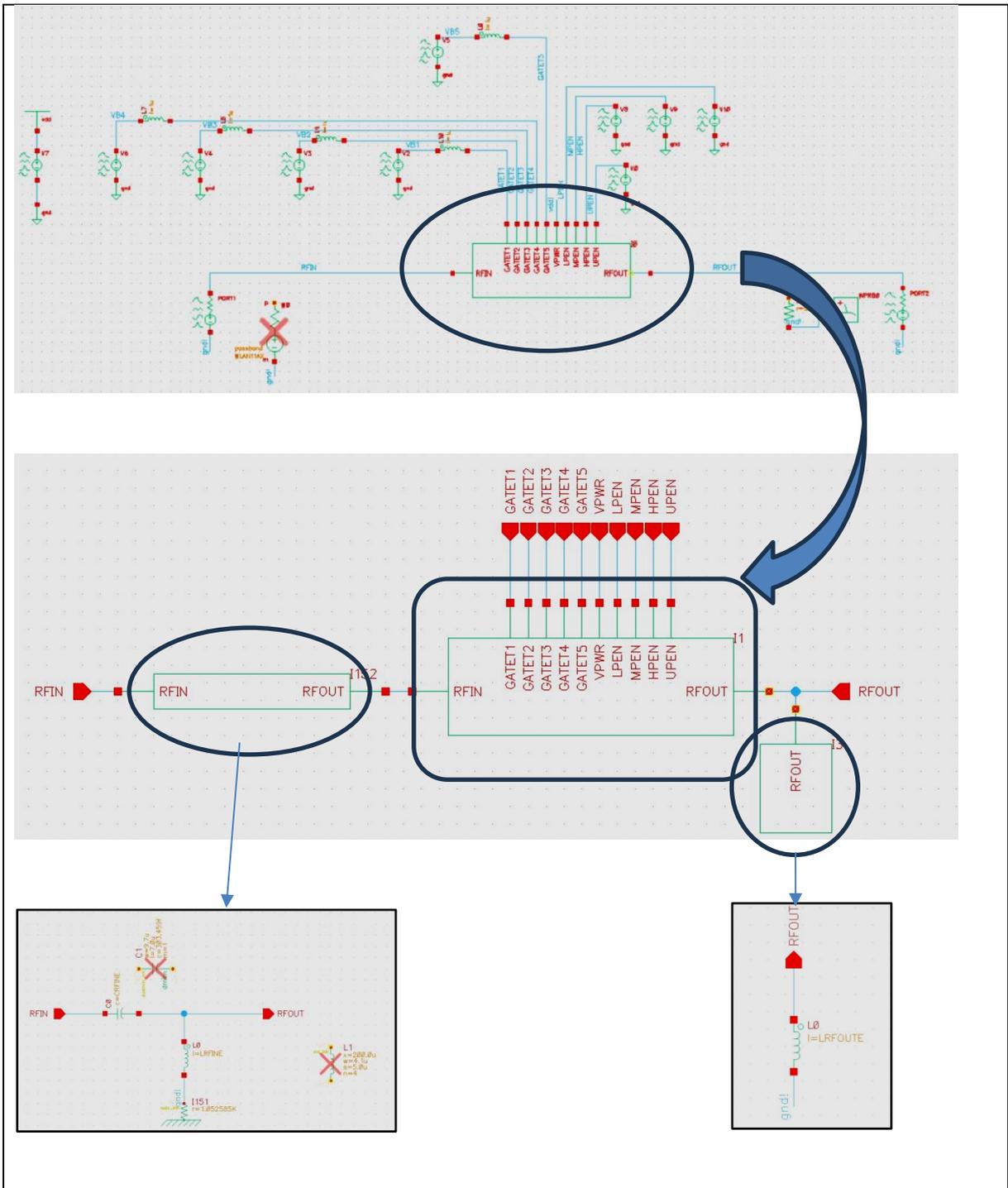
FIGURA 23 - NÚCLEO DE POTÊNCIA E ARVORE DE POLARIZAÇÃO PARA QUATRO E CINCO MOSFET



FONTE: AUTOR

A figura 24 apresenta o esquemático de simulação, e as impedâncias de entrada e saída do circuito com 5 MOSFET, e o amplificador, aplicando “*descend edit*” no símbolo do amplificador.

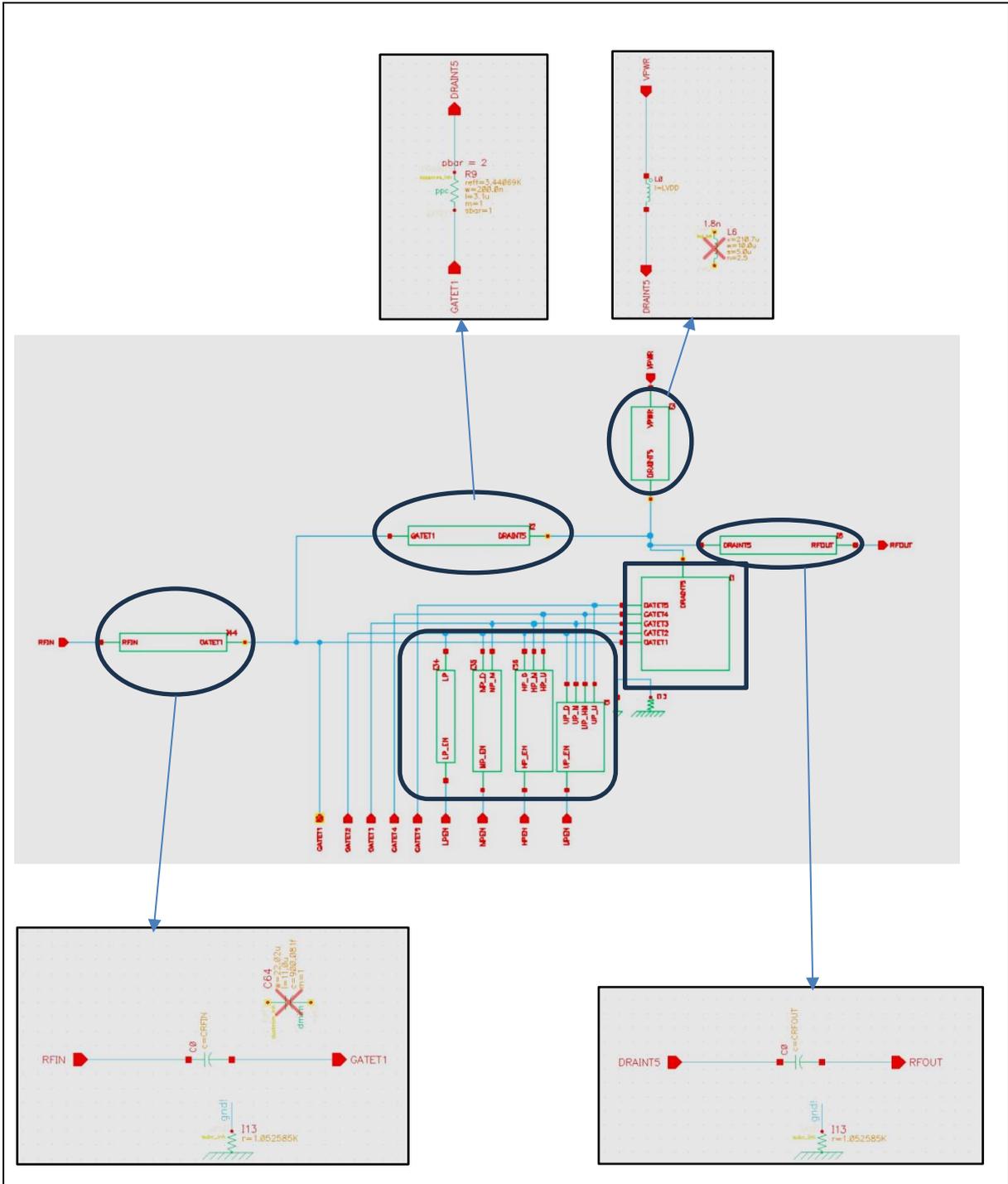
FIGURA 24 - ESQUEMÁTICO DE SIMULAÇÃO E IMPEDÂNCIAS DE ENTRADA E SAÍDA E AMPLIFICADOR



FONTE: AUTOR

Já a figura 25, é uma continuação da figura 24, aplicando “*descend edit*” no símbolo do amplificador, e apresenta o esquemático do elemento de amplificação, com seus elementos de impedância, indutor de estrangulamento, resistor de alimentação, banco de capacitores e núcleo de amplificação.

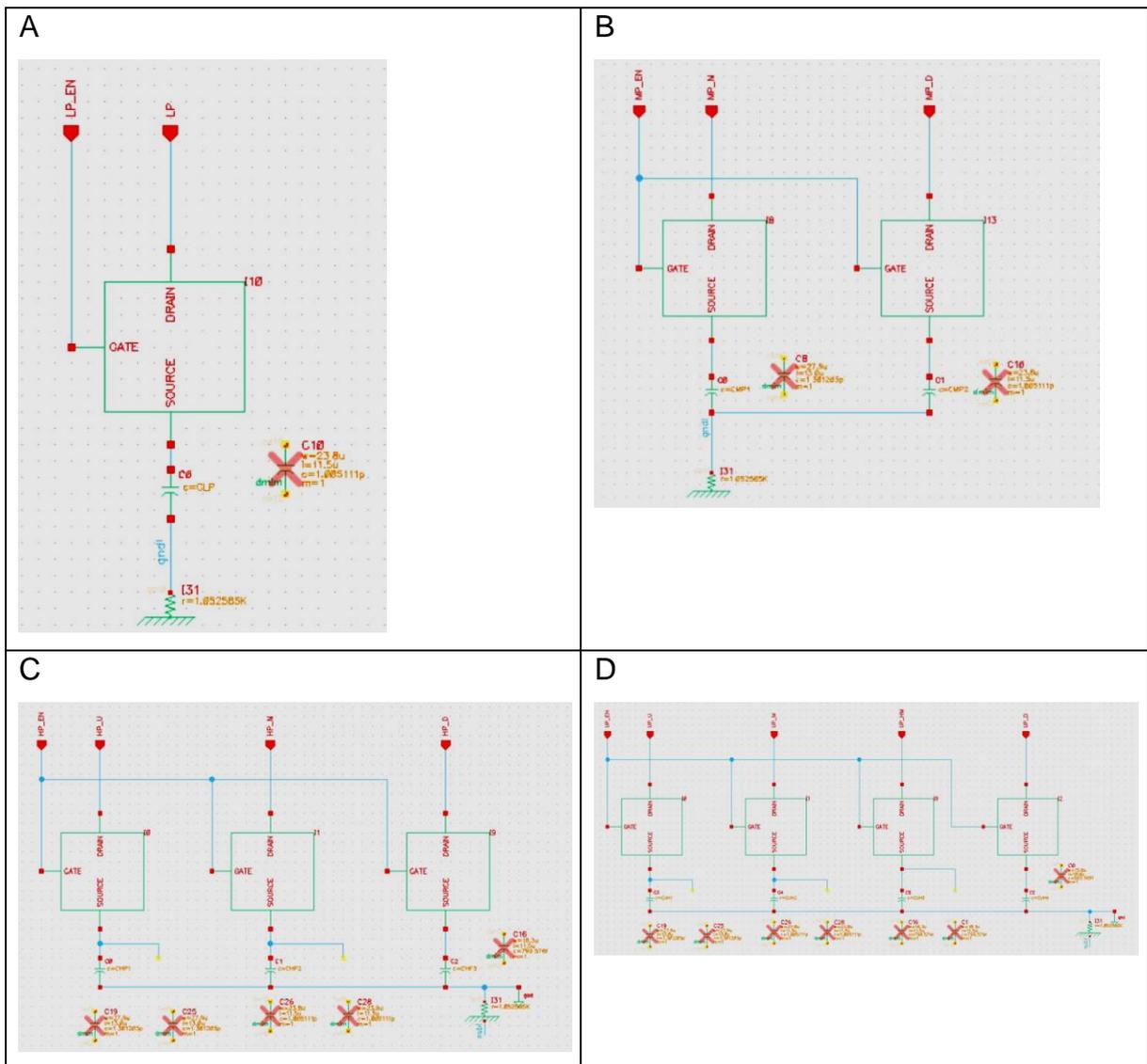
FIGURA 25 - ESQUEMÁTICO DO AMPLIFICADOR COM SEUS ELEMENTOS: IMPEDÂNCIAS DE ENTRADA E SAÍDA, RESISTOR DE ALIMENTAÇÃO, INDUTOR DE ESTRANGULAMENTO, BANCO DE CAPACITORES E NÚCLEO DE AMPLIFICAÇÃO



FONTE: AUTOR

A figura 23 B apresenta o núcleo de amplificação, e a figura 26 A, B, C e D, apresenta o banco de capacitores e seus elementos, sendo A os capacitores para baixa potência, B para média potência, C para alta potência e D para ultra alta potência.

FIGURA 26 - ESQUEMÁTICO DAS CÉLULAS DO BANCO DE CAPACITORES, SENDO (A) PARA CÉLULA DE BAIXA POTÊNCIA, (B) PARA A CÉLULA DE POTÊNCIA MÉDIA, (C) PARA A CÉLULA DE ALTA POTÊNCIA E (D) PARA A CÉLULA DE ULTRA ALTA POTÊNCIA



FONTE: AUTOR

As dimensões dos transistores foram mantidas iguais ao circuito com quatro transistores, e as impedâncias foram objeto de otimização, incluindo a nova célula de capacitores responsável pelo modo de operação em alta potência (nesse trabalho denominada de ultra alta potência).

Foi empregado processos de otimização multiobjetivo e multivariáveis, para dimensionar todas as impedâncias do circuito, tendo-se adotado a seguinte nomenclatura para as impedâncias na otimização:

- CLP: impedância do capacitor da célula do banco de capacitores para baixa potência (Low Power – figura 26 A)
- CMP1 e CMP2: impedâncias dos capacitores da célula do banco de capacitores para média potência (Medium Power – figura 26 B);
- CHP1 a CHP3: impedâncias dos capacitores da célula do banco de capacitores para alta potência (High Power – figura 26 C);
- CUH1 a CUH4: impedâncias dos capacitores da célula do banco de capacitores para ultra alta potência (Ultra High Power – figura 26 D);
- CRFIN: impedância do capacitor na entrada interna do PA (figura 25);
- CRFOU: impedância do capacitor na saída interna do PA (figura 25);
- CRFINE: impedância do capacitor na entrada externa do PA (figura 24);
- LVDD: impedância do indutor de estrangulamento (figura 25);
- LRFINE: impedância do indutor na entrada externa do PA (figura 24);
- LRFOUTE: impedância do indutor na saída externa do PA (figura 24);

Para a otimização, utilizou-se o seguinte intervalo de valores, para as impedâncias do circuito conforme consta na tabela 5.

No processo de otimização utilizou-se as seguintes formas de otimização disponíveis no Cadence Virtuoso: global, local e o autotuning. São processos avançados que permitem ajustar parâmetros de projeto de circuitos para atender, de forma concomitante, a múltiplas metas, como, para o caso do presente trabalho, maximizar a eficiência, ganho e OCP1dB.

A primeira forma de otimização testada foi o ajuste manual em *autotuning*. Autotuning (Sintonização Automática), que usa ferramentas específicas no Virtuoso para ajustar dinamicamente o circuito enquanto mantém metas de desempenho definidas.

Para otimização utilizando o *autotuning* adotam-se os seguintes passos:

- Definição do Espaço de Projeto: identificação dos parâmetros variáveis (no caso do presente trabalho as impedâncias a serem otimizadas);
- Especificação dos limites de variação de cada parâmetro: para o presente trabalho conforme tabela 5;
- Configuração de Objetivos: métricas de desempenho (no caso do presente trabalho Ganho, Eficiência (PAE_{MAX}) e OCP1dB ou OCP1,5dB);
- Configuração no Virtuoso: No ADE Assembler, foi ativado o "*Tuning Mode*";
- Associação dos parâmetros ajustáveis às variáveis de design;
- Medição de Desempenho: ajuste manual dos parâmetros, com medições automáticas das metas a partir de cada conjunto de condições de impedância.

O objetivo da otimização em *autotuning* foi obter uma configuração para o PA com 5 MOSFET que superava o Ganho, Eficiência (PAE_{MAX}) e OCP1dB ou OCP1,5dB obtidos na topologia com 4 MOSFET. Também, a otimização em *autotuning* serviu de base para estabelecer o range dos parâmetros de simulação e as metas para emprego na simulação global.

Na otimização Global, busca-se explorar todo o espaço de projeto para encontrar soluções que atendam aos requisitos sem se prender a mínimos ou máximos locais. Estabelecidos os ranges de teste para as variáveis globais, o sistema faz uma espécie de *Grid Search* com os valores dos parâmetros de projeto almejados (impedâncias) e os resultados das metas. A procura cessa quando as metas são atingidas a primeira vez ou, mesmo quando não se alcança as metas, quando atinge-se o limite de tempo de otimização, ou ainda quando não há mais melhoria nos resultados das metas para um certo dado número de tentativas de alteração dos parâmetros.

A otimização global consiste nos seguintes passos:

- Definição do Espaço de Projeto: identificação dos parâmetros variáveis (no caso do presente trabalho as impedâncias a serem otimizadas);
- Especificação dos limites de variação de cada parâmetro: para o presente trabalho conforme tabela 5;
- Configuração de Objetivos: métricas de desempenho (no caso do presente trabalho Ganho, Eficiência (PAE_{MAX}) e OCP1dB ou OCP1,5dB);

- Escolha do Algoritmo de Otimização Global: configuração do modo "Global Optimization" no Virtuoso ADE Assembler;

Após a otimização global, aplicou-se a otimização local, para refinar o projeto, ajustando parâmetros em uma vizinhança específica para melhorar o desempenho.

A otimização local consiste nos seguintes passos:

- Ponto Inicial: a partir da configuração de projeto funcional obtida via análise manual (*autotuning*) ou otimização global.
- Definição de Parâmetros e Metas: escolha do range para ajuste fino dos parâmetros já utilizados na otimização global;
- Definição das métricas de otimização: métricas de desempenho (no caso do presente trabalho Ganho, Eficiência (PAE_{MAX}) e OCP1dB ou OCP1,5dB);

A aplicação dessa heurística de otimização, permitiu otimizar o PA com 5 MOSFET de maneira eficiente, garantindo que ele funcione corretamente, atingindo as metas/métricas de Ganho, Eficiência (PAE_{MAX}) e OCP1dB ou OCP1,5dB, superando o desempenho do PA com 4 MOSFET.

Adotou-se a seguinte codificação/nomenclatura para a configuração para cada um dos modos de operação (representando N_n o número total de transistores empilhados, S_n o número de transistores na pilha funcionando como uma chave fechada e A_n o número de transistores na pilha atuando como amplificadores).

O circuito, em tese, possui cinco perfis de eficiência distintos: modos N5S4A1, N5S3A2, N5S2A3, N5S1A4 e N5S0A5.

Para otimizar a operação do circuito, dois passos adicionais são necessários: habilitar o banco de capacitores apropriado e ajustar a tensão de alimentação. Para o modo N5S0A5, o pino UPEN deve ser habilitado com 5,6 V (outros pinos aterrados). A mesma lógica aplica-se aos modos restantes, exceto N5S4A1, onde todos os pinos de habilitação são aterrados.

As tensões de alimentação (VPWR) são ajustadas para 4,4 V no modo N5S0A5, 3,8 V no modo N5S1A4, 3,2 V no modo N5S2A3, 2,4 V no modo N5S3A2 e 2,0 V no modo N5S4A1.

Para a célula de potência de cinco transistores empilhados, a configuração dos modos de operação do PA está resumida na tabela 4.

TABELA 4 - POLARIZAÇÃO E MODOS DE OPERAÇÃO PARA 5 MOSFET E PARA 4 MOSFET APENAS NO MODO DE ALTA POTÊNCIA

MODE	VB1 (V)	VB2 (V)	VB3 (V)	VB4 (V)	VB5 (V)	LP (V)	MP (V)	HP (V)	UP (V)	SUPPLY (V)
N5S0A5	0,52	2	2,4	3,6	4,8	0	0	0	4,63	4,4
N5S1A4	0,52	2	2,4	3,6	5,4	0	0	4,63	0	3,8
N5S2A3	0,52	2	2,4	5,4	5,4	0	4,63	0	0	3,2
N5S3A2	0,52	2	5,4	5,4	5,4	4,63	0	0	0	2,4
N5S4A1	0,52	5,4	5,4	5,4	5,4	0	0	0	0	2
N4S0A4	0,54	2	2,4	3,6		0	0	4		3,8

FONTA: AUTOR

O resultado da otimização encontra-se na tabela 5.

TABELA 5 – CAPACITÂNCIAS E INDUTÂNCIAS OTIMIZADAS

Elemento	Valor Otimizado
CLP	700f F
CMP1	2,9p F
CMP2	700f F
CHP1	1,7p F
CHP2	4,5p F
CHP3	3,6p F
CUH1	1,4p F
CUH2	3,1p F
CUH3	3,9p F
CUH4	500f F
CRFIN	4,8p F
CRFOUT	4p F
CRFINE	2,6p F
LVDD	8n H
LRFINE	6,5n H
LRFOUTE	3,6n H

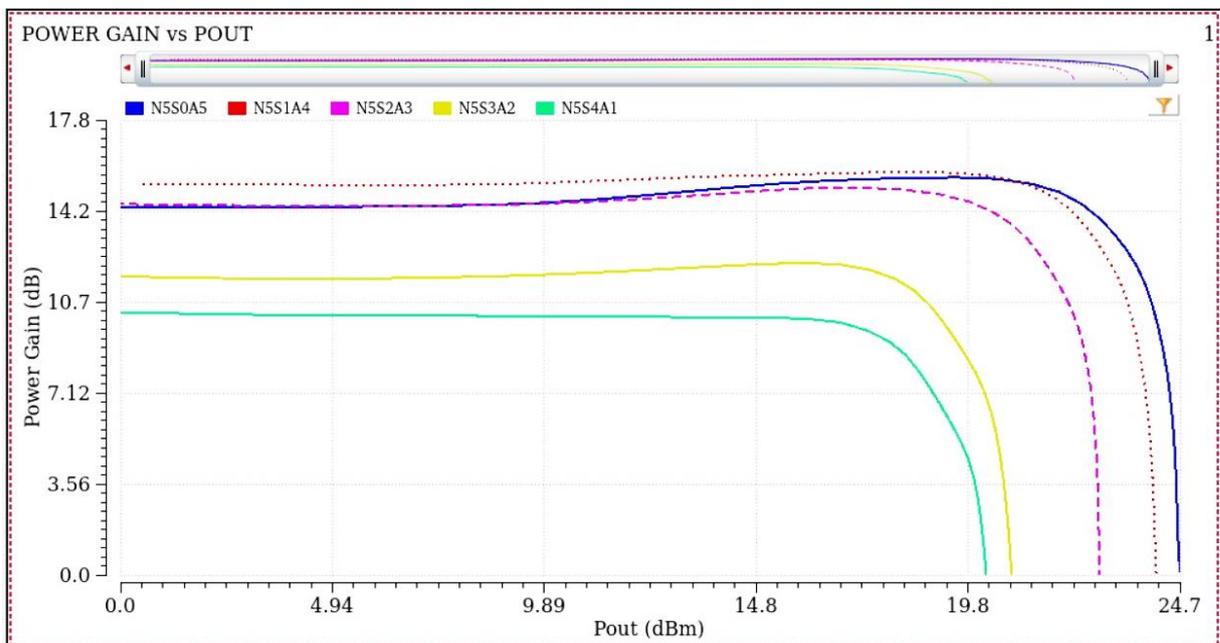
FONTA: AUTOR

4 RESULTADOS E COMPARAÇÃO

As métricas empregadas para caracterizar o PA com 5 MOSFET, foram ganho, OCP1dB, PAE, S11 e S21.

Apenas o modo de operação de ultra alta potência (N5S0A5) foi objeto de otimização, entretanto essa otimização trouxe resultados também otimizados para os demais modos. Todos os modos possíveis dessa arquitetura foram simulados com resistências de fonte e carga de 50Ω . Em termos de desempenho de potência, a figura 27 apresenta as curvas de Ganho versus Pout para os cinco perfis de eficiência a 2,4 GHz.

FIGURA 27 - GANHO VS POUT



FONTE: AUTOR

Em operação de pequeno sinal, o PAE_{MAX} , Ganho e OCP1dB foram conforme tabela 6.

Assim como ocorreu para a topologia com 4 MOSFET, para a topologia com 5 MOSFET, apesar do equacionamento indicar um ganho maior de N5S0A5 em comparação com N5S1A4, isso não ocorreu, possivelmente em razão da influência da resistência de feedback no núcleo de amplificação: analogamente a situação na topologia com 4 MOSFET, R1 está conectada no dreno do transistor mais alto da pilha, M4, e à porta do transistor mais baixo na pilha, M0, e como o circuito proposto

é um PA multimodo de caminho de propagação único, variar R1 resulta em variação não uniforme de estabilidade, linearidade, eficiência e ganho em todos os modos.

Assim, o valor selecionado de R1 foi um compromisso que resultou em um circuito globalmente estável, mas que também significou a redução do ganho de N5S0A5.

TABELA 6 - PAE, GANHO e OCP1dB

Métrica	Valor para Otimização				
	N5S0A5	N5S1A4	N5S2A3	N5S3A2	N5S4A1
PAE _{max} (%)	39,61	43,97	45,16	40,25	35,67
Ganho (dB)	15,56	15,77	15,16	12,21	10,35
OCP1dB (dBm)	24,72	24,18	22,86	20,85	20,23

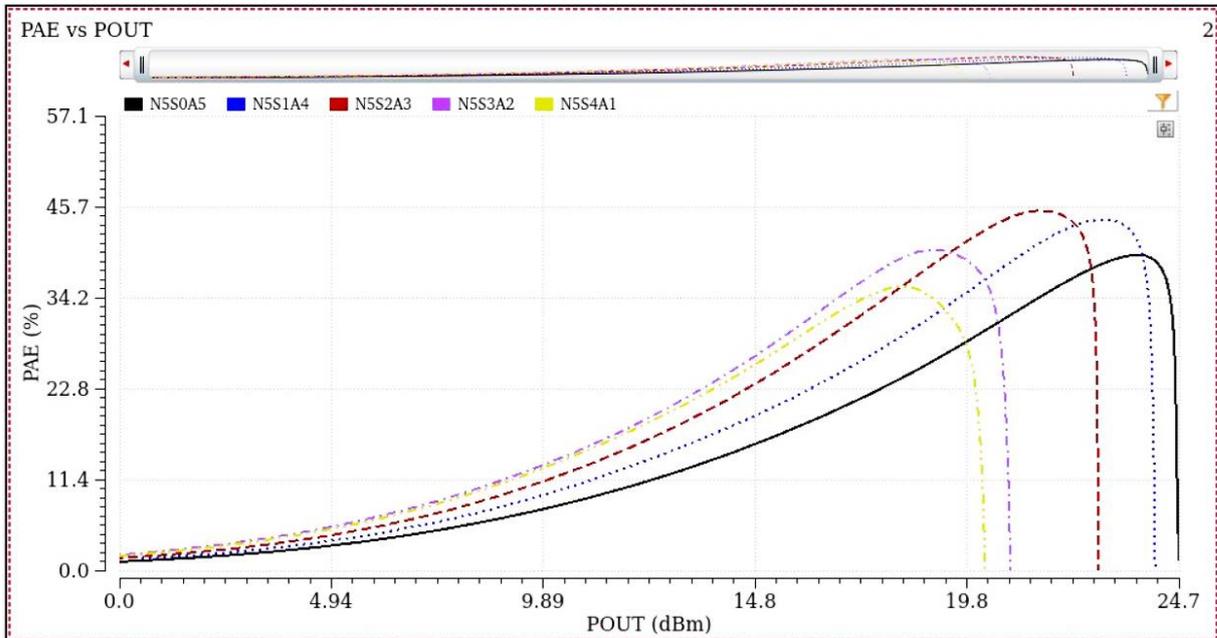
FONTE: AUTOR

Nesse ponto cabe um esclarecimento sobre a métrica OCP1dB. O OCP1dB é tipicamente medido em um gráfico de Ganho versus P_{out}, sendo definido como o nível de P_{out} no qual o ganho do amplificador diminui em 1 dB em relação ao seu valor em pequenos sinais, que é a região plana da curva, conforme gráfico 2, que consta da fundamentação teórica.

Entretanto, para o amplificador objeto do presente trabalho, a gráfico de Ganho versus P_{out} apresenta uma sobressalência/sobre-elevação/corcova no peço de Ganho, de forma que na simulação HB pode-se aferir as medições quer a partir dos pequenos sinais, região linear do gráfico, quando se emprega o parâmetro OCP1dB, quer a partir do pico de ganho, caso em que a referência de ganho é o ganho máximo, e o parâmetro 1dB pode mostrar-se inadequado, na mediada em que, se a diferença entre a parte linear da curva e o pico de ganho for maior que 1dB, a linha de 1dB ira interceptar a curva em dois pontos, e essa métrica não retornaria um valor único. Portanto, para a métrica do ponto de compressão à partir do referencial do máximo do ganho, pode ser necessário empregar 1,5dB ou até mais. No presente trabalho a diferença do máximo para a região linear foi apenas ligeiramente superior a 1,5dB, não ocasionando divergência significativa a adoção da referência de pequenos sinais e de ganho máximo, de forma que se adotou o padrão da literatura referenciando os pequenos sinais.

Na figura 28, as curvas de PAE em função de Pout são apresentadas para os cinco perfis de eficiência a 2,4 GHz.

FIGURA 28 - PAE VS POUT



FONTE: AUTOR

Os resultados das medições para os modos de alta potência, com quatro e cinco MOSFET, estão consolidados na tabela 6.

Considerando a faixa de controle de potência em relação ao OCP1dB, o PA apresentado tem uma faixa total de 4,49 dB para todos os modos. Os modos N5S4A1 e N5S3A2 estão separados por 0,62 dB, os modos N5S3A2 e N5S2A3 estão separados por 2,01 dB, os modos N5S2A3 e N5S1A5 estão separados por 1,32 dB, e por fim, os modos N5S1A4 e N5S0A5 estão separados por 0,54 dB.

De forma análoga a configuração com 4 MOSFET, considerando apenas um sinal de 2,4 GHz de tom único, o modo N5S4A1 não tem vantagem sobre os outros modos; sua eficiência, linearidade e ganho são sempre inferiores aos dos outros modos.

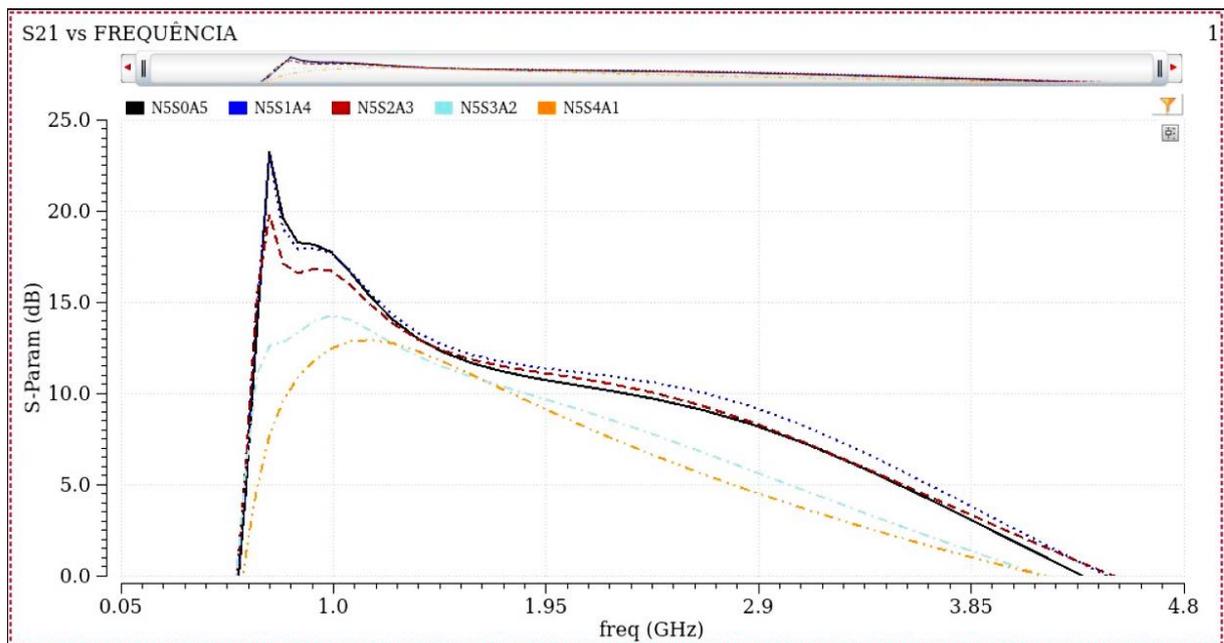
Conforme apresentado, os perfis de eficiência devem de alguma forma ser espaçados horizontalmente para que o PA possa se beneficiar de uma faixa de controle de potência otimizada para eficiência: este é o caso para todos os modos, mas não para N5S4A1.

Também, guardando semelhança ao que ocorre com a topologia com 4 MOSFET, este modo é ofuscado pelas características do N5S3A2, tornando-o inadequado para uma operação sob um sinal de onda contínua, tom único, de 2,4 GHz.

Em relação ao desempenho dos parâmetros S, a figura 29 apresenta o S21 versus frequência para todos os cinco modos. Para amplificadores, o pico em S21 indica a frequência onde o ganho de potência é maior, estando relacionado à resposta de frequência do circuito ou a características específicas, como redes de realimentação ou topologia do amplificador.

Para o PA, conforme figura 29, esse valor está aproximadamente na frequência 713 MHz, que é bastante diferente da frequência de 2,4 GHz. Adicionalmente o gráfico não apresenta simetria à partir do pico, o que afeta a seletividade do sistema.

FIGURA 29 - S21 VS FREQUÊNCIA



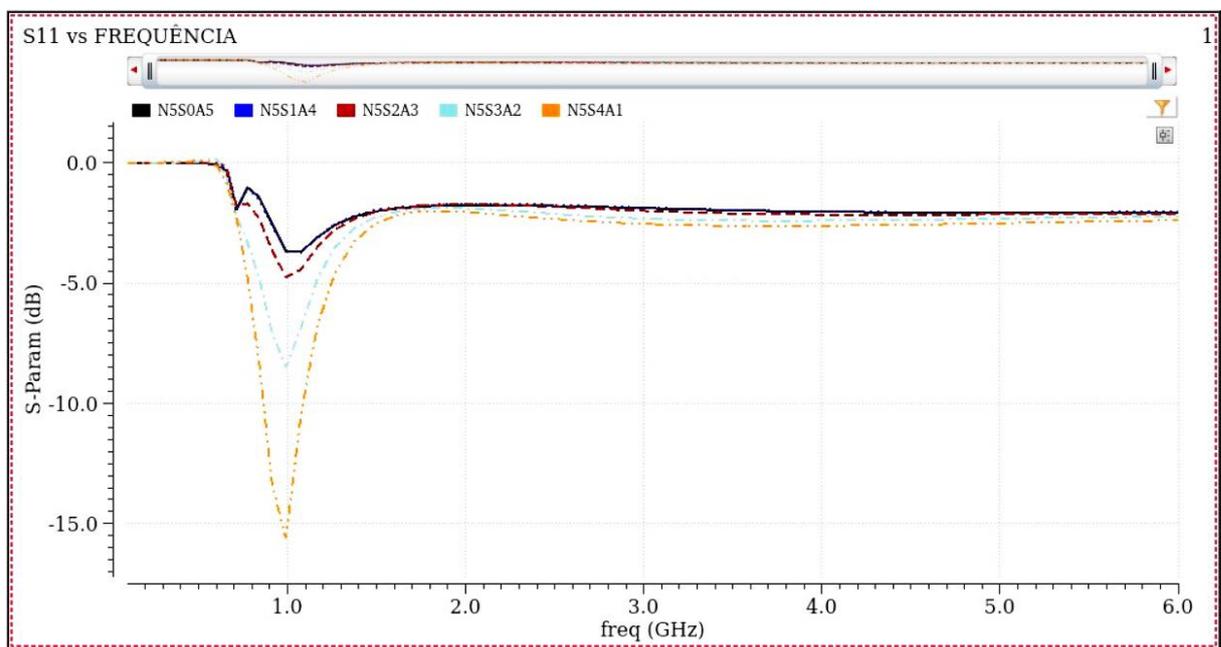
FONTE: AUTOR

A figura 30 apresenta as curvas de S11 versus frequência para cada modo. Um mínimo em S11 indica que a reflexão é mínima nessa frequência, o que geralmente ocorre quando há um casamento perfeito de impedância entre o dispositivo e o sistema. Em termos práticos, significa que quase toda a energia

enviada ao dispositivo está sendo absorvida ou transmitida para a carga, com pouca ou nenhuma reflexão.

Valores de $S_{11} = 0$ Db indicam que toda a energia é refletida, nenhuma é absorvida ou transmitida. Já valores de $S_{11} < -10$ dB indica um bom casamento de impedância, com menos de 10% da energia refletida, e por sua vez valores de $S_{11} \approx -20$ dB indicam excelente casamento de impedância, com menos de 1% da energia refletida.

FIGURA 30 - S11 VS FREQUÊNCIA



FONTE: AUTOR

Ocorre que a figura 30 indica valores ótimos de S11 em torno de 1 GHz, e valores de -1,74 dB para a frequência de 2,4 GHz.

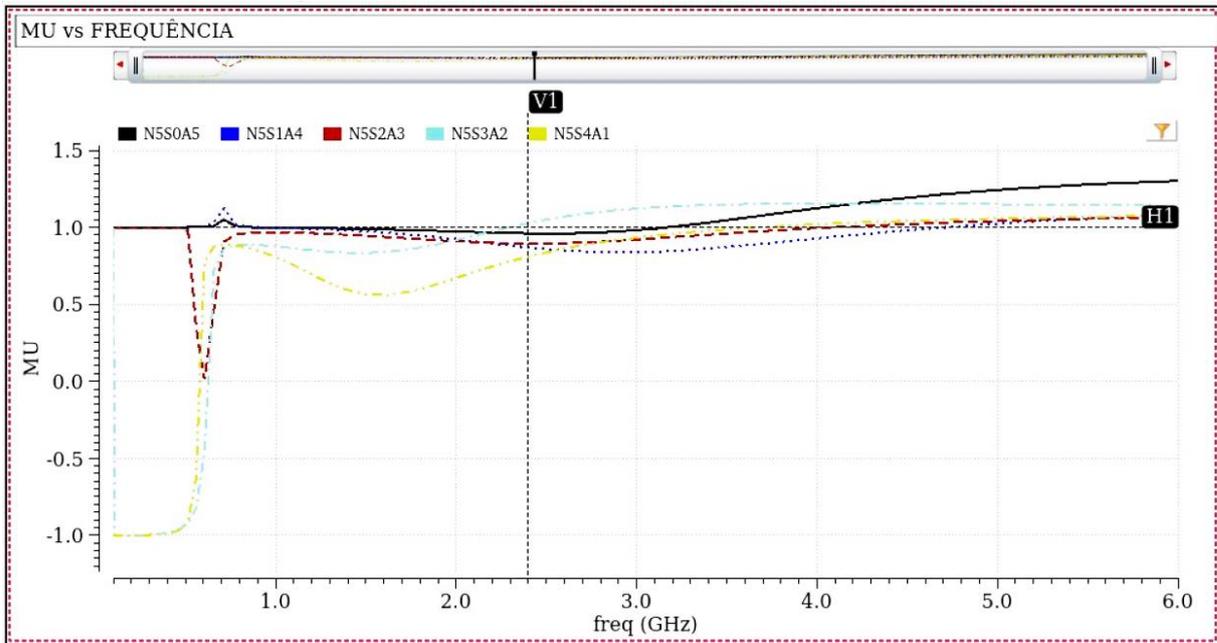
A figura 31 apresenta o parâmetro de estabilidade μ pela frequência. O parâmetro μ é definido a partir dos parâmetros de espalhamento (S-parameters) de um amplificador, e sua formulação matemática encontra-se no apêndice C.

O critério de estabilidade do PA a partir de μ é o que segue:

- $\mu > 1$: O amplificador é estável incondicionalmente para qualquer combinação de impedâncias de entrada.
- $\mu \leq 1$: Existe o risco de instabilidade condicional, ou seja, o amplificador pode oscilar para certas combinações de impedância.

Conforme a figura 31 mostra, apenas o modo de operação N5S3A2 atingiu $\mu > 1$.

FIGURA 31 - MU VS FREQUÊNCIA

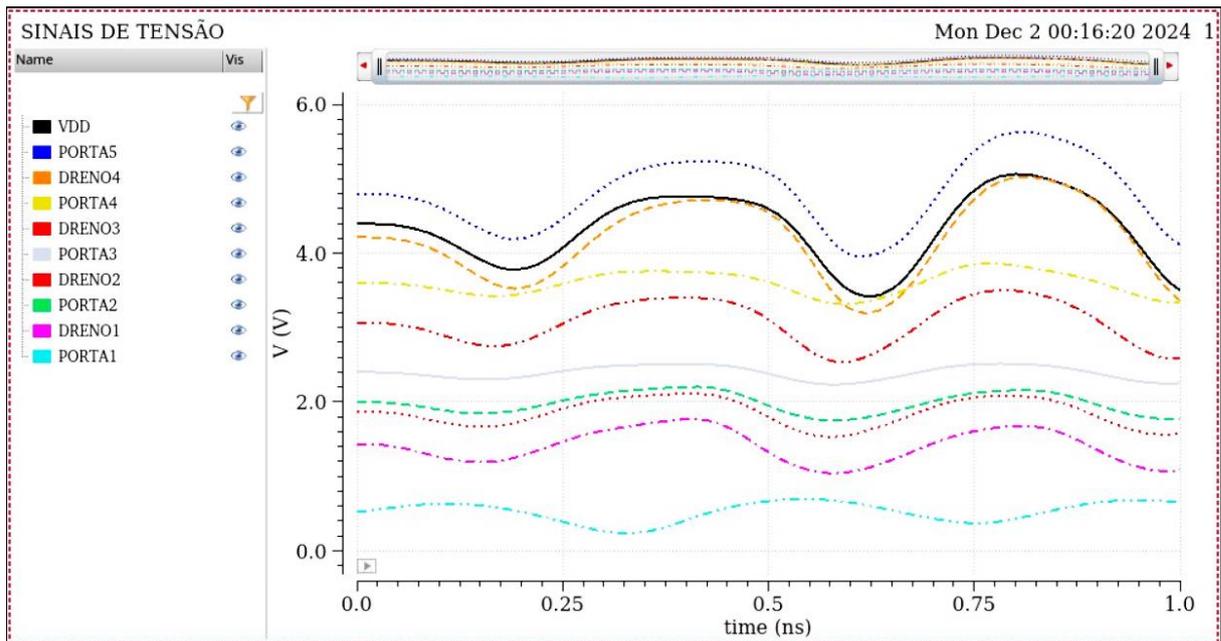


FONTE: AUTOR

A figura 32 apresenta os sinais medidos nas portas, drenos e fontes dos transistores, para a topologia N5S0A5 apenas, que mostra que os limites de tensão dos transistores não são ultrapassados. Essa verificação precisa ser feita para os demais modos de operação.

A figura mostra também distorções na forma de onda a alteração de fases pelo atraso causado pela pilha.

FIGURA 32 - SINAIS NAS PORTAS, DRENOS E FONTES PARA O MODO DE OPERAÇÃO N5S0A5



FONTE: AUTOR

5 CONSIDERAÇÕES FINAIS E TRABALHOS FUTUROS

Este trabalho teve como objetivo projetar e simular um PA CMOS com topologia empilhada de cinco transistores para operação multimodo, comparando seu desempenho com uma topologia de quatro transistores empilhados (FAVERO, 2021).

Para verificar isso, esse trabalho modificou o PA de caminho único de propagação de quatro transistores empilhados apresentado por FAVERO (2021). Essa configuração baseia-se no conceito de que as amplificações consecutivas de tensão em uma arquitetura empilhada podem ser escolhidas para ocorrer ou não, com base na seleção da região de operação do transistor empilhado (saturação ou triodo) e no dimensionamento da tensão de alimentação.

Este PA possui cinco perfis de eficiência: N5S0A5 (cinco transistores operando como amplificadores) até N5S4A1 (um transistor operando como amplificador e quatro como chaves fechadas). Considerando os modos de alta e baixa potência, este PA apresenta um OCP1dB e uma eficiência PAE no OCP1dB de 24,72 dBm e 39,61% em N5S0A5 e 20,23 dBm e 35,67% em N5S4A1.

Considerando a operação geral, embora o circuito proposto tenha alcançado operação em cinco modos, o perfil de eficiência de N5S4A1 é ofuscado por todos os

outros modos, especialmente por N5S3A2, resultando efetivamente em um PA de quatro modos.

5.1 RECOMENDAÇÕES PARA TRABALHOS FUTUROS

Em relação aos trabalhos futuros, há múltiplas possibilidades de projeto e verificação baseadas nesta arquitetura reconfigurável.

Pode-se buscar otimizações adicionais, considerando S11, S21 e μ .

Pode-se também, aumentar o tamanho da pilha, buscar melhorar o banco de capacitores para reduzir o número de componentes, adicionar uma etapa de ganho e melhorar a saída com uma rede de correspondência de ordem superior.

Essas são apenas algumas possibilidades do potencial dessa arquitetura. Na prática, o híbrido pode ser usado como o núcleo de potência de muitos PAs CMOS multimodo disponíveis na literatura, se adaptações adequadas forem feitas.

REFERÊNCIAS

- BELLALTA, B. IEEE 802.11ax: High-efficiency WLANs. *IEEE Wireless Communications*, v. 23, n. 1, p. 38–46, 2016.
- DABAG, H.-T., HANAFI, B., GOLCUK, F., AGAH, A., BUCKWALTER, J. F., ASBECK, P. M. Analysis and design of stacked-FET millimeter-wave power amplifiers. *IEEE Transactions on Microwave Theory and Techniques*, v. 61, n. 4, p. 1543–1556, 2013.
- DENG J., LARSON L.E. Multi-mode Power Amplifiers for Wireless Handset Applications. In: Tasić A., Serdijn W.A., Larson L.E., Setti G. *Circuits and Systems for Future Generations of Wireless Communications. Series on Integrated Circuits and Systems*. Dordrecht: Springer, 2009.
- EDWARDS, T. C.; STEER, M. B. *Foundations of Interconnect and Microstrip Design*. 4. ed. Chichester: John Wiley & Sons, 2016.
- EEWORLD (2018). RF power amplifier, Part 1: Functions and Elements. Disponível em: <https://www.eeworldonline.com/rf-power-amplifier-part-1-functions/>. Acesso em 12/06/2024.
- GONZALEZ, G. *Microwave Transistor Amplifiers: Analysis and Design*. 2. ed. Upper Saddle River: Prentice Hall, 1997.
- ITRS. International Technology Roadmap for Semiconductors, 2000-2001. Disponível em: www.itrs2.net. Acesso em: 12 de junho de 2024.
- KIM, J. et al. Envelope Tracking Power Amplifier for LTE and Beyond. *IEEE Microwave Magazine*, v. 16, n. 2, p. 34-47, 2015.
- Kouhalvandi, Lida & Ceylan, Osman & Özoguz, Serdar. (2021). Automated top-down pruning optimization approach in RF power amplifier designs. *Analog Integrated Circuits and Signal Processing*. 106. 10.1007/s10470-020-01730-w.
- MAHMOOD, F., PERRINS, E. AND LIU, L.. Modeling and Analysis of Energy Consumption for RF Transceivers in Wireless Cellular Systems. In: 2015 IEEE Global Communications Conference (GLOBECOM). 2015. Proceedings... p. 1-6.
- McCUNE, E. A technical foundation for RF MOSFET power amplifiers: Part 1: Key power amplifier issues. *IEEE Solid-State Circuits Magazine*, v. 7, n. 3, p. 81–85, 2015.
- MUSIIGE, D. RF subsystem power consumption and induced radiation emulation. Technical University of Denmark, 2013.
- PORNPROMLIKIT, S., JEONG, J., PRESTI, C., SCUDERI, A., ASBECK, P. A watt-level stacked-FET linear power amplifier in silicon-on-insulator MOSFET. *IEEE Transactions on Microwave Theory and Techniques*, v. 58, n. 1, p. 57–64, 2010.

POZAR, D. M. Microwave Engineering. 4. ed. Hoboken: John Wiley & Sons, 2011.

REYNAERT P., STEYAERT M. RF Power Amplifiers for Mobile Communications. 1 ed. New York: Springer, 2006.

ROHDE SCHWARZ. Fundamentals of Vector Network Analysis. 5. ed. Munique: Rohde & Schwarz, 2018.

SANTOS, Fávero Guilherme. Tese de doutorado: A single propagation path multimode MOSFET power amplifier based on the stacked topology. Curitiba, 2021.

TARAR, M. M., WEI, M.-D., KHAN, M. A., NEGRA, R. A compact broadband stacked medium power amplifier in standard 65 nm MOSFET technology. Analog Integrated Circuits and Signal Processing, v. 89, n. 2, p. 327–335, 2016.

TARUI, Bruno Yuji. Projeto e simulação de amplificador de potência multimodos de alta potência e baixa variação de ganho. Curitiba, 2021.

RAZAVI, B. Fundamentos de Microeletrônica. LTC, 2017.

RUIZ, H. S., PÉREZ, R. B. Linear MOSFET RF Power Amplifiers. Springer US, 2014.
TSIVIDIS, Y. The MOS transistor. Oxford University Press, 2013.

SHERMAN, R. History of Intel Microprocessors. Intel Corporation, 2001.

SZE, S. M.; NG, K. K. Physics of Semiconductor Devices. 3. ed. Hoboken: Wiley-Interscience, 2006.

VENDELIN, G. D.; PAVIO, A. M.; ROHDE, U. L. Microwave Circuit Design Using Linear and Nonlinear Techniques. 2. ed. Hoboken: John Wiley & Sons, 2005.

WANG, L.; WONG, H. Porta Dielectrics in MOS Technology. Berlin: Springer, 2006.

WANLASS, F.; SAH, C. T. CMOS Electronics. International Solid-State Circuits Conference, 1963.

APÊNDICE A – RUPTURA DO ÓXIDO DE PORTA NA TECNOLOGIA DE 130 NM

A força do campo de ruptura para o dióxido de silício é tipicamente na faixa de 8-10 MV/cm.

Para um nó tecnológico CMOS de 130 nm, a espessura do óxido de porta é tipicamente em torno de 2 nm.

Dada a força do campo de ruptura do SiO₂, podemos estimar a tensão de ruptura:

Usando a força do campo de ruptura, a tensão de ruptura aproximada $V_{\text{breakdown}}$ pode ser calculada como:

$$V_{\text{breakdown}} = \text{Força do campo de ruptura} \times \text{Espessura do óxido} \quad (3)$$

Para 8 MV/cm:

$$V_{\text{breakdown}} = 8 \times 10^6 \text{ V/cm} \times 2 \times 10^{-7} \text{ cm} = 1,6 \text{ V}$$

Para 10 MV/cm:

$$V_{\text{breakdown}} = 10 \times 10^6 \text{ V/cm} \times 2 \times 10^{-7} \text{ cm} = 2,0 \text{ V}$$

Portanto, a tensão de ruptura aproximada para a camada de óxido na tecnologia de 130 nm está entre 1,6 V e 2,0 V. Isso significa que se a tensão através da camada de óxido exceder essa faixa, a camada de óxido provavelmente se romperá, levando à falha do dispositivo.

A resistência à ruptura da camada de óxido em um transistor MOS é crucial para a sua operação confiável. Para um nó tecnológico de 130 nm, a espessura do óxido de porta é tipicamente em torno de 2 nm, e a tensão de ruptura é aproximadamente entre 1,6 V e 2,0 V. Compreender e mitigar os fatores que podem levar à ruptura dielétrica é essencial para projetar dispositivos semicondutores robustos e confiáveis.

APÊNDICE B – S-PARAMETERS: CONSIDERAÇÕES PRÁTICAS E EXEMPLO DE USO

A estabilidade de um amplificador de potência pode ser analisada usando os S-parameters. Parâmetros como o fator de estabilidade de Rollet (K-factor) são derivados dos S-parameters e indicam se o amplificador irá oscilar sob determinadas condições.

Os S-parameters variam com a frequência, e medindo-os em uma faixa de frequências, pode-se determinar a largura de banda do amplificador. A faixa de frequências na qual S11 e S22 são baixos e S21 é alto define a largura de banda operacional do amplificador.

Como exemplo de uso, considere um amplificador de potência com os seguintes S-parameters de pequenos sinais medidos em sua frequência de operação:

- S11 = -10 dB
- S21 = 20 dB
- S12 = -30 dB
- S22 = -8 dB

Analisando os dados pode-se concluir o que segue:

- S11 = -10 dB: Indica um bom casamento de entrada. O coeficiente de reflexão é 0,1, o que significa que 10% da potência incidente é refletida.

$$|S_{11}| = 10^{\frac{S_{11}}{20}} = 10^{\frac{-10}{20}} = 10^{-0,5} \approx 0,1$$

- S21 = 20 dB: Indica um alto ganho direto. O amplificador proporciona um fator de ganho de 10.

$$|S_{21}| = 10^{\frac{S_{21}}{20}} = 10^{\frac{20}{20}} = 10^1 = 10$$

- $S_{12} = -30$ dB: Indica uma excelente isolação reversa. O coeficiente de transmissão reversa é 0,001, o que significa que apenas 0,1% da potência de saída reflete de volta para a entrada.

$$|S_{12}| = 10^{\frac{S_{12}}{20}} = 10^{\frac{-30}{20}} = 10^{-1,5} \approx 0,0316$$

$$\text{Potência Transmitida Reversamente} = |S_{12}|^2 = 0,0316^2 \times 100 = 0,1\%$$

- $S_{22} = -8$ dB: Indica um casamento de saída moderado. O coeficiente de reflexão é 0,158, o que significa que 15,8% da potência incidente é refletida na saída.

$$|S_{22}| = 10^{\frac{S_{22}}{20}} = 10^{\frac{-8}{20}} = 10^{-0,4} \approx 0,158$$

Portanto, de forma resumida, os S-parameters são uma ferramenta fundamental para caracterizar e projetar amplificadores de potência em condições de pequenos sinais.

APÊNDICE C – PARÂMETRO DE ESTABILIDADE μ PARA PA

A estabilidade de um amplificador de potência é uma característica crítica, especialmente em aplicações de alta frequência. O parâmetro de estabilidade μ é uma métrica utilizada para avaliar a estabilidade incondicional de amplificadores de potência.

O parâmetro de estabilidade μ é definido de modo a fornecer uma medida de quão longe um amplificador está de condições de oscilação.

Ele é calculado a partir dos parâmetros de espalhamento (S-parameters) e fornece um critério simples para determinar se um amplificador é estável em todas as condições de carga e fonte.

A expressão para o parâmetro de estabilidade μ é:

$$\mu = \frac{1 - |S_{11}|^2}{|S_{22} - S_{11}^* \cdot S_{21} \cdot S_{12}| + |S_{12} \cdot S_{21}|} \quad (5)$$

Onde:

- * denota o conjugado complexo.

Interpretação do Parâmetro de Estabilidade μ e Exemplo de Cálculo:

- $\mu > 1$: O amplificador é incondicionalmente estável. Isso significa que o amplificador permanecerá estável independentemente das impedâncias de fonte e carga.
- $\mu \leq 1$: O amplificador é potencialmente instável. Isso indica que, para certas condições de impedância de fonte e carga, o amplificador pode oscilar.

De forma a exemplificar sua aplicação, segue exemplo de cálculo, para um amplificador de potência com os seguintes S-parameters medidos em sua frequência de operação:

- $S_{11} = 0,5$
- $S_{22} = 0,4$

- $S_{21} = 2,0$
- $S_{12} = 0,05$.

Calculando μ :

$$\mu = \frac{1 - |0,5|^2}{|0,4 - 0,5 \cdot 2,0 \cdot 0,05| + |0,05 \cdot 2,0|} = 1,67$$

Nesse exemplo $\mu = 1,67 > 1$, indicando que o amplificador é incondicionalmente estável (Pozar, 2011).

O parâmetro μ é uma ferramenta essencial durante o processo de design de amplificadores, ajudando os engenheiros a garantir que o amplificador será estável em todas as condições operacionais (Gonzalez, 1997).

Se um amplificador apresentar comportamento instável, o cálculo de μ pode ajudar a identificar as causas da instabilidade e orientar ajustes no design ou na escolha dos componentes (Vendelin, Pavio, & Rohde, 2005).

Embora existam outros critérios de estabilidade, como o fator de estabilidade de Rollet (K -factor) e o delta de estabilidade (Δ), o parâmetro μ oferece uma abordagem direta e eficaz para a análise de estabilidade, especialmente em amplificadores de potência (Edwards & Steer, 2016).

O parâmetro de estabilidade μ é uma métrica valiosa para determinar a estabilidade de amplificadores de potência. Com base nos S-parameters do amplificador, μ fornece uma indicação clara de se o amplificador é incondicionalmente estável ou potencialmente instável.

Isso é crucial para garantir que o amplificador funcione corretamente em todas as condições de operação, evitando oscilações indesejadas e garantindo um desempenho confiável.

APÊNDICE D – EQUAÇÕES DE RESISTÊNCIA E GANHO PARA DIFERENTES TOPOLOGIAS

D.1 TOPOLOGIA CASCODE:

$$R_0|_{cascode} = \frac{1}{g_{sdo}} + \frac{g_{sdo} + g_{m1}}{g_{sdo} \cdot g_{sd1}}$$

$$A_{v0}|_{cascode} = -\frac{g_{m0}}{g_{sdo}} \cdot \left(1 + \frac{g_{m1}}{g_{sd1}}\right)$$

D.2 TOPOLOGIA EMPLIHADA:

Equação de Dabag et al. (2013):

$$C_i = \frac{C_{gs} + C_{gd} \cdot (1 + R_{OPT} \cdot g_m)}{(i-1) \cdot g_m \cdot R_{OPT} - 1}$$

Com $i \in 2 < N < n$

Ro e Ganho conforme a pilha aumenta:

$$R_0|_{n=1} = R_0|_{CS} = \frac{1}{g_{sdo}}$$

$$R_0|_{n=2} = R_0|_{cascode} = \frac{g_{sdo} + g_{sd1} + g_{m1}}{g_{sdo} \cdot g_{sd1}}$$

$$R_{0n} = \frac{1}{g_{sdo}} + \left(\frac{g_{sdo} + g_{sd1} + g_{m1}}{g_{sdo} \cdot g_{sd1}}\right) \cdot \prod_{i=2}^{n-1} \left(1 + \frac{g_{mi}}{g_{sdi}}\right)$$

para $n \geq N > 3$

$$A_{v0n} = -\frac{g_{m0}}{g_{sdo}} \cdot \prod_{i=1}^{n-1} \left(1 + \frac{g_{mi}}{g_{sdi}}\right)$$

para $n \geq N > 2$

D.3 TOPOLOGIA HÍBRIDA:

$$AvO_n = -\frac{g_{m0}}{g_{sdo}} \cdot \prod_{i=1}^{a-1} \left(1 + \frac{g_{mi}}{g_{sdi}}\right)$$

