

UNIVERSIDADE FEDERAL DO PARANÁ

IVAN PADILHA ADAM

IMPACTO DA MINIATURIZAÇÃO NO PROJETO DE PLACAS DE CIRCUITO
IMPRESSO PARA APLICAÇÕES DE RADIOFREQUÊNCIA

CURITIBA

2024

IVAN PADILHA ADAM

IMPACTO DA MINIATURIZAÇÃO NO PROJETO DE PLACAS DE CIRCUITO
IMPRESSO PARA APLICAÇÕES DE RADIOFREQUÊNCIA

Dissertação apresentada como requisito parcial para a obtenção do título de Mestre pelo Programa de Pós-Graduação em Engenharia Elétrica do Setor de Tecnologia da Universidade Federal do Paraná.

Orientador: André Augusto Mariano, Ph.D.
Coorientador: Arthur Liraneto Torres Costa, Ph.D.

CURITIBA

2024

DADOS INTERNACIONAIS DE CATALOGAÇÃO NA PUBLICAÇÃO (CIP)
UNIVERSIDADE FEDERAL DO PARANÁ
SISTEMA DE BIBLIOTECAS – BIBLIOTECA DE CIÊNCIA E TECNOLOGIA

Adam, Ivan Padilha

Impacto da miniaturização no projeto de placas de circuito impresso para aplicações de radiofrequência / Ivan Padilha Adam. – Curitiba, 2024.

1 recurso on-line : PDF.

Dissertação (Mestrado) - Universidade Federal do Paraná, Setor de Tecnologia, Programa de Pós-Graduação em Engenharia Elétrica.

Orientador: André Augusto Mariano

Coorientador: Arthur Liraneto Torres Costa

1. Miniaturização (Eletrônica). 2. Circuitos impressos – Placas. 3. Interconexão em rede (Telecomunicações). 4. Antenas (Eletrônica). 5. Tecnologia bluetooth. I. Universidade Federal do Paraná. II. Programa de Pós-Graduação em Engenharia Elétrica. III. Mariano, André Augusto. IV. Costa, Arthur Liraneto Torres. V. Título.

Bibliotecário: Elias Barbosa da Silva CRB-9/1894

TERMO DE APROVAÇÃO

Os membros da Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação ENGENHARIA ELÉTRICA da Universidade Federal do Paraná foram convocados para realizar a arguição da Dissertação de Mestrado de **IVAN PADILHA ADAM** intitulada: **Impacto da miniaturização no projeto de placas de circuito impresso para aplicações de radiofrequência**, sob orientação do Prof. Dr. ANDRÉ AUGUSTO MARIANO, que após terem inquirido o aluno e realizada a avaliação do trabalho, são de parecer pela sua APROVAÇÃO no rito de defesa.

A outorga do título de mestre está sujeita à homologação pelo colegiado, ao atendimento de todas as indicações e correções solicitadas pela banca e ao pleno atendimento das demandas regimentais do Programa de Pós-Graduação.

Curitiba, 30 de Agosto de 2024.

Assinatura Eletrônica

30/08/2024 13:38:49.0

ANDRÉ AUGUSTO MARIANO

Presidente da Banca Examinadora

Assinatura Eletrônica

30/08/2024 12:00:20.0

BERNARDO REGO BARROS DE ALMEIDA LEITE

Avaliador Interno (UNIVERSIDADE FEDERAL DO PARANÁ)

Assinatura Eletrônica

02/09/2024 14:38:02.0

SAMUEL BARALDI MAFRA

Avaliador Externo (INSTITUTO NACIONAL DE TELECOMUNICAÇÕES)

RESUMO

Este trabalho apresenta um estudo das vantagens e desafios da miniaturização de placas de circuito impresso (PCBs – *printed circuit boards*) para aplicações de radio-frequência (RF). A tendência de miniaturização de dispositivos observada nas últimas décadas e o atual cenário da Internet das Coisas vêm aumentando a demanda por dispositivos sem fio compactos e que comprimam grande funcionalidade em uma pequena área. A análise trazida neste trabalho baseia-se no projeto de duas diferentes micro-PCBs que virão a constituir um *system in a package* com suporte ao protocolo Bluetooth Low Energy e antena em chip embarcada. O projeto da primeira PCB, cujo objetivo era montar um sistema funcional, é detalhado desde a escolha dos componentes até o design do esquemático e *layout*. Duas versões da primeira PCB foram concebidas, uma com área de *clearance* ao redor da antena e outra sem. Testes voltados para RF foram conduzidos com o objetivo de traçar diagramas de radiação em ambiente controlado, mensurar a impedância na entrada da antena através dos parâmetros de espalhamento, e avaliar o comportamento da PCB em campo com medidas de latência, *throughput* e indicador de intensidade de sinal recebido em diferentes distâncias e com diferentes potências de transmissão. Pontos de melhoria foram apontados com base nos testes e o projeto da segunda PCB é apresentado, almejando de fato a miniaturização do sistema. Ao final, são compilados os impactos positivos e negativos resultantes da miniaturização da segunda PCB, levantados em termos de complexidade de fabricação, custo de produção, integridade de sinal e gerenciamento térmico.

Palavras-chave: miniaturização; placas de circuito impresso; *system in a package*; *high density interconnect*; antenas em chip; *clearance* de antena em chip; Bluetooth Low Energy.

ABSTRACT

This work presents a study of the benefits and challenges of the miniaturization of printed circuit boards (PCBs) for radio frequency (RF) applications. The trend towards device miniaturization seen in recent decades and the current Internet of Things scenario have been increasing the demand for compact wireless devices that squeeze a lot of functionality in a small space. The analysis presented in this work is based on the design of two different micro-PCBs that will form a system in a package supporting Bluetooth Low Energy protocol and embedding a chip antenna. The design of the first PCB, the aim of which was to set up a functional system, is detailed from the choice of components to schematic and layout design. Two versions of the first PCB were conceived, one with a clearance area around the antenna and the other without it. RF-oriented tests were conducted in order to draw the radiation patterns in a controlled environment, measure the input impedance of the antenna using scattering parameters, and evaluate the PCB behavior in the field with latency, throughput and received signal strength indicator measurements in different distances and with different output power values. Points for improvement were highlighted based on the tests and the design of the second PCB is presented, actually aiming at miniaturizing the system. At the end, both positive and negative impacts resulting from the miniaturization of the second PCB are compiled, gathered in terms of design complexity, production costs, signal integrity and thermal management.

Keywords: miniaturization; printed circuit boards; system in a package; high density interconnect; chip antennas; chip antenna clearance; Bluetooth Low Energy.

LISTA DE ILUSTRAÇÕES

FIGURA 1 – MOTOROLA DYNATAC (1984) AO LADO DO IPHONE 14 PRO (2022)	17
FIGURA 2 – TIPOS DE VIAS ENCONTRADOS EM PCBS HDI	24
FIGURA 3 – DEFINIÇÃO DE <i>ASPECT RATIO</i> EM UMA MICROVIA	25
FIGURA 4 – ESTRUTURA DE UM <i>STACK-UP</i> $2 + N + 2$	26
FIGURA 5 – VISÃO GERAL DAS ETAPAS DE PROJETO DE PCBS HDI	27
FIGURA 6 – EXEMPLOS DE ESTRUTURAS EM SIPS	29
FIGURA 7 – UMA ANTENA EM CHIP COM ESTRUTURA DE ESPIRAL TRIDIMENSIONAL INTEGRADA EM UMA PLACA DIELÉTRICA	30
FIGURA 8 – MODELAGEM COM ELEMENTOS CONCENTRADOS DE UM TRECHO DE COMPRIMENTO INFINITESIMAL ΔZ DE UMA LINHA DE TRANSMISSÃO	32
FIGURA 9 – SECÇÕES TRANSVERSAIS DE EXEMPLOS DE LINHAS DE TRANSMISSÃO UNIFORMES	33
FIGURA 10 – REPRESENTAÇÕES EM SÉRIE E PARALELO DE UMA IMPE- DÂNCIA A UMA DADA FREQUÊNCIA	35
FIGURA 11 – EXEMPLOS DE REDES DE CASAMENTO DE IMPEDÂNCIA . .	36
FIGURA 12 – CASAMENTO DE IMPEDÂNCIA REALIZADO COM UM <i>STUB</i> CONECTADO EM PARALELO À LINHA DE TRANSMISSÃO	37
FIGURA 13 – CARACTERÍSTICAS FÍSICAS E CONFIGURAÇÕES DE REDE DO BLUETOOTH LOW ENERGY	39
FIGURA 14 – PILHA DO BLUETOOTH LOW ENERGY	40
FIGURA 15 – <i>GENERIC ATTRIBUTE PROFILE</i> (GATT)	42
FIGURA 16 – DIAGRAMA DE BLOCOS DO SISTEMA FORMADO PELA MICRO- PCB E PLACA DE DESENVOLVIMENTO	46
FIGURA 17 – PERDA DE RETORNO DA ANTENA EM FUNÇÃO DA FREQUÊN- CIA	48
FIGURA 18 – ESQUEMÁTICO DO TRANSCEPTOR BLE COM ENCAPSULA- MENTO QFN32, CONVERSOR <i>BUCK</i> E <i>BALUN</i> INTEGRADO .	50

FIGURA 19 – VALORES DOS CAPACITORES DE DESACOPLAMENTO DO TRANSCEPTOR BLE	50
FIGURA 20 – VALORES DOS CAPACITORES PARA O CONVERSOR <i>BUCK</i> .	51
FIGURA 21 – ESQUEMÁTICO COMPLETO DA PRIMEIRA VERSÃO DA MICRO- PCB	54
FIGURA 22 – <i>LAYOUT</i> DE REFERÊNCIA NA PLACA DE AVALIAÇÃO DA ANTENA	57
FIGURA 23 – <i>LAYOUT</i> DA MICRO-PCB COM <i>CLEARANCE</i> PARA ANTENA, CAMADA SUPERIOR	58
FIGURA 24 – <i>LAYOUT</i> DA MICRO-PCB COM <i>CLEARANCE</i> PARA ANTENA, CAMADA INTERNA 1	58
FIGURA 25 – <i>LAYOUT</i> DA MICRO-PCB COM <i>CLEARANCE</i> PARA ANTENA, CAMADA INTERNA 2	59
FIGURA 26 – <i>LAYOUT</i> DA MICRO-PCB COM <i>CLEARANCE</i> PARA ANTENA, CAMADA INFERIOR	59
FIGURA 27 – <i>LAYOUT</i> DA MICRO-PCB SEM <i>CLEARANCE</i> PARA ANTENA, CAMADA SUPERIOR	61
FIGURA 28 – <i>LAYOUT</i> DA MICRO-PCB SEM <i>CLEARANCE</i> PARA ANTENA, CAMADA INTERNA 1	61
FIGURA 29 – <i>LAYOUT</i> DA MICRO-PCB SEM <i>CLEARANCE</i> PARA ANTENA, CAMADA INTERNA 2	62
FIGURA 30 – <i>LAYOUT</i> DA MICRO-PCB SEM <i>CLEARANCE</i> PARA ANTENA, CAMADA INFERIOR	62
FIGURA 31 – SEQUÊNCIA DE INICIALIZAÇÃO DO TRANSCEPTOR BLE . . .	64
FIGURA 32 – ESQUEMÁTICO COMPLETO DA PLACA DE DESENVOLVIMENTO	65
FIGURA 33 – <i>LAYOUT</i> DA PLACA DE DESENVOLVIMENTO, CAMADA SUPE- RIOR	66
FIGURA 34 – <i>LAYOUT</i> DA PLACA DE DESENVOLVIMENTO, CAMADA INFERIOR	67
FIGURA 35 – ACIONAMENTO DE LED NA PLACA DE DESENVOLVIMENTO ATRAVÉS DA APLICAÇÃO BLE	70
FIGURA 36 – CÂMARA ANECOICA USADA PARA MEDIÇÃO DOS DIAGRA- MAS DE RADIAÇÃO	71
FIGURA 37 – DIAGRAMAS DE RADIAÇÃO EM $\text{DB}_{\mu\text{V/M}}$	73

FIGURA 38 – COMPARAÇÃO ENTRE DIAGRAMAS DE RADIAÇÃO	74
FIGURA 39 – VISTA AÉREA DO LOCAL USADO PARA OS TESTES EM CAMPO	75
FIGURA 40 – MEDIDAS DE RSSI (DISTÂNCIAS MENORES QUE 10 M)	77
FIGURA 41 – MEDIDAS DE RSSI (DISTÂNCIAS MAIORES QUE 10 M)	77
FIGURA 42 – TERMINAL DE SAÍDA DA APLICAÇÃO DO ESP32 EXEMPLIFI- CANDO UMA MEDIDA DE LATÊNCIA	79
FIGURA 43 – MEDIDAS DE LATÊNCIA (DISTÂNCIAS MAIORES QUE 10 M) .	81
FIGURA 44 – MEDIDAS DE <i>THROUGHPUT</i> (DISTÂNCIAS MAIORES QUE 10 M)	83
FIGURA 45 – COMPARAÇÃO DAS MICRO-PCBS REFERENTES ÀS MEDIDAS DE RSSI	84
FIGURA 46 – COMPARAÇÃO DAS MICRO-PCBS REFERENTES ÀS MEDIDAS DE LATÊNCIA	84
FIGURA 47 – COMPARAÇÃO DAS MICRO-PCBS REFERENTES ÀS MEDIDAS DE <i>THROUGHPUT</i>	85
FIGURA 48 – ESQUEMÁTICO DO <i>FRONT END</i> DE RF	86
FIGURA 49 – <i>LAYOUT</i> DO <i>FRONT END</i> DE RF	87
FIGURA 50 – MEDIDAS DE S_{11} SOBRE A ANTENA NA PLACA COM <i>CLEARANCE</i> E SEM REDE DE CASAMENTO	88
FIGURA 51 – MEDIDAS DE S_{11} SOBRE A ANTENA NA PLACA SEM <i>CLEARANCE</i> E SEM REDE DE CASAMENTO	89
FIGURA 52 – ESQUEMÁTICO DE SIMULAÇÃO NO ADS COM COMPONENTES S2P NA REDE DE CASAMENTO DE IMPEDÂNCIAS	90
FIGURA 53 – RESULTADOS DE SIMULAÇÃO DO CIRCUITO DE RF COM REDE DE CASAMENTO DE IMPEDÂNCIAS	91
FIGURA 54 – MEDIDAS SOBRE A ANTENA NA PLACA COM <i>CLEARANCE</i> E COM REDE DE CASAMENTO	91
FIGURA 55 – MEDIDAS SOBRE A ANTENA NA PLACA SEM <i>CLEARANCE</i> E COM REDE DE CASAMENTO	92
FIGURA 56 – CARTA DE SMITH COM LINHAS DE Q CONSTANTE	93
FIGURA 57 – MEDIÇÕES PARA INVESTIGAÇÃO DA FALTA DE SINTONIA DA ANTENA	94

FIGURA 58 – ESQUEMÁTICO COMPLETO DA SEGUNDA VERSÃO DA MICRO-PCB	97
FIGURA 59 – <i>STACK-UP</i> DA PCBWAY SEGUNDO O QUAL A PCB FOI PROJETADA	99
FIGURA 60 – <i>LAYOUT</i> DA SEGUNDA VERSÃO DA MICRO-PCB, CAMADA SUPERIOR	100
FIGURA 61 – <i>LAYOUT</i> DA SEGUNDA VERSÃO DA MICRO-PCB, CAMADA INTERNA 1	101
FIGURA 62 – <i>LAYOUT</i> DA SEGUNDA VERSÃO DA MICRO-PCB, CAMADA INTERNA 2	101
FIGURA 63 – <i>LAYOUT</i> DA SEGUNDA VERSÃO DA MICRO-PCB, CAMADA INFERIOR	102
FIGURA 64 – RESULTADOS DA SIMULAÇÃO DE ACOPLAMENTO	104
FIGURA 65 – REALCE DOS ACOPLAMENTOS NA CAMADA SUPERIOR	105
FIGURA 66 – REALCE DOS ACOPLAMENTOS NA CAMADA INTERNA 1	106
FIGURA 67 – REALCE DOS ACOPLAMENTOS NA CAMADA INTERNA 2	107
FIGURA 68 – REALCE DOS ACOPLAMENTOS NA CAMADA INFERIOR	108
FIGURA 69 – RESULTADOS DA SIMULAÇÃO DE IMPEDÂNCIA	109
FIGURA 70 – REALCE DA IMPEDÂNCIA DA LINHA COPLANAR ATERRADA	110
FIGURA 71 – DETALHE DO <i>LAYOUT</i> DA CAMADA INTERNA 2 DA SEGUNDA MICRO-PCB COM TRILHAS DE SINAL E <i>BLIND VIAS</i> SOBREPOSTAS	112
FIGURA 72 – REGIÃO DO TRANSCEPTOR BLE NO <i>LAYOUT</i> DA SEGUNDA VERSÃO DA MICRO-PCB	113
FIGURA 73 – TRILHAS DO OSCILADOR DE 16 MHZ DO TRANSCEPTOR BLE ROTEADAS NA CAMADA INTERNA 2	114
FIGURA 74 – PLANO DE GND NA CAMADA INTERNA 1 COM DESTAQUE PARA AS CONEXÕES ENTRE LONGOS BLOCOS DE VIAS	115

LISTA DE QUADROS

QUADRO 1	–	DESCRIÇÃO DOS COMPONENTES DA PRIMEIRA VERSÃO DA MICRO-PCB	55
QUADRO 2	–	COMPARAÇÃO DOS PARÂMETROS DE FABRICAÇÃO DA JLCPCB E PCBWAY	56
QUADRO 3	–	DESCRIÇÃO DOS COMPONENTES DA SEGUNDA VERSÃO DA MICRO-PCB	98
QUADRO 4	–	CONFIGURAÇÕES SELECIONADAS NA JLCPCB E PCBWAY PARA ANÁLISE DE CUSTOS	117

LISTA DE TABELAS

TABELA 1 – MEDIÇÕES DAS TENSÕES DE ALIMENTAÇÃO	69
TABELA 2 – MEDIÇÕES DE RSSI (EM DBM) PARA DIFERENTES DISTÂNCIAS E POTÊNCIAS DE TRANSMISSÃO	76
TABELA 3 – MEDIÇÕES DE LATÊNCIA (EM MS) PARA DIFERENTES DISTÂNCIAS E POTÊNCIAS DE TRANSMISSÃO	80
TABELA 4 – MEDIÇÕES DE <i>THROUGHPUT</i> (EM KBPS) PARA DIFERENTES DISTÂNCIAS E POTÊNCIAS DE TRANSMISSÃO	82
TABELA 5 – CUSTOS DE CONFECÇÃO E MONTAGEM DE 5 UNIDADES NA JLCPCB E PCBWAY	117
TABELA 6 – CUSTOS DE CONFECÇÃO E MONTAGEM DE 10.000 UNIDADES NA JLCPCB E PCBWAY	118

SUMÁRIO

1	INTRODUÇÃO	15
1.1	MINIATURIZAÇÃO DE CIRCUITOS ELETRÔNICOS	15
1.2	VANTAGENS E DESAFIOS	16
1.3	PROJETO μ C32RFBR	20
1.4	OBJETIVOS	21
1.5	ESTRUTURAÇÃO DO TRABALHO	21
2	FUNDAMENTAÇÃO TEÓRICA	23
2.1	PCBS HDI	23
2.1.1	Tipos de Vias	23
2.1.2	Construção Sequencial	25
2.1.3	Fluxo de Projeto	26
2.2	PROJETO DE SIPS	28
2.3	ANTENAS EM CHIP	29
2.4	LINHAS DE TRANSMISSÃO	31
2.5	CASAMENTO DE IMPEDÂNCIA	34
2.6	BLUETOOTH LOW ENERGY	38
3	PRIMEIRA VERSÃO DAS PCBS	43
3.1	ESPECIFICAÇÕES DO PROJETO μ C32RFBR	43
3.2	ESPECIFICAÇÕES DAS PCBS	44
3.3	ESCOLHA DO TRANSCEPTOR	45
3.4	ESCOLHA DO MICROCONTROLADOR	47
3.5	ESCOLHA DA ANTENA	47
3.6	ESQUEMÁTICO DA MICRO-PCB	48
3.6.1	Capacitores de Desacoplamento	49
3.6.2	Conversor DC-DC	51
3.6.3	Cristais	52
3.6.4	<i>Front end</i> de RF	53

3.6.5	Esquemático Completo	53
3.7	LAYOUT DA MICRO-PCB	55
3.7.1	Micro-PCB com <i>clearance</i> para antena	56
3.7.2	Micro-PCB sem <i>clearance</i> para antena	60
3.8	PLACA DE DESENVOLVIMENTO	63
4	MEDIDAS E SIMULAÇÕES	68
4.1	VERIFICAÇÕES DE HARDWARE	69
4.2	TESTES DE FUNCIONALIDADE	69
4.3	DIAGRAMAS DE RADIAÇÃO	71
4.4	MEDIDAS EM CAMPO	72
4.4.1	RSSI	74
4.4.2	Latência	76
4.4.3	<i>Throughput</i>	80
4.4.4	Comparação entre Placas com e sem <i>Clearance</i>	82
4.5	ADAPTAÇÃO DE IMPEDÂNCIA DA ANTENA	86
4.5.1	Medida da Impedância da Antena sem Rede de Casamento	86
4.5.2	Projeto da Rede de Casamento de Impedâncias	89
4.5.3	Medida da Impedância da Antena com Rede de Casamento	90
4.6	INVESTIGAÇÃO DA SINTONIA DA ANTENA	93
5	SEGUNDA VERSÃO DAS PCBS	95
5.1	ESCOLHA DA MEMÓRIA <i>FLASH</i>	95
5.2	MUDANÇA DO <i>STACK-UP</i>	95
5.3	ESQUEMÁTICO DA MICRO-PCB	96
5.4	LAYOUT DA MICRO-PCB	97
5.5	SIMULAÇÕES DE ACOPLAMENTO E IMPEDÂNCIA	102
6	ANÁLISE DOS IMPACTOS DE MINIATURIZAÇÃO	111
6.1	COMPLEXIDADE DO PROJETO	111
6.2	GERENCIAMENTO TÉRMICO	112
6.3	INTEGRIDADE DE SINAL E EFICIÊNCIA DE RADIAÇÃO	113
6.4	CUSTOS DE FABRICAÇÃO	116

7	CONCLUSÃO	119
	REFERÊNCIAS	121

1 INTRODUÇÃO

1.1 MINIATURIZAÇÃO DE CIRCUITOS ELETRÔNICOS

Desde a segunda metade do século XX, a indústria eletrônica tem caminhado continuamente para a fabricação de dispositivos cada vez menores e, ainda assim, mais poderosos do que seus antecessores. A era digital foi catalisada pela invenção do transistor em 1947 (KELLEHER, 2022), que em pouco tempo substituiu as válvulas termiônicas como uma alternativa menor, mais eficiente e mais confiável para controle de corrente elétrica (TARANOVICH, 2016). A rápida evolução do transistor na década seguinte lançou os alicerces para sua miniaturização, de modo que os primeiros circuitos integrados (CIs) da década de 1960 já comprimiam dezenas de transistores em um único chip. A renomada Lei de Moore, uma observação empírica de que o número de transistores em um CI dobraria a cada dois anos com aumento ínfimo de custo (MOORE, 1965), tem guiado a indústria de semicondutores pelos últimos 60 anos, incentivando inovações para se conceber transistores cada vez menores e CIs cada vez mais densos.

Os avanços tecnológicos alcançados na indústria de semicondutores refletiram-se nos demais campos da eletrônica. Componentes passivos começaram a ser miniaturizados a fim de facilitar sua conexão aos CIs, que gradualmente apresentavam menores fatores de forma. CIs com vários terminais distribuídos em seu perímetro também exigiam métodos sofisticados para conectá-los aos outros componentes de um circuito (ROBLEDO, 2022). Nesse contexto, as placas de circuito impresso (PCBs – *printed circuit boards*), popularizadas durante a década de 1950, passaram desde então a constituir parte indispensável dos dispositivos eletrônicos.

A confecção de PCBs no decorrer dos anos evoluiu do desenho manual das trilhas e conexões para processos automatizados de placas com técnicas de interconexão de alta densidade (HDI – *high density interconnect*). Capacidades de fábricas de PCBs regularmente incluem múltiplas camadas de cobre interpostas entre substratos dielétricos rígidos ou flexíveis, furos com baixíssimo diâmetro realizados mecanicamente ou a laser, e deposição de metal em vias para interconexão entre camadas

ou para prevenção contra corrosão (PCBWAY, 2024a) (SIERRA CIRCUITS, 2024a) (TTM TECHNOLOGIES, 2024). A demanda constante por PCBs menores impulsionou avanços na precisão dos processos, com alguns fabricantes sendo capazes de produzir trilhas tão estreitas quanto 1 mil (25,4 μm) (IANTOSCA, 2018). As ferramentas mais modernas de automação para design eletrônico (EDA – *electronic design automation*) trazem à disposição dos engenheiros a capacidade de gerenciamento dos condutores e dielétricos na pilha de camadas (*stack-up*) da PCB, definição de regras de projeto detalhadas com verificação automática, design compartilhado dentro de uma equipe, simulações térmicas e eletromagnéticas, entre inúmeras outras funcionalidades (ALTIVUM, 2024).

As técnicas de montagem de PCBs também acompanharam as mudanças, passando da soldagem manual *through-hole* para processos automatizados dominados por componentes de montagem superficial (SMD – *surface mount device*). Componentes SMD, por terem seus pontos de solda na mesma face onde são posicionados na placa, podem ser miniaturizados com mais facilidade do que componentes *through-hole*, que precisam acomodar a estrutura de pinos para sua fixação. Componentes passivos SMD têm sido reduzidos a dimensões microscópicas, como o encapsulamento 01005 de dimensões 0,4 $\times$ 0,2 mm (ANSYS, 2022). Encapsulamentos com terminações em *ball grid array* (BGA) e *chip-scale package* (CSP) são largamente usados em CIs para otimizar a distribuição de pinos em sua superfície e possibilitar a redução de tamanho (SIERRA ASSEMBLY, 2023). Além disso, a montagem SMD permite maior controle de qualidade e acurácia, com máquinas *pick-and-place* em linhas de produção sendo capazes de posicionar componentes precisamente com base nas coordenadas listadas nos arquivos de fabricação da PCB (PCBWAY, 2024b) (SIERRA CIRCUITS, 2024b). Isso possibilita que projetistas aproximem os *footprints* dos componentes tanto quanto possível durante seus designs.

1.2 VANTAGENS E DESAFIOS

A miniaturização observada na indústria de semicondutores, componentes e PCBs acarreta inúmeros benefícios em questão de funcionalidade, portabilidade, eficiência e custo. A capacidade de integrar mais componentes em uma pequena área possibilita o aumento de complexidade em um espaço menor e mais funções podendo

ser desempenhadas por um mesmo aparelho, contribuindo com a escalabilidade de um sistema. PCBs menores são menos suscetíveis a danos causados por vibração ou impacto mecânico em ambientes rigorosos. No nível de semicondutores, dispositivos menores tendem a consumir menos energia devido a tensões de operação inferiores, implicando em menos potência necessária para operar um mesmo CI (PNC, 2023).

Um exemplo notável da escalabilidade adquirida graças à miniaturização pode ser visto na evolução dos telefones móveis. A Figura 1 mostra um Motorola DynaTAC, cujo primeiro modelo foi lançado em 1984, ao lado de um iPhone 14 Pro, de 2022 (ROMANI, 2023). Enquanto os aparelhos mais antigos eram designados exclusivamente para chamadas de voz, os *smartphones* modernos embarcam computadores com alto poder de processamento, grande capacidade de memória, suporte a diferentes protocolos de comunicação sem fio, câmeras, sensores e *displays* de alta resolução; tudo isso mantendo um fator de forma inferior aos telefones antigos.

FIGURA 1 – MOTOROLA DYNATAC (1984) AO LADO DO IPHONE 14 PRO (2022)



FONTE: Romani (2023).

A maior funcionalidade decorrente de circuitos mais densos possibilita a inserção de sistemas completos dentro de um único encapsulamento, dando origem a soluções como *systems on a chip* (SoCs) e *systems in a package* (SiPs). Um SoC é definido como um CI que integra em um único chip um processador, bancos de memória, interfaces de entrada/saída e módulos para aplicações específicas, tais como modems de rádio ou processadores digitais de sinais (MARINESCU, 2023). Já um

SiP é um sistema multi-chip com vários CIs e componentes passivos dispostos sobre um único substrato, constituindo essencialmente uma micro-PCB encapsulada (SÜLLI, 2019). Ambas as soluções são extremamente atrativas em projetos onde espaço é um fator limitante.

É seguro afirmar que o fenômeno da Internet das Coisas (IoT – *Internet of Things*), que tem apresentado uma massiva evolução nos últimos anos, não teria sido possível sem a tendência de miniaturização. Um dispositivo IoT é qualquer objeto capaz de se conectar e trocar informações com outros dispositivos ou com a nuvem, sem necessidade de interação humana, e muitas vezes acomoda sensores para coletar dados de seus arredores e enviá-los e/ou processá-los (GILLIS, 2023). Carros que dão partida automaticamente quando seus donos estão prestes a sair de casa, campanhas que podem ser atendidas remotamente através de um *smartphone* ou até mesmo pessoas com monitores cardíacos implantáveis podem fazer parte de uma rede IoT. Estima-se que o mercado mundial de IoT crescerá de US\$ 1,17 trilhões em 2024 para US\$ 2,37 trilhões em 2029, com os setores industrial, automotivo e da saúde impulsionando seu crescimento (MORDOR INTELLIGENCE, 2024). Tal transformação digital só pôde ser alcançada com os avanços para redução do tamanho de circuitos e aumento da densidade em CIs e PCBs.

Em uma rede IoT baseada em comunicação sem fio, por exemplo, os dispositivos devem não apenas desempenhar suas funções principais, mas também precisam embarcar circuitos de radiofrequência (RF) para se comunicar. Estes comumente incluem transceptores, antenas e linhas de transmissão, cuja miniaturização não pode comprometer sua operação. SoCs e SiPs RF são largamente usados nesses casos, devido à possibilidade que estes trazem de implementar um sistema de rádio em espaço reduzido. Protocolos mais comuns no cenário de IoT, aos quais módulos, SoCs e SiPs compatíveis são soluções presentes no mercado, são Wi-Fi, Bluetooth, LoRa, LTE, NB-IoT e ZigBee (PARTICLE, 2024).

As numerosas vantagens trazidas pela miniaturização na indústria não vêm sem seus obstáculos. Implicações de custo surgem quando a miniaturização é tal que exige um processo mais avançado, e consequentemente mais caro, para a confecção de PCBs. As reduções de custo provenientes de componentes pequenos e baratos e do uso mais eficiente de matérias-primas entram em conflito com processos de fabricação

envolvendo várias camadas, restrições rigorosas de largura de trilhas e diâmetro de furos e aparatos mais sofisticados para testes e inspeções. O projeto de SoCs e SiPs, por envolverem grande quantidade de blocos e componentes, também é fortemente direcionado por estratégias de fornecimento de energia, dissipação de calor e pelo comportamento do sistema em altas temperaturas. O gerenciamento térmico torna-se um desafio com a crescente demanda por dispositivos vestíveis e portáteis, que devem ser compactos e leves (FENG, 2024).

Desafios de projeto ocorrem adicionalmente em circuitos de RF, onde o impacto de componentes parasitas é muito sentido ao se miniaturizar um componente ou uma PCB. Enquanto o uso mais eficiente do espaço permite trilhas mais curtas do que em uma placa maior, PCBs de RF de pequenas dimensões podem apresentar problemas de integridade de sinal devido a descasamentos de impedância e acoplamentos indesejados pela proximidade entre trilhas, vias e camadas. Garantir que correntes de retorno não fluam próximo a componentes sensíveis, inserir regiões de terra (GND – *ground*) entre sinais que podem se interferir e blindar seções de alta frequência da placa a fim de isolá-las estão entre boas práticas de projeto em PCBs de RF (BOGATIN, 2018).

No que diz respeito a antenas, tipos que são comumente embarcados em PCBs são as em F invertido (IFA – *inverted F antenna*) e em *patches* de microfitas (MPA – *microstrip patch antenna*), ambas feitas com trilhas de material condutor na própria PCB. Entretanto, MPAs demandam uma grande área da PCB e precisam de um plano de GND abaixo delas, dificultando a radiação nessa direção. IFAs podem dispor de meandros para diminuir a área ocupada, porém, por serem baseadas no monopolo clássico, não podem ultrapassar o comprimento mínimo de $\lambda/4$ para ressonar (MOLINS-BENLLIURE et al., 2020). Nas bandas ISM (industrial, científica e médica) de 2,4 GHz, $\lambda/4$ é próximo a 1,5 cm em um substrato de FR4, tornando sua miniaturização difícil em micro-PCBs com dimensões totais nessa mesma ordem de grandeza.

Os avanços da miniaturização em antenas deu origem às chamadas *chip antennas* ou antenas em chip, que trazem o elemento irradiador dentro de um encapsulamento. Apesar de não apresentar a mesma eficiência que uma antena feita com trilhas de PCB devidamente otimizada, antenas em chip possuem tamanho muito reduzido comparadas aos demais tipos e apresentam comportamento suficientemente aceitável para comunicações em curtas distâncias (SCHULTEIS; DUMONT, 2020). São

largamente usadas em dispositivos sem fio com restrições de tamanho.

As antenas em chip mais comuns costumam exigir uma área de recuo em seu entorno, na qual não podem ser posicionados componentes, trilhas de sinais ou até mesmo planos de terra. Essa área, conhecida como *clearance* da antena, varia conforme o modelo do componente e busca satisfazer as exigências de projeto para otimizar a radiação e a impedância de entrada da antena (WONG, 2003). PCBs com *chip antennas* que não seguem as diretrizes citadas nas especificações podem apresentar comportamento diferente do previsto em sua ficha técnica, conflitando com limitações de espaço em dispositivos que necessitam de compacidade.

1.3 PROJETO μ C32RFBR

Este trabalho de mestrado está inserido no projeto de pesquisa Microcontrolador Brasileiro de 32 Bits com Conectividade RF (μ C32RFBR), em parceria com a Universidade Federal de Santa Maria (UFSM), Universidade de Brasília (UnB), Universidade Federal de Campina Grande (UFCG) e Universidade Federal de Minas Gerais (UFMG). Sua proposta é entregar um SiP contendo dois circuitos principais: um projeto brasileiro de microcontrolador de 32 bits e uma interface de radiofrequência, esta última a cargo da Universidade Federal do Paraná (UFPR). A aplicação pretendida para o SiP é em cenários de IoT, principalmente envolvendo interação homem-máquina.

O padrão de comunicação escolhido para interface RF foi o Bluetooth Low Energy (BLE), introduzido pela especificação Bluetooth 4.0 em 2010. Por permitir uma considerável redução no consumo de energia em comparação com o Bluetooth Classic, o BLE se apresenta como uma plataforma propícia para dispositivos IoT. Cerca de 40% dos dispositivos IoT no mundo operam com a tecnologia BLE (BLUETOOTH SIG, 2023).

O SiP BLE será composto essencialmente por uma micro-PCB baseada no microcontrolador e em um SoC ou transceptor BLE. A proposta também inclui uma memória *flash* e uma antena embarcada, a qual será escolhida entre opções de antenas em chip disponíveis comercialmente.

Dessa forma, as decisões de projeto relatadas neste trabalho seguem majoritariamente as demandas do μ C32RFBR, englobando a escolha do SoC/transceptor e

componentes periféricos mas sem revelar seus *part numbers*, para preservar a confidencialidade do projeto. Por mais que o estudo dos impactos da miniaturização de PCBs seja aplicável em diferentes designs de RF, o trabalho descrito nesta dissertação usa o projeto do SiP BLE como base de desenvolvimento.

1.4 OBJETIVOS

Tendo em vista as limitações de espaço demandadas por dispositivos modernos, incluindo o SiP BLE do projeto μ C32RFBR, este trabalho tem em seu objetivo principal o estudo dos impactos da miniaturização em projetos de PCB voltadas para RF, elencando estratégias de projeto para atingir redução substancial de tamanho e compromissos de desempenho que devem ser adotados.

Quanto aos objetivos específicos, listam-se:

- revisar métodos de fabricação que representem padrões da indústria para PCBs HDI e SiPs e apontar estratégias de projeto, bem como rever conceitos teóricos utilizados;
- selecionar um transceptor BLE, um microcontrolador e uma antena em chip disponíveis no mercado para comporem os protótipos do SiP do projeto μ C32RFBR;
- desenvolver diferentes micro-PCBs para uma primeira rodada de fabricação, com o objetivo de validar o funcionamento do sistema;
- realizar testes e medidas sobre as PCBs a fim de avaliar os diagramas de radiação da antena, comportamento em campo e parâmetros de espalhamento;
- desenvolver novas micro-PCBs miniaturizadas com base nos resultados das medidas nas primeiras placas, objetivando a redução de tamanho;
- levantar comparações entre as placas projetadas, elencando prós e contras das PCBs propostas.

1.5 ESTRUTURAÇÃO DO TRABALHO

O Capítulo 2 aborda os conceitos primordiais para a compreensão do trabalho e que guiaram as tomadas de decisão em seu decorrer, sejam eles as técnicas de

projeto de PCBs HDI e SiPs, antenas em chip, a teoria de linhas de transmissão e a especificação Bluetooth Low Energy. O projeto da primeira versão da micro-PCB e as simulações e medidas a ela relacionadas são apresentados nos Capítulos 3 e 4 respectivamente. O segundo projeto da micro-PCB é detalhado no Capítulo 5 e é feita uma comparação entre as placas propostas no Capítulo 6, no qual os impactos da miniaturização da PCB são sumarizados. Por fim, o Capítulo 7 conclui o trabalho.

2 FUNDAMENTAÇÃO TEÓRICA

2.1 PCBS HDI

PCBs com técnicas HDI são um resultado direto das demandas de compressão de mais funcionalidades em um pequeno espaço, sendo largamente aplicadas no desenvolvimento de SiPs (OSTMANN et al., 2018). Elas geralmente usam vias cegas (*blind vias*), vias enterradas *buried vias*, microvias, vias em *pads*, e são compostas por pelo menos quatro camadas condutoras. Sua caracterização em termos de design e fabricação é atualmente definida pelas normas IPC-2315, IPC-2226, IPC-4104 e IPC-6016 (PETERSON, 2021b).

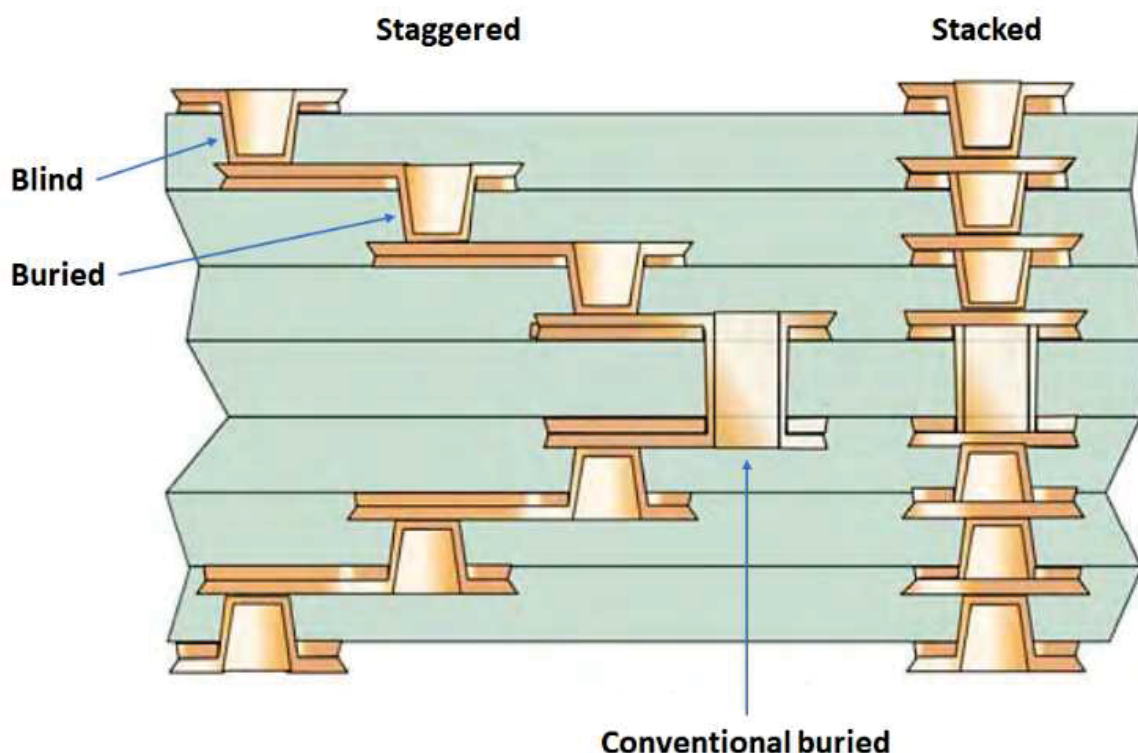
O projeto de uma PCB HDI traz consigo mais desafios do que uma PCB convencional. O tamanho limitado da placa exige que componentes menores sejam usados, dificultando a montagem, e que o espaçamento entre elementos da PCB seja menor, dificultando a confecção. Trilhas mais finas, furos de menor diâmetro, controle de impedância no *stack-up* pretendido e outros requisitos tornam essencial a verificação das capacidades do fabricante no início do projeto, a fim de configurar regras de design no software de EDA que permitam a fabricação da PCB.

2.1.1 Tipos de Vias

Um dos recursos que mais se destacam em projetos de PCBs HDI são os estilos de vias disponíveis para se realizar a conexão entre camadas. Ao contrário de PCBs mais comuns, que usam furos passantes atravessando toda a placa (furos *through-hole*), PCBs HDI dispõem de *blind vias*, que vão de uma camada externa até uma interna, e *buried vias*, que interconectam apenas camadas internas. Isso elimina a existência de *stubs* ao se posicionar uma via e otimiza o uso do espaço, além de melhorar a integridade de sinal (PETERSON, 2021b). A Figura 2 ilustra os estilos de vias típicos em *layouts* de PCBs HDI.

Outro tipo de via frequentemente associado a PCBs HDI são as microvias, cujo furo possui diâmetro menor ou igual a 6 mils (150 μm) (GHOSH, 2022). Quando devidamente fabricadas, elas apresentam menor capacitância parasita e uma confecção

FIGURA 2 – TIPOS DE VIAS ENCONTRADOS EM PCBS HDI

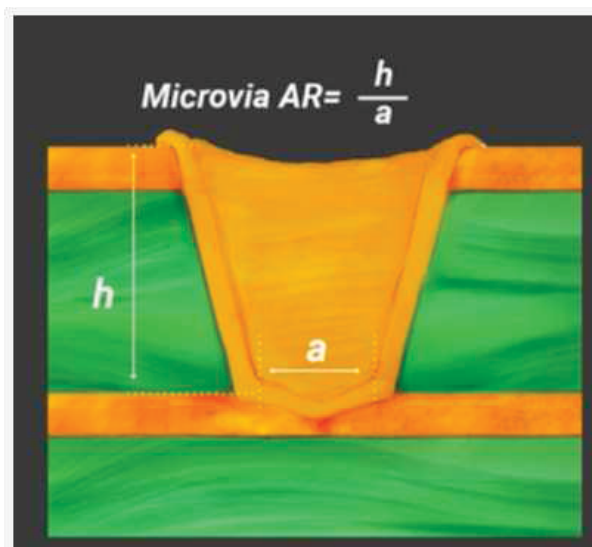


FONTE: Peterson (2021b).

mais econômica. A forma mais popular de se perfurar uma microvia é através de máquinas a laser, capazes de atravessar o material dielétrico até interceptar a próxima camada de cobre. Isso lhe garante o típico tronco cônico mostrado nas *blind/buried vias* da Figura 2.

O parâmetro mais usado para se medir a confiabilidade de uma via é a chamada *aspect ratio*, definida como a razão entre o comprimento da via e seu diâmetro. Diferentes fabricantes especificam os valores de *aspect ratio* para os quais conseguem garantir boa integridade mecânica e elétrica para as vias. As normas do IPC definem a *aspect ratio* ideal para uma microvia como 1:1, com o valor mais padronizado sendo 0,75:1 (GHOSH, 2022). A Figura 3 detalha o cálculo da *aspect ratio* em uma microvia.

Se uma compacidade maior é necessária, principalmente quando a PCB envolve CIs com encapsulamento BGA ou CSP com baixo espaçamento entre seus *pads*, um projeto também pode aplicar *vias in pad*, que são montadas diretamente sobre o terminal de um componente. Sua fabricação, porém, é mais cara pois envolve o preen-

FIGURA 3 – DEFINIÇÃO DE *ASPECT RATIO* EM UMA MICROVIA

FONTE: Ghosh (2022).

chimento das vias com cobre antes do acabamento de superfície da PCB (CADENCE, 2024b).

2.1.2 Construção Sequencial

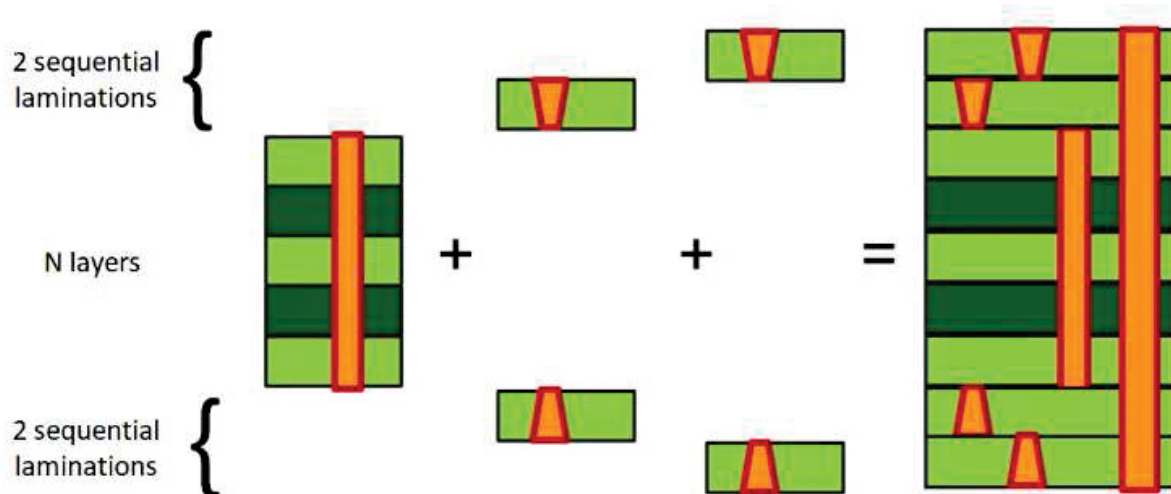
O *stack-up* de PCBs HDI é comumente montado de maneira sequencial, com camadas mais externas sendo adicionadas somente após as mais internas já terem sido laminadas (PETERSON, 2021b). Este processo é mais longo e custoso do que a fabricação convencional de PCBs, mas é particularmente importante para HDI, permitindo a existência de *buried vias*.

As etapas de cada ciclo de laminação envolvem a deposição de fotorresiste sobre as folhas de cobre, impressão dos circuitos através de litografia, laminação das camadas para grudá-las, perfuração das vias e metalização dos furos. Para vias empilhadas, também é preferível que os furos sejam preenchidos com cobre para prover uma conexão sólida e suporte estrutural (GHOSH, 2022). Dependendo da composição desejada para o *stack-up*, uma mesma PCB pode passar por vários ciclos de laminação.

Uma PCB HDI pode ser classificada segundo a terminologia $i + N + i$, de acordo com a estrutura de seu *stack-up* e a arquitetura de vias presente. N simboliza

o núcleo da PCB, que é produto do primeiro ciclo de laminação e geralmente mais espesso. Seus furos são feitos mecanicamente, garantindo-lhes um formato mais cilíndrico como a *buried via* central da Figura 2. i representa a quantidade de camadas laminadas sequencialmente sobre o núcleo da PCB, com a conexão entre essas camadas normalmente feita através de microvias. A Figura 4 mostra um exemplo de *stack-up* $2 + N + 2$, com duas laminações sequenciais e duas camadas condutoras acima e abaixo do núcleo da PCB.

FIGURA 4 – ESTRUTURA DE UM *STACK-UP* $2 + N + 2$



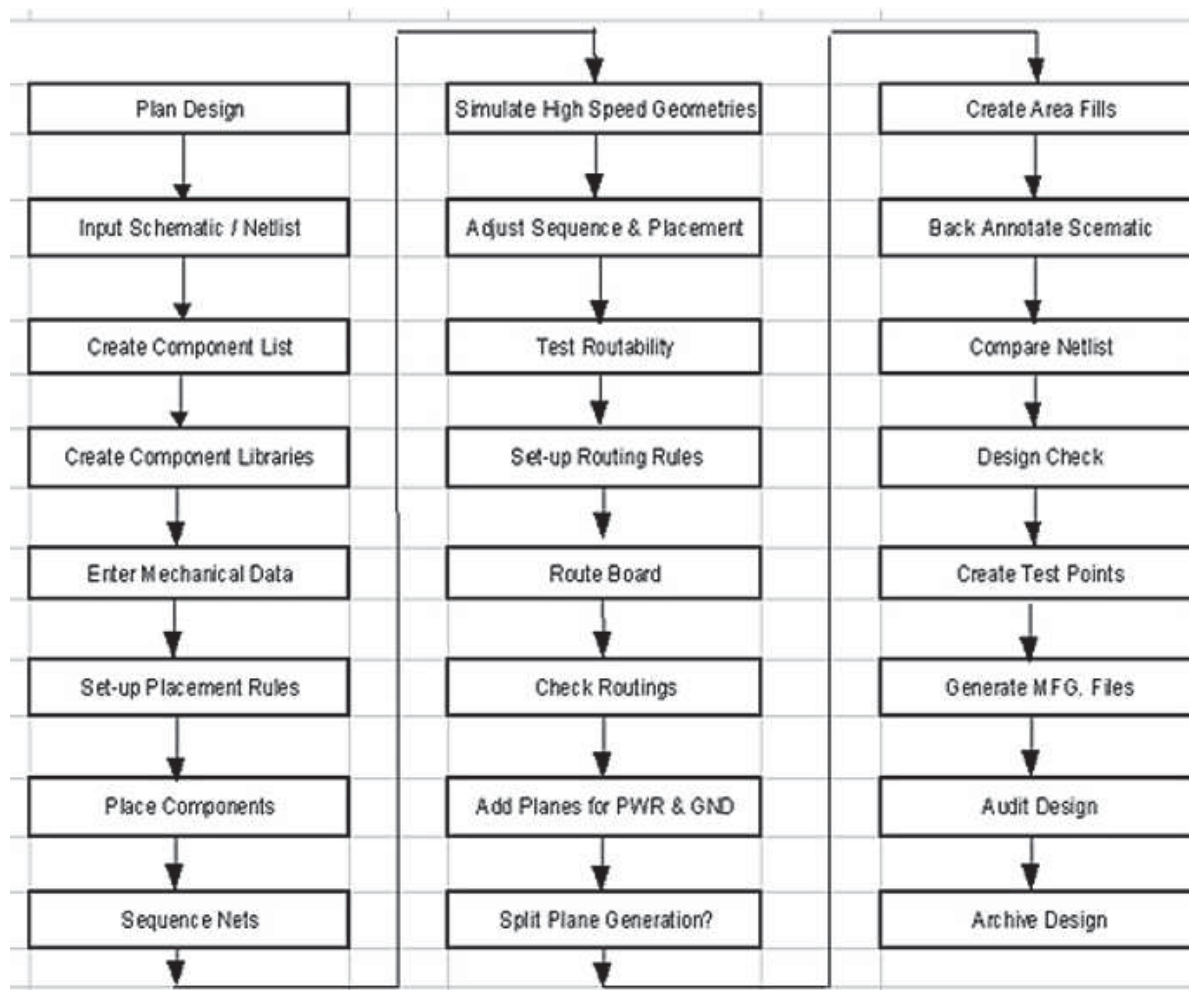
FONTE: Peterson (2022).

2.1.3 Fluxo de Projeto

A Figura 5 mostra etapas de projeto comumente encontradas durante o design de uma PCB HDI. Assim como em PCBs convencionais, a sequência fundamental de passos envolve a elaboração do esquemático, o posicionamento dos componentes e o roteamento da placa. Contudo, PCBs HDI exigem maior atenção para a configuração de regras de *layout*, tanto para posicionar os componentes quanto para traçar trilhas e planos de potência e/ou GND. Simulações, verificações e ajustes de design após o posicionamento e o roteamento assumem importância considerável devido às altas restrições envolvidas no projeto.

Apesar de algumas das etapas descritas acima não serem necessárias em todos os projetos, a eficiência do roteamento mantém-se consideravelmente atrelada

FIGURA 5 – VISÃO GERAL DAS ETAPAS DE PROJETO DE PCBS HDI



FONTE: Peterson (2021b).

à escolha do *stack-up* e aos tipos de vias disponíveis. Logo, o conhecimento das capacidades dos fabricantes é fundamental para se definir as devidas regras de design e alcançar um projeto válido e factível (PETERSON, 2021b).

Na presença de CIs com terminação em BGA ou CSP, por exemplo, as técnicas possíveis para o roteamento de seus sinais, conhecido como *fan-out*, exercem grande influência na quantidade de camadas necessárias e no tamanho mínimo das vias. Em placas que operam em altas frequências ou que estarão sujeitas a condições térmicas razoáveis, também torna-se necessário seleccionar um fabricante que trabalhe com substratos adequados ao projeto.

2.2 PROJETO DE SiPs

Um SiP consiste em múltiplos chips e ocasionais componentes passivos encapsulados em um único substrato. É um conceito semelhante ao SoC, que por sua vez integra seus blocos em um único chip. Apesar de ambas as soluções atingirem alto grau de compacidade e executarem quase todas as funções de um sistema completo, SiPs ainda têm a vantagem de embarcar maior capacidade de lógica e memória a um custo reduzido e evitar problemas de desempenho decorrentes da integração diversificada de módulos em um chip (MCLELLAN, 2019). SiPs podem ser destinados à fabricação com mais rapidez devido à pronta disponibilidade de CIs e componentes. Suas desvantagens mais expressivas são dimensões finais mais largas do que as de um SoC e grande complexidade de fabricação dependendo das arquiteturas empregadas para empilhar seus elementos.

O substrato em um SiP pode ser uma PCB de múltiplas camadas ou uma estrutura de cerâmica, baseada por exemplo em cerâmicas de cozedura de alta ou baixa temperatura (respectivamente, HTCC – *high temperature cofired ceramics* e LTCC – *low temperature cofired ceramics*). Em um SiP, é preferível que as pastilhas (*dies*) dos chips sejam utilizadas ao invés dos CIs encapsulados, uma vez que estes ocupam uma superfície maior. As técnicas pelas quais os *dies* são conectados ao substrato do SiP variam de acordo com o projeto, sendo *wire bonding* e *flip-chip* as mais comuns. CIs em encapsulamentos BGA e CSP de pequenas dimensões também podem ser usados em SiPs, sem adição significativa de área no substrato (CADENCE, 2011).

Um dos maiores diferenciais de um SiP é a possibilidade de se empilhar seus *dies* constituintes em uma arquitetura tridimensional. A Figura 6 exemplifica as estruturas espaciais segundo as quais um SiP pode ser projetado. SiPs 2D tem os *dies* posicionados um ao lado do outro no nível do substrato, compondo uma montagem mais simples. Quanto aos SiPs 3D, inúmeras técnicas têm sido propostas para realizar o empilhamento dos *dies*, cada uma conferindo diferentes níveis de compacidade às soluções e adicionando graus de complexidade aos processos de fabricação, montagem e testes elétricos (PRADHAN et al., 2013).

Como exemplos de empilhamento dos elementos de um SiP, a estrutura pro-

FIGURA 6 – EXEMPLOS DE ESTRUTURAS EM SIPS



FONTES: Tsai et al. (2019).

LEGENDA: (a) 2D com *dies* lado a lado; (b) 3D com otimização de espaço.

posta por Tsai et al. (2019), mostrada na Figura 6b, prevê a montagem de *dies* nas camadas superior e inferior do substrato, com a adição de suportes que conectam este aos *pads* externos do SiP. Luo et al. (2018) propõem um interpositor de silício com suporte a *through-silicon vias* dentro do qual um CI RF é envolvido.

As pequenas dimensões que podem ser alcançadas ao se usar a abordagem de SiPs possibilita um alto grau de miniaturização em um sistema. Entretanto, análises cuidadosas devem ser conduzidas para averiguar o impacto que a integração em um pequeno espaço pode acarretar. Yang, Li e Gao (2023) apresentam um SiP para um computador de bordo voltado a aplicações aeroespaciais e descrevem simulações elétricas, térmicas e mecânicas realizadas sobre o sistema para verificar sua confiabilidade. Su e Fu (2021) propõem um conversor de tensão em um SiP para câmeras de detecção remotas e descrevem uma análise de acoplamento eletrotérmico para simular sua temperatura de operação.

2.3 ANTENAS EM CHIP

Entre os diversos tipos de antenas presentes em sistemas embarcados, antenas em chip destacam-se devido a seu tamanho reduzido e por serem integradas em um encapsulamento SMD, conferindo-lhes maior facilidade de implementação em um projeto. Essas características fazem de antenas em chip uma ótima opção para antenas embarcadas em dispositivos com restrições de espaço, como *laptops*, fones de ouvido, aparelhos de IoT, entre outros (JOHANSON TECHNOLOGY, 2024).

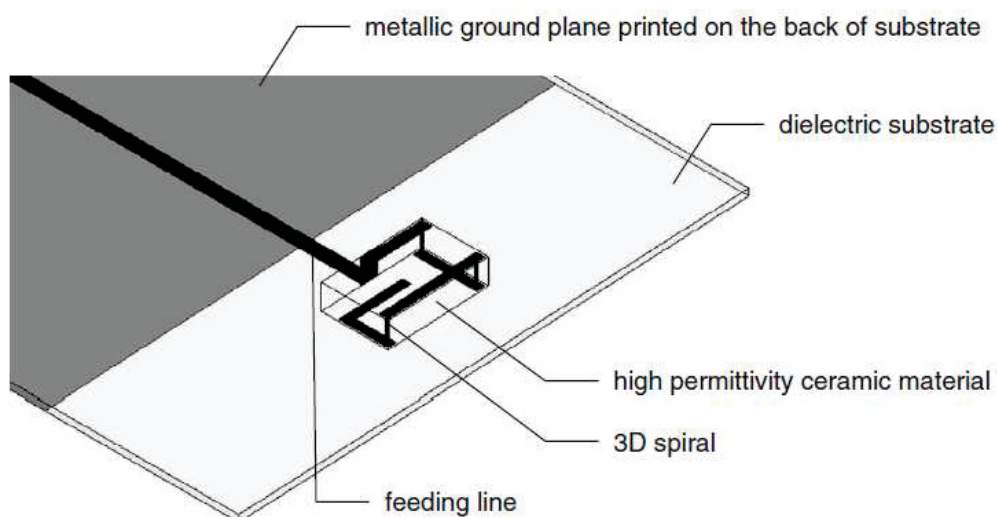
Como descrito por Balanis (2008), uma antena em chip é um elemento radiador

constituído por uma trilha metálica sinuosa envolta em uma estrutura dielétrica com alta permissividade, tipicamente, $\epsilon_r > 7$. Dessa forma, o campo eletromagnético irradiado pela trilha metálica concentra-se no substrato cerâmico, garantindo uma eficiência de radiação adequada para dispositivos de baixo alcance.

Em implementações práticas, o substrato é comumente fabricado utilizando-se a tecnologia de LTCC. Também podem ser encontradas antenas baseadas em materiais cerâmicos combinados com uma resina sintética, possibilitando flexibilidade durante o processo de fabricação.

Dependendo da aplicação ou da miniaturização desejada, a trilha metálica no interior do encapsulamento pode assumir diferentes padrões, como helicoidal, espiral, L invertido, F invertido ou outro tipo de antena não especificado. Os trechos da trilha são impressos em diferentes camadas do corpo cerâmico do componente e são conectados por vias, formando um caminho contínuo e tridimensional. Um modelo de antena em chip com estrutura espiral é mostrado na Figura 7.

FIGURA 7 – UMA ANTENA EM CHIP COM ESTRUTURA DE ESPIRAL TRIDIMENSIONAL INTEGRADA EM UMA PLACA DIELÉTRICA



FONTE: Balanis (2008).

Podem ser distinguidos dois tipos principais de antenas em chip: com ou sem um plano terra impresso no fundo da base cerâmica. A presença de um plano terra integrado ao encapsulamento permite que a antena seja posicionada em espaços

mais limitados às custas de largura de banda e eficiência de radiação, devido à alta permissividade do material cerâmico. Antenas sem um plano terra integrado são as mais comuns em dispositivos sem fio e operam de maneira similar a um monopolo. Logo, elas dependem de um plano de GND e de uma área de recuo, chamada de *clearance* da antena, a fim de apresentar a radiação desejada. A presença do *clearance* faz a antena ocupar mais espaço em uma PCB, mas diminui os efeitos da base cerâmica no desempenho da antena (WONG, 2003).

Como mostrado na Figura 7, a área de *clearance* de uma antena em chip não deve possuir trilhas ou polígonos condutores em nenhuma das camadas constituintes da PCB, excetuando-se a *feed line* para conexão da antena ao restante do circuito. Cada modelo de antena em chip que demanda uma área de *clearance* tem essa área delimitada por seu fabricante. A adição de antenas em chip em um projeto seguindo as recomendações de *clearance* confere uma largura de banda mais larga para a qual a antena apresenta bom casamento de impedância. Violações da área de *clearance*, o que essencialmente altera a distância ótima entre a antena e o plano terra, afetam essa largura de banda e a eficiência de radiação (MOLINS-BENLLIURE et al., 2020) (ANDÚJAR; ANGUERA; MATEOS, 2017).

A justificativa para a presença da área de *clearance* em antenas em chip que não possuem plano terra integrado é baseada no método das imagens. Quando na presença de um campo elétrico, correntes em um plano condutor são induzidas de modo a cancelar a componente tangencial do campo. Quando a antena está muito próxima ao plano de GND, a radiação proveniente dessas correntes reversas interferem destrutivamente com a radiação da antena e deterioram seu ganho e seus diagramas de radiação (LI; SINGH; SIEVENPIPER, 2017).

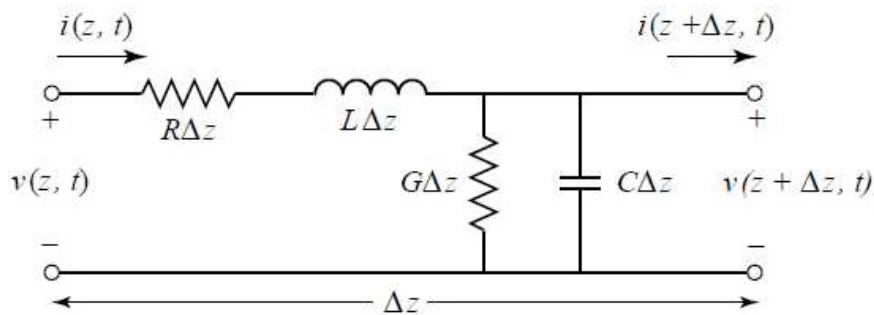
2.4 LINHAS DE TRANSMISSÃO

Em se tratando de sistemas de comunicação, é fortemente desejável que haja a integridade da mensagem. Harmônicos, reflexões, perdas de potência e *crosstalk* são alguns dos fatores que contribuem para a degradação de um sinal, potencialmente impedindo que o receptor interprete a mensagem corretamente (BOGATIN, 2018). Uma das soluções para prevenir reflexões em um cabo ou trilha são as linhas de transmissão, amplamente usadas em circuitos de RF.

Para Pozar (2012), a principal distinção trazida pela teoria de linhas de transmissão é a relevância do comprimento elétrico, uma vez que a teoria de circuitos assume que as dimensões físicas de um circuito são muito menores do que um comprimento de onda. Isso implica dizer que linhas de transmissão podem assumir dimensões físicas da ordem de vários comprimentos de onda, com tensões e correntes apresentando variações à medida que se propagam através da linha. Diz-se então que uma linha de transmissão é um componente de parâmetros distribuídos, ao contrário dos parâmetros concentrados previstos na análise convencional de circuitos.

Essencialmente, uma linha de transmissão é sempre composta por pelo menos dois condutores, pelos quais fluem um sinal e sua corrente de retorno. Costuma-se modelar uma linha a partir de elementos concentrados dentro de um trecho de comprimento infinitesimal Δz , como mostrado na Figura 8. R , L , G e C representam grandezas por unidade de comprimento, sendo elas a resistência em série, a indutância em série, a condutância em paralelo e a capacitância em paralelo da linha de transmissão, respectivamente.

FIGURA 8 – MODELAGEM COM ELEMENTOS CONCENTRADOS DE UM TRECHO DE COMPRIMENTO INFINITESIMAL Δz DE UMA LINHA DE TRANSMISSÃO



FONTE: Pozar (2012).

Para fins de praticidade, pode-se considerar que a potência dissipada pela linha é desprezível, o que resulta em $R = G = 0$. Ademais, quando L e C são constantes durante todo o comprimento da linha de transmissão, ela é chamada de uniforme, caso em que as reflexões são grandemente minimizadas durante a propagação do sinal. L e C são majoritariamente definidas pela geometria da linha e pelo substrato sobre o qual ela é construída (BOGATIN, 2018).

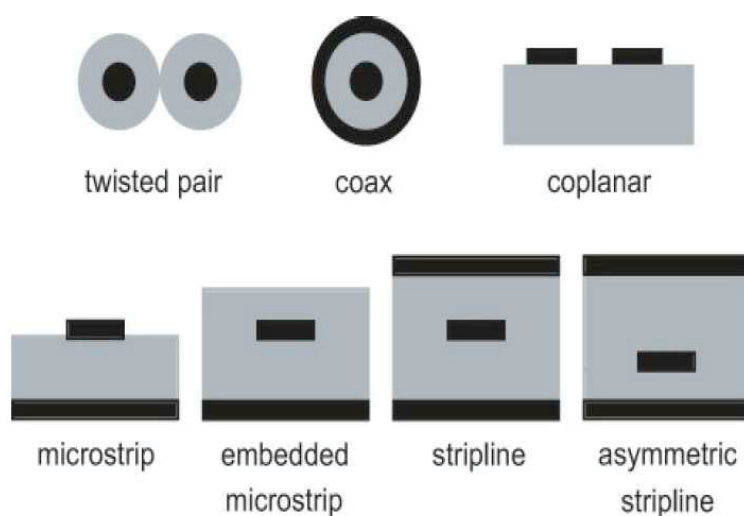
Um dos termos mais importantes para descrever as propriedades elétricas de uma linha de transmissão uniforme é sua impedância característica Z_0 . Pode-se defini-la como a impedância instantânea vista em qualquer ponto da extensão da linha durante a propagação do sinal. Quando uma linha é uniforme, L e C são constantes por todo o seu comprimento e, por consequência, sua impedância característica pode ser expressa em função desses parâmetros, resultando em

$$Z_0 = \sqrt{\frac{L}{C}}. \quad (2.1)$$

A impedância característica comumente empregada em aplicações de RF e micro-ondas é de $50 \, \Omega$.

A Figura 9 mostra alguns tipos de linhas de transmissão uniformes, com os modelos mais comuns de se implementar em PCBs sendo o coplanar (aterrado ou não aterrado), *microstrip* e *stripline* (este último quando o processo de fabricação permite camadas de cobre embutidas no substrato). Cada tipo apresenta suas peculiaridades de projeto. Por exemplo, devido a suas geometrias específicas, é comum reescrever a impedância característica de uma *stripline* em função da largura efetiva W_e de seu condutor central e a impedância de uma *microstrip* em função de sua constante dielétrica efetiva ϵ_e .

FIGURA 9 – SECÇÕES TRANSVERSAIS DE EXEMPLOS DE LINHAS DE TRANSMISSÃO UNIFORMES



FONTE: Bogatin (2018).

Ainda segundo Pozar (2012), quando a impedância característica de uma linha de transmissão tem seu valor alterado em algum ponto de sua extensão, a descontinuidade de impedâncias causa reflexões. Isto pode acontecer em razão de bifurcações, cargas ao final da linha, mudanças em seu substrato ou sua largura etc.

Reflexões ocorrem porque a impedância de uma linha de transmissão rege a relação entre a tensão e a corrente do sinal que a percorre. Supondo que uma linha de impedância característica Z_0 termine em uma carga Z_L , a relação entre tensão e corrente deve passar a satisfazer a nova impedância quando o sinal atingir a carga. Isso significa afirmar que, se uma onda incidente tiver amplitude V_0^+ , uma onda refletida de amplitude V_0^- deve ser gerada para satisfazer a nova condição. Com isso, define-se o coeficiente de reflexão Γ como a amplitude da tensão refletida normalizada à amplitude da tensão incidente:

$$\Gamma = \frac{V_0^+}{V_0^-} = \frac{Z_L - Z_0}{Z_L + Z_0}. \quad (2.2)$$

2.5 CASAMENTO DE IMPEDÂNCIA

Para evitar reflexões, ou seja, para que $\Gamma = 0$, é crucial que Z_L seja o mais próximo possível de Z_0 . Nos casos em que a impedância de entrada de um dispositivo foi projetada como sendo diferente de Z_0 para otimizar o funcionamento desejado em determinada frequência, faz-se necessária a transformação de um valor de impedância em outro, processo denominado casamento de impedâncias. Os circuitos responsáveis pela transformação são as redes de casamento, geralmente compostas por componentes passivos.

O casamento da impedância de uma fonte (ou de uma carga) com a da linha de transmissão que a sucede (ou antecede) garante que haja a transferência máxima de potência da fonte para a carga, minimizando perdas na linha e potencialmente melhorando a relação sinal-ruído em um receptor (POZAR, 2012).

Segundo Shirvani e Wooley (2003), o conceito de transformação de impedância se baseia no fato de que, em uma dada frequência, qualquer impedância pode ser representada por uma combinação em série ou paralelo de elementos resistivos ou reativos. Para as redes da Figura 10, as seguintes expressões tornam-se verdadeiras

para uma determinada frequência:

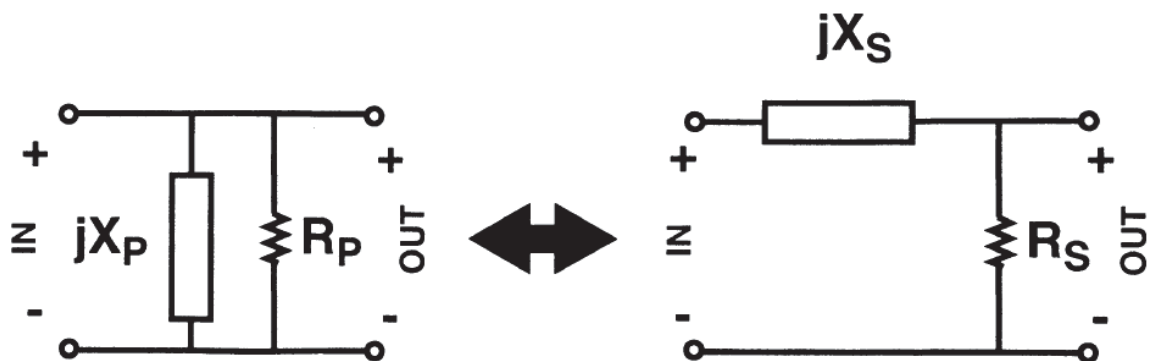
$$Q = \frac{R_P}{X_P} = \frac{X_S}{R_S}; \quad (2.3)$$

$$R_P = R_S(Q^2 + 1); \quad (2.4)$$

$$X_P = X_S \left(\frac{Q^2 + 1}{Q^2} \right), \quad (2.5)$$

onde Q é o fator de qualidade da rede na frequência em questão. As fórmulas acima também podem simbolizar aproximações para uma banda estreita centralizada na frequência de operação.

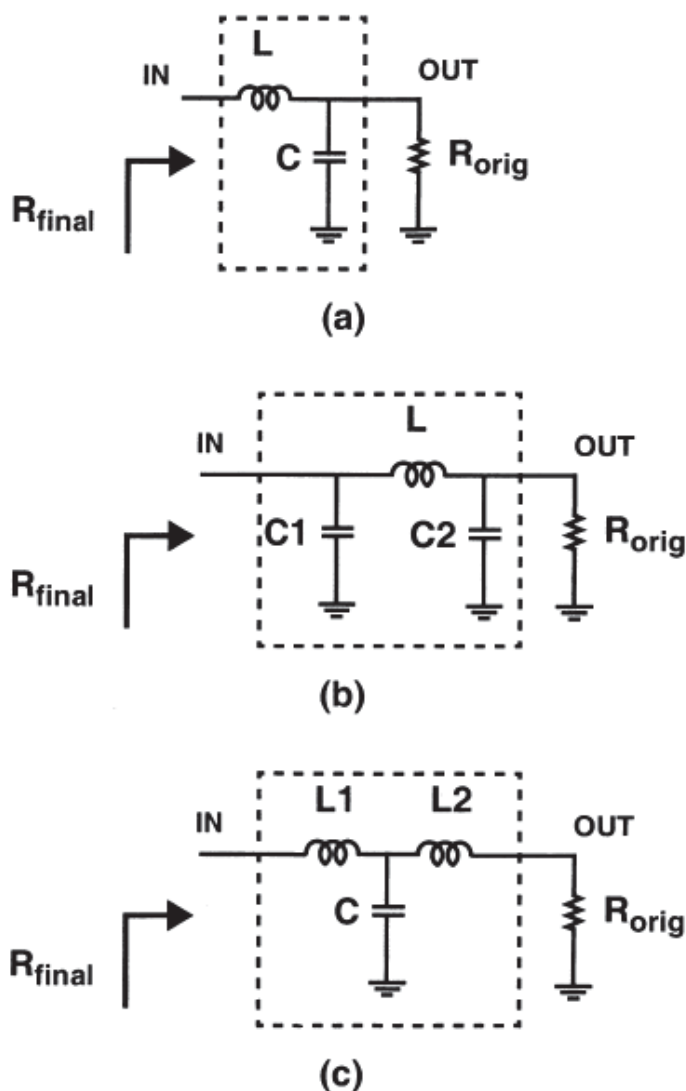
FIGURA 10 – REPRESENTAÇÕES EM SÉRIE E PARALELO DE UMA IMPEDÂNCIA A UMA DADA FREQUÊNCIA



FONTE: Shirvani e Wooley (2003).

Existem diversos circuitos e componentes que podem constituir uma rede de casamento de impedância em diferentes configurações. A mais simples é a rede em L com elementos concentrados e segue o raciocínio da transformação série-paralelo de impedâncias descrita acima, em que as reatâncias X_P e X_S calculadas são implementadas através de indutores e capacitores. Algumas variações da rede em L são frequentemente encontradas em placas RF, tais como as redes em π e em T, usadas quando se deseja um maior controle sobre o valor Q do circuito. Exemplos de redes em L, π e T são mostrados na Figura 11.

FIGURA 11 – EXEMPLOS DE REDES DE CASAMENTO DE IMPEDÂNCIA



FONTE: Shirvani e Wooley (2003).

LEGENDA: (a) rede em L; (b) rede em π ; (c) rede em T.

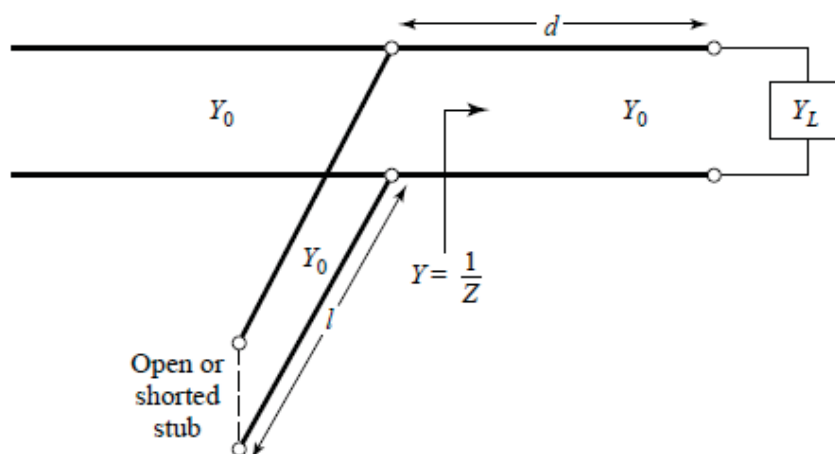
Redes com elementos concentrados ocupam pouco espaço e apresentam baixa complexidade. Porém, as características não-ideais desses componentes interferem em seu funcionamento, adicionando impedâncias parasitas e impedindo que o circuito seja realizável em uma ampla faixa de frequências. Ademais, devido ao comportamento desejado dos elementos concentrados estar limitado a uma banda estreita de frequências, redes em L não são convencionais para uma operação em banda larga por exemplo.

Outra alternativa de redes de casamento de impedância trazida por Pozar

(2012) são as que utilizam elementos distribuídos, substituindo componentes concentrados por linhas de transmissão. O princípio por trás desse método de casamento é a modelagem de uma impedância a partir dos parâmetros do trecho infinitesimal de uma linha, mostrado na Figura 8. Com isso, diferentes comprimentos de uma linha de transmissão, chamados de *stubs*, podem se igualar aos valores desejados de reatância ou susceptância para casar uma carga ou uma fonte.

Os *stubs* podem ser abertos ou curto-circuitados e conectados em série ou paralelo à linha de transmissão, dependendo do que for mais conveniente para determinado circuito. No caso de linhas *microstrip*, *stripline* ou guias de onda coplanares aterradas, por exemplo, *stubs* em paralelo são preferíveis, como mostrado na Figura 12, em que é desejado casar uma carga de admitância Y_L a uma linha com admitância Y_0 . Os comprimentos d e l dos trechos de linha de transmissão foram projetados de modo que a admitância vista na linha a uma distância d da carga seja $Y_0 + jB$ e a susceptância do *stub* seja $-jB$.

FIGURA 12 – CASAMENTO DE IMPEDÂNCIA REALIZADO COM UM *STUB* CONECTADO EM PARALELO À LINHA DE TRANSMISSÃO



FONTE: Pozar (2012).

As redes com elementos distribuídos têm como vantagem um bom desempenho em uma maior faixa de frequências, sendo mais preferíveis em aplicações que demandam banda larga. Por serem formados por padrões geométricos, seus componentes parasitas também podem ser estimados pelo próprio modelo de linhas de transmissão, tornando essas redes mais fiéis ao comportamento previsto pela teoria.

Além disso, redes com elementos distribuídos podem ser incorporadas diretamente no processo de fabricação das PCBs sem necessidade da compra e soldagem adicional de componentes. Por outro lado, acabam por ocupar espaço considerável na placa.

Algumas variações das redes de casamento com elementos distribuídos envolvem o uso de dois *stubs*, permitindo maior ajustabilidade para adequar-se a diferentes cargas, e o de transformadores de quarto de onda, formados por trechos de linhas de transmissão cuja extensão é de um quarto do comprimento de onda e que são comumente usados para casar uma carga de impedância real a uma linha de transmissão. Variantes desse exemplo incluem transformadores de múltiplas seções que possuem resposta binomial e resposta Chebyshev. Também é comum encontrar redes que mesclam elementos distribuídos com concentrados, substituindo os *stubs* ou os trechos de linha entre o *stub* e a carga por capacitâncias ou indutâncias discretas.

2.6 BLUETOOTH LOW ENERGY

O padrão de comunicação Bluetooth surgiu na década de 1990, com sua primeira especificação sendo publicada em 1999. Seu objetivo era proporcionar um meio de comunicação sem fio entre dispositivos em curtas distâncias. Conforme novas versões foram sendo publicadas, o alcance e a capacidade de transferência de dados foram incrementados. Em 2010 foi lançado o Bluetooth 4.0, que introduziu o Bluetooth Low Energy (BLE) ou Bluetooth Smart, voltado para dispositivos de baixo consumo (HUANG, 2024). A partir de então, produtos com especificação Bluetooth podem possuir o Bluetooth Classic (com maior largura de banda), Bluetooth Low Energy (com menor consumo) ou os dois padrões ao mesmo tempo.

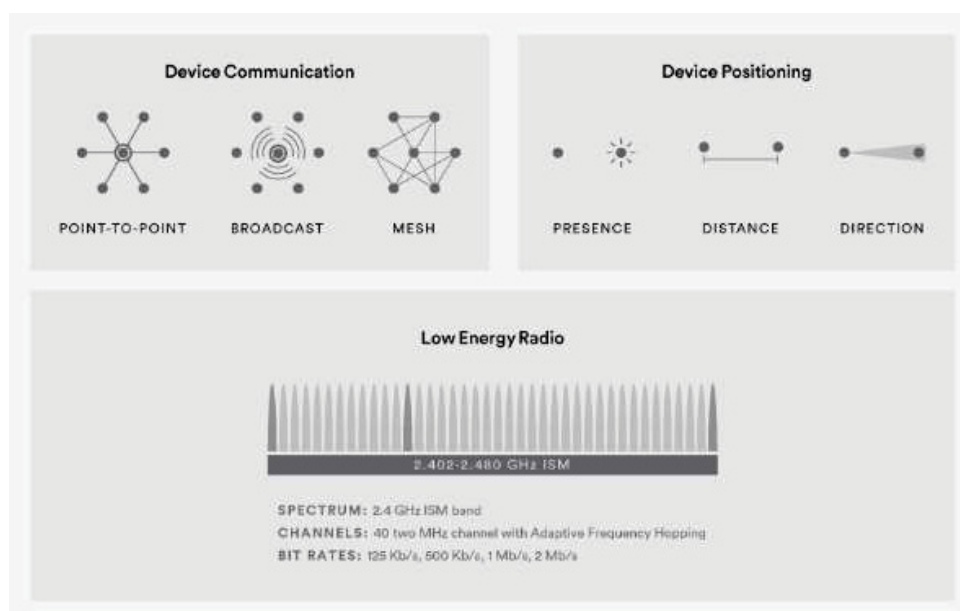
O baixo consumo de energia do BLE é obtido reduzindo-se a taxa de transmissão e o tempo em que o dispositivo se comunica ativamente, ainda mantendo um alcance similar ao do Bluetooth Classic. Com BLE, dispositivos alimentados por baterias, como *smartwatches* e fones de ouvido, podem operar por períodos mais longos.

O BLE faz uso da faixa de frequência não licenciada de 2,4 GHz (de 2,402 a 2,480 GHz), chamada de ISM (*industrial, scientific and medical* – industrial, científica e médica), e possui 40 canais espaçados a cada 2 MHz. Desses 40, 3 são utilizados para

anúncio dos dispositivos (chamado de *advertising*) e os 37 restantes para comunicação, com a técnica de *Frequency-Hopping Spread Spectrum* (FHSS) para evitar canais com interferências. O BLE faz uso da modulação *Gaussian Frequency-Shift Keying* (GFSK) (BLUETOOTH SIG, 2024).

Na Figura 13, pode ser visto que o BLE pode ser utilizado nas configurações de rede ponto a ponto, *broadcast* e *mesh*. Esse padrão também permite detectar a presença de dispositivos em uma área e determinar sua distância, direção e posição.

FIGURA 13 – CARACTERÍSTICAS FÍSICAS E CONFIGURAÇÕES DE REDE DO BLUETOOTH LOW ENERGY



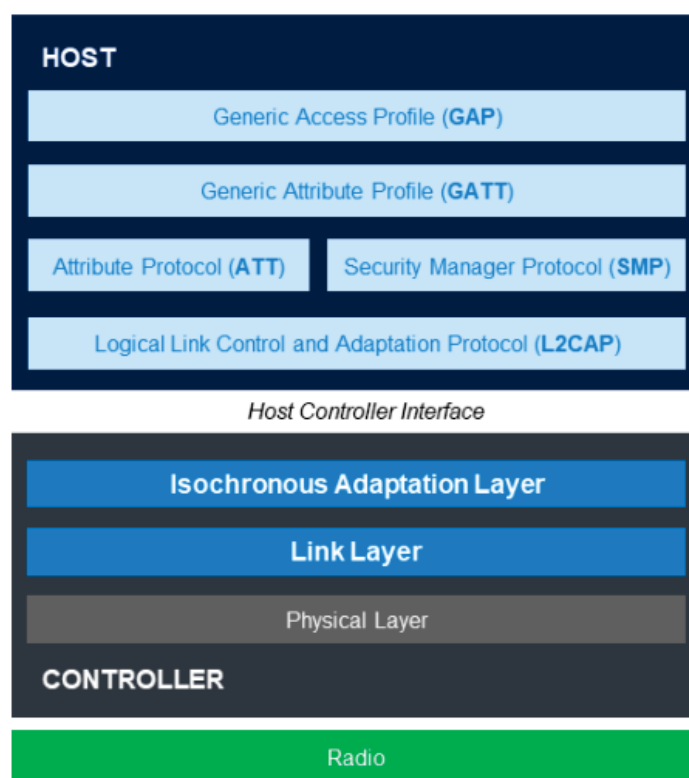
FONTE: Bluetooth SIG (2024).

Como pode ser visualizado na Figura 14, a pilha do BLE consiste em um número de camadas e blocos funcionais que têm seu funcionamento definido pela especificação Bluetooth (WOOLLEY, 2023). A pilha pode ser dividida em dois blocos estruturais principais: o *Host* e o *Controller*.

As camadas presentes no *Controller* são:

- *Physical Layer* (Camada Física): define as características de utilização do rádio, como bandas de frequência, canal em uso etc.;
- *Link Layer* (Camada de Enlace): define as características da comunicação *over-the-air*, como formato dos pacotes, checagem de erros etc.;

FIGURA 14 – PILHA DO BLUETOOTH LOW ENERGY



FONTE: Woolley (2023).

- *Isochronous Adpatation Layer* (Camada de Adaptação Isócrona): quando habilitada, permite a sincronização da transmissão entre dispositivos.

As camadas presentes no *Host* são:

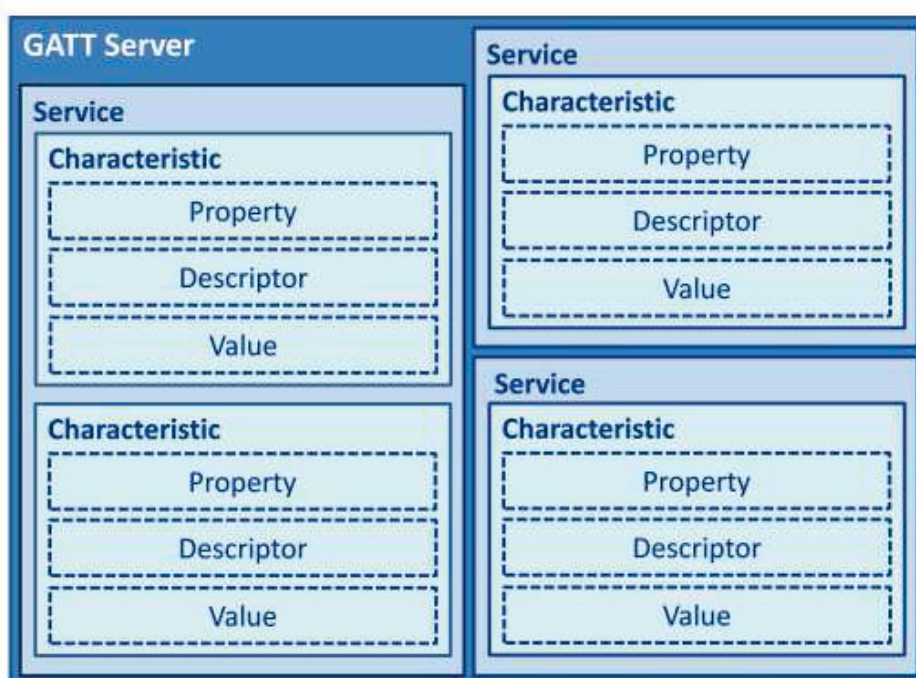
- L2CAP (*Logical Link Control and Adaptation Protocol*): funciona como um multiplexador, distribuindo as funções para o componente apropriado;
- SMP (*Security Manager Protocol*): responsável pelo procedimento de segurança da comunicação;
- ATT (*Attribute Protocol*): protocolo que permite a descoberta e uso dos dados presentes no servidor Bluetooth;
- GATT (*Generic Attribute Protocol*): define os tipos de dados de serviços, características e descritores;

- GAP (*Generic Access Profile*): define o padrão de operação enquanto o dispositivo não está conectado a outro.

Entre o *Host* e o *Controller* situa-se a *Host Controller Interface* (HCI), que é uma camada de comunicação de comandos e dados entre os dois blocos. A HCI pode utilizar diferentes protocolos de comunicação, como SPI e UART, uma vez que o padrão de mensagens é definido pela especificação. Dessa forma, há independência entre o *Host* e o *Controller* de um mesmo dispositivo, podendo ser de diferentes fabricantes.

Como mencionado anteriormente, o GATT define os tipos de dados de serviços, características e descritores. As características são os agrupamentos onde estão de fato os dados a serem compartilhados. Já os serviços podem ser considerados como um bloco de agrupamento de características, dentro do qual estas geralmente têm uma relação funcional ou de usabilidade (TOSI et al., 2017).

Como pode ser visto na Figura 15, as características possuem os campos *value* (valor do dado), *property* (define se o dado é de leitura ou escrita) e *descriptor*. Os descritores podem simplesmente fornecer uma descrição da característica, como unidade de medida, ou configurações, como o modo de notificação que envia dados para o cliente assim que há um novo valor disponível.

FIGURA 15 – *GENERIC ATTRIBUTE PROFILE (GATT)*

FONTE: Tosi et al. (2017).

3 PRIMEIRA VERSÃO DAS PCBs

Neste capítulo, serão descritos os procedimentos e estratégias de design da primeira versão das PCBs voltadas para o projeto μ C32RFBR. Inicialmente, serão apresentadas as especificações do microcontrolador de 32 bits pretendido e do SiP que lhe garantirá conectividade RF. Serão então descritos os requisitos das PCBs para que um sistema funcional, contendo um microcontrolador e uma interface RF, possa ser testado e validado. Por fim, o projeto das PCBs será abordado, desde a escolha dos componentes até o *layout* das placas. O *part numbers* dos componentes escolhidos não será revelado para manter a confidencialidade do projeto.

3.1 ESPECIFICAÇÕES DO PROJETO μ C32RFBR

O microcontrolador tem como proposta as seguintes especificações:

- Processador: arquitetura RISC-V baseada em PULPissimo com frequência de até 200 MHz (SCHIAVONE et al., 2018).
- Memórias: memória somente de leitura (ROM – *read-only memory*) de 2 kB e memória de acesso aleatório (RAM – *random-access memory*) de 512 kB.
- Alimentação: entrada de 3 V a 3,6 V e presença de um conversor *buck* e reguladores de tensão de baixa queda (LDOs – *low-dropout regulators*) integrados.
- Clock: oscilador principal a cristal de 2 a 48 MHz e relógio de tempo real (RTC – *real-time clock*) a cristal de 32,768 kHz.
- Comunicação: 2 canais UART (*Universal Asynchronous Receiver-Transmitter*), 3 canais SPI (*Serial Peripheral Interface*), 2 canais I2C (*Inter-Integrated Circuit*) e 3 canais CAN (*Controller Area Network*).
- Pinos de entrada/saída (IOs – *input/output*) com suporte a interrupção.
- 4 *timers* de uso geral de 16 bits e 4 canais de modulação por largura de pulso (PWM – *pulse-width modulation*).

- 2 conversores analógico-digitais (ADCs – *analog-to-digital converters*) de 12 bits e 1 conversor digital analógico (DAC – *digital-to-analog converter*).

O SiP pretendido pelo μ C32RFBR deve embarcar o microcontrolador e uma interface de RF baseada no padrão BLE, contendo também uma memória *flash* e uma antena embarcada. Adotou-se a diretriz de projeto de centralizar a interface de RF em um SoC ou transceptor BLE, por já englobarem o hardware do *front end* de RF e as camadas de software contendo a pilha do protocolo.

Para encapsular o SiP, será feita a deposição de resina epóxi sobre o substrato através de um molde industrial de 1,5 mm de altura. Portanto, a altura total do SiP, considerando a espessura do substrato e a altura dos componentes, não pode ultrapassar esse limite.

Devido ao alto custo de se implementar arquiteturas de empilhamento de CIs e de se conectar *dies* de silício diretamente sobre um substrato, foi definido que a montagem do SiP será feita com CIs encapsulados ao final do projeto. Dessa forma, o SiP consistirá essencialmente em uma micro-PCB encapsulada e sua fabricação se dará de maneiras convencionais para uma PCB HDI. Tais limitações de projeto justificam as decisões de design que serão apresentadas neste capítulo.

3.2 ESPECIFICAÇÕES DAS PCBS

Com base nos requisitos acima, pôde se estabelecer que a micro-PCB que virá a compor o SiP terá como circuitos principais o microcontrolador, o SoC/transceptor BLE, a memória *flash* e a antena embarcada. Uma vez que o microcontrolador do μ C32RFBR será concluído somente ao final do projeto, foi necessário escolher um microcontrolador de 32 bits disponível no mercado para as primeiras versões da micro-PCB.

Enquanto componentes periféricos como capacitores de desacoplamento e redes de casamento de impedância podem ser adicionados diretamente à micro-PCB, ainda se torna mandatário que esta seja montada sobre uma plataforma de testes para ser propriamente validada. Assim, também é previsto o projeto de uma placa de desenvolvimento que conterà não apenas o *footprint* da micro-PCB como também circuitos de alimentação, conectores para gravação de *firmware* e ferramentas de *debug*.

Para redução de custo e área do SiP, alguns componentes periféricos necessários à micro-PCB foram delegados à placa de desenvolvimento, como os cristais para os osciladores.

No que diz respeito à antena embarcada na micro-PCB, optou-se por uma antena em chip devido às dimensões reduzidas que esse tipo de antena pode alcançar. Em contrapartida, essa escolha acarreta perdas de desempenho comparada a outros tipos de antena. Porém, considerando que a principal aplicação do SiP BLE é a interface homem-máquina em cenários de IoT, não se torna necessário que a micro-PCB apresente um longo alcance, justificando as mencionadas perdas.

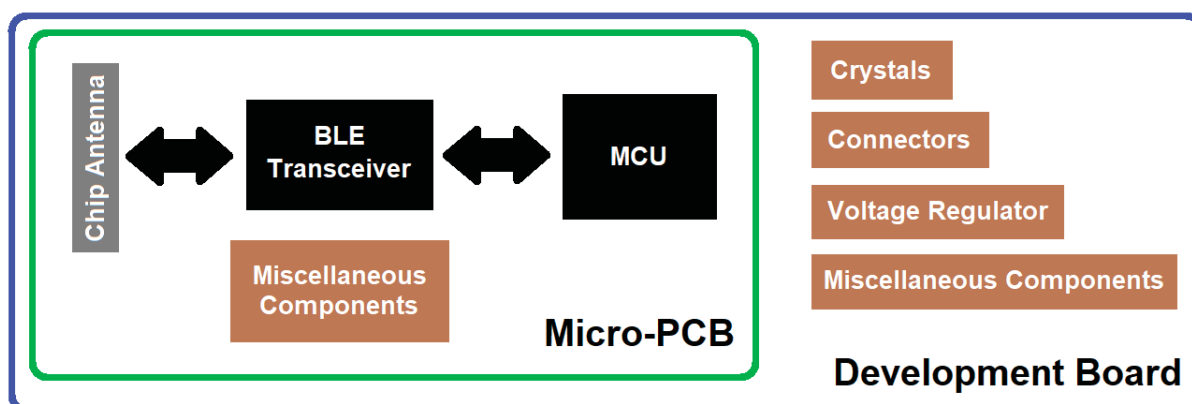
Por se tratar de uma antena em chip, previu-se a adição de uma área de *clearance* na micro-PCB, definida pelo fabricante da antena escolhida. Esse *clearance* implica que a antena deve ocupar uma área significativa da PCB, dificultando sua miniaturização. Para verificar possíveis ganhos de redução de espaço, decidiu-se que duas versões da micro-PCB seriam projetadas: uma obedecendo às recomendações de *clearance* do fabricante e outra com um *clearance* apenas imediatamente abaixo da antena. É esperado que sua eficiência de radiação e sua largura de banda sejam deterioradas na ausência da área de *clearance*, mas os ganhos de espaço adquiridos podem justificar sua remoção como indicado por Johanson Technology (2024).

Portanto, a primeira rodada de fabricação de PCBs para o μ C32RFBR prevê três placas diferentes: duas versões da micro-PCB e uma placa de desenvolvimento. Neste primeiro momento, como o objetivo é validar o funcionamento do microcontrolador em conjunto com o SoC/transceptor BLE, optou-se por ainda não adicionar a memória *flash* e não encapsular as PCBs. O diagrama de blocos do sistema completo é mostrado na Figura 16.

3.3 ESCOLHA DO TRANSCEPTOR

Uma pesquisa abrangente de SoCs e transceptores BLE do mercado foi conduzida. Após a listagem de diferentes códigos de produtos, foram filtrados os componentes com menor custo unitário em volume, para contemplar o orçamento do projeto. Para isso, usou-se a plataforma de busca da Mouser Electronics como base (MOUSER ELECTRONICS, 2024).

FIGURA 16 – DIAGRAMA DE BLOCOS DO SISTEMA FORMADO PELA MICRO-PCB E PLACA DE DESENVOLVIMENTO



FONTE: I. P. Adam et al. (2024).

O componente selecionado foi um SoC com especificação Bluetooth 5.2, suporte de hardware para customizações de *firmware* e baixo custo. Suas especificações incluem um ARM Cortex-M0, 160 kB de memória *flash*, 24 kB de RAM, LDO e conversor *buck* integrados, 1 canal UART, 1 canal SPI, 2 canais I2C, 1 ADC de 10 bits, 2 *timers* de uso geral, potência máxima de saída de 8 dBm e sensibilidade de -88 dBm. Mesmo integrando um microcontrolador, a inclusão deste SoC no SiP é justificável pois suas características são inferiores às propostas pelo μ C32RFBR.

O SoC é produzido nos encapsulamentos QFN32 (*quad flat no-lead*) e CSP34 (*chip-scale package*). O QFN permite maior simplicidade de projeto e mais facilidade para soldagem por prover *pads* em torno de seu perímetro, enquanto o CSP, comumente construído em terminação BGA, é mais compacto e mais barato. No que diz respeito à pinagem, o QFN32 possui uma entrada/saída de uso geral (GPIO – *general purpose input/output*) a mais do que o CSP34 e um pino de alimentação a menos. Ambos os encapsulamentos apresentam preço reduzido quando comparados a demais SoCs e transceptores BLE, com o preço unitário do CSP sendo US\$ 1,02 contra US\$ 1,65 do QFN no momento da redação deste trabalho, considerando um pedido de dez mil unidades pela Mouser Electronics. Apesar disso, as dimensões reduzidas do encapsulamento CSP34 exigem maior precisão para a confecção da PCB, sendo necessária a procura de um fabricante que atenda a especificações mais rigorosas e

consequentemente mais caras.

Visto que o primeiro protótipo da micro-PCB visa a validar a operação básica do SoC, optou-se pelo uso inicial da versão com encapsulamento QFN32, facilitando a alocação de *test points* na PCB para medições de sinais críticos, bem como eventuais retrabalhos e correção de problemas. É importante notar que a altura do componente nesse encapsulamento (tipicamente 0,85 mm) limita a espessura máxima da PCB para que o sistema seja compatível com o molde de 1,5 mm para deposição de resina.

3.4 ESCOLHA DO MICROCONTROLADOR

A seleção do microcontrolador de 32 bits para compor as primeiras versões da micro-PCB se deu de maneira semelhante à seleção do transceptor. Diferentes componentes foram listados na Mouser Electronics e suas especificações foram comparadas às propostas pelo μ C32RFBR.

O circuito escolhido tem como características encapsulamento QFN48, um ARM Cortex-M0+, 128 kB de memória *flash*, 36 kB de RAM, 4 canais USART (*Universal Synchronous and Asynchronous Receiver-Transmitter*), 2 canais SPI, 2 canais I2C, 1 ADC e 2 DACs de 12 bits, 14 *timers* e RTC integrado.

Para aplicações em que o transceptor BLE é usado em conjunto com outros processadores, sua ficha técnica sugere que o protocolo SPI seja usado para a comunicação entre o ele e o processador externo. Assim, quatro pinos de SPI (MOSI, MISO, SCLK e CS) devem ser reservados no microcontrolador para uso do transceptor. Também é necessário um pino para que o transceptor notifique o microcontrolador sobre a ocorrência de eventos e um pino para que o microcontrolador possa realizar o *reset* do transceptor.

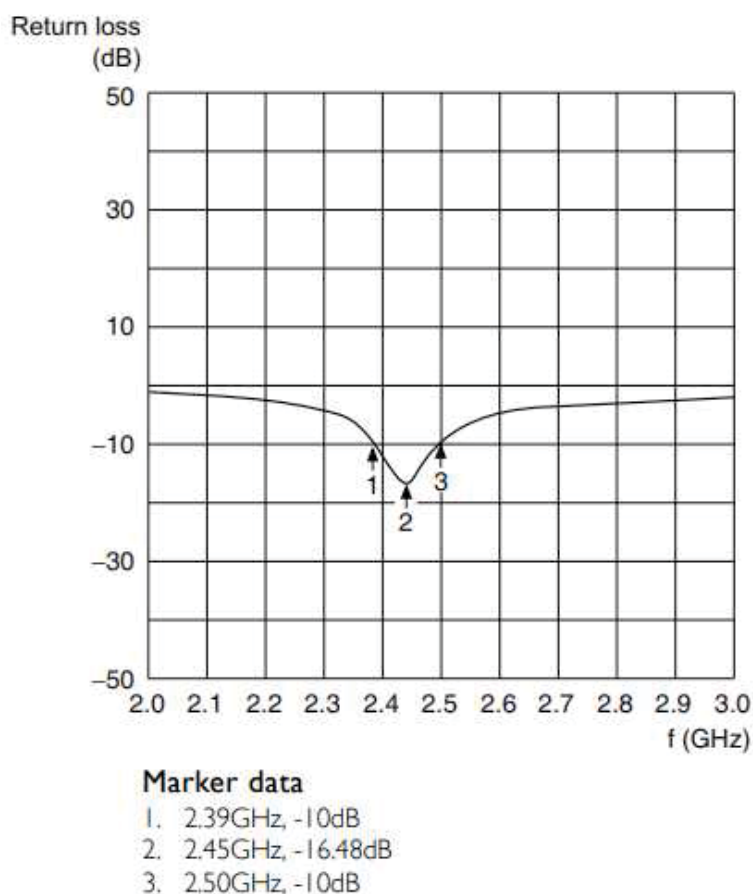
3.5 ESCOLHA DA ANTENA

Por fim, fez-se a escolha da antena em chip. Após uma busca de mercado de antenas com frequência de ressonância em 2,4 GHz, a selecionada apresenta baixa perda de retorno em uma faixa de frequências mais ampla com relação às demais antenas. Além disso, seu preço unitário também é baixo, atingindo US\$ 0,093 em um pedido de dez mil unidades pela Mouser Electronics. Sua impedância nominal de

entrada é de $50\ \Omega$, supondo que as recomendações de *clearance* sejam obedecidas.

A Figura 17 mostra a curva da perda de retorno da antena escolhida em função da frequência, com os valores dos marcadores indicados abaixo.

FIGURA 17 – PERDA DE RETORNO DA ANTENA EM FUNÇÃO DA FREQUÊNCIA



FONTE: Ficha técnica da antena.

3.6 ESQUEMÁTICO DA MICRO-PCB

Além das fichas técnicas do transceptor BLE e do microcontrolador, documentos que também foram consultados para a elaboração do esquemático e dimensionamento dos componentes passivos foram a nota de aplicação que orienta o projeto da PCB do transceptor e o manual dos kits de desenvolvimento que embarcam o transceptor.

Três opções de esquemático do transceptor com encapsulamento QFN32 são mostradas na nota de aplicação: uma usando o conversor *buck* integrado ao SoC e

um *balun* discreto, uma com o conversor *buck* e um *balun* integrado e uma última sem o conversor *buck* e com *balun* discreto. Como indicado na ficha técnica, o uso do conversor *buck* torna o sistema mais eficiente por reduzir o consumo durante a transmissão e recepção e enquanto o microcontrolador presente no SoC está em modo ativo; logo, optou-se pela configuração em que o conversor é usado. O *balun* integrado indicado na nota de aplicação é disponibilizado pelo mesmo fabricante do SoC e projetado para realizar o casamento conjugado de impedâncias do transceptor para uma antena de $50\ \Omega$. Preferiu-se usar o *balun* integrado uma vez que essa opção já é suficiente para o projeto e reduz a incerteza que poderia ser verificada pela não-idealidade dos componentes discretos.

O esquemático relativo ao transceptor BLE foi montado conforme a Figura 18. Uma análise das conexões revela quatro tipos de circuitos periféricos necessários para a operação do SoC: capacitores de desacoplamento, filtros do conversor *buck*, cristais para os osciladores de alta e baixa frequência e o *front end* de RF. O projeto de cada circuito é detalhado a seguir.

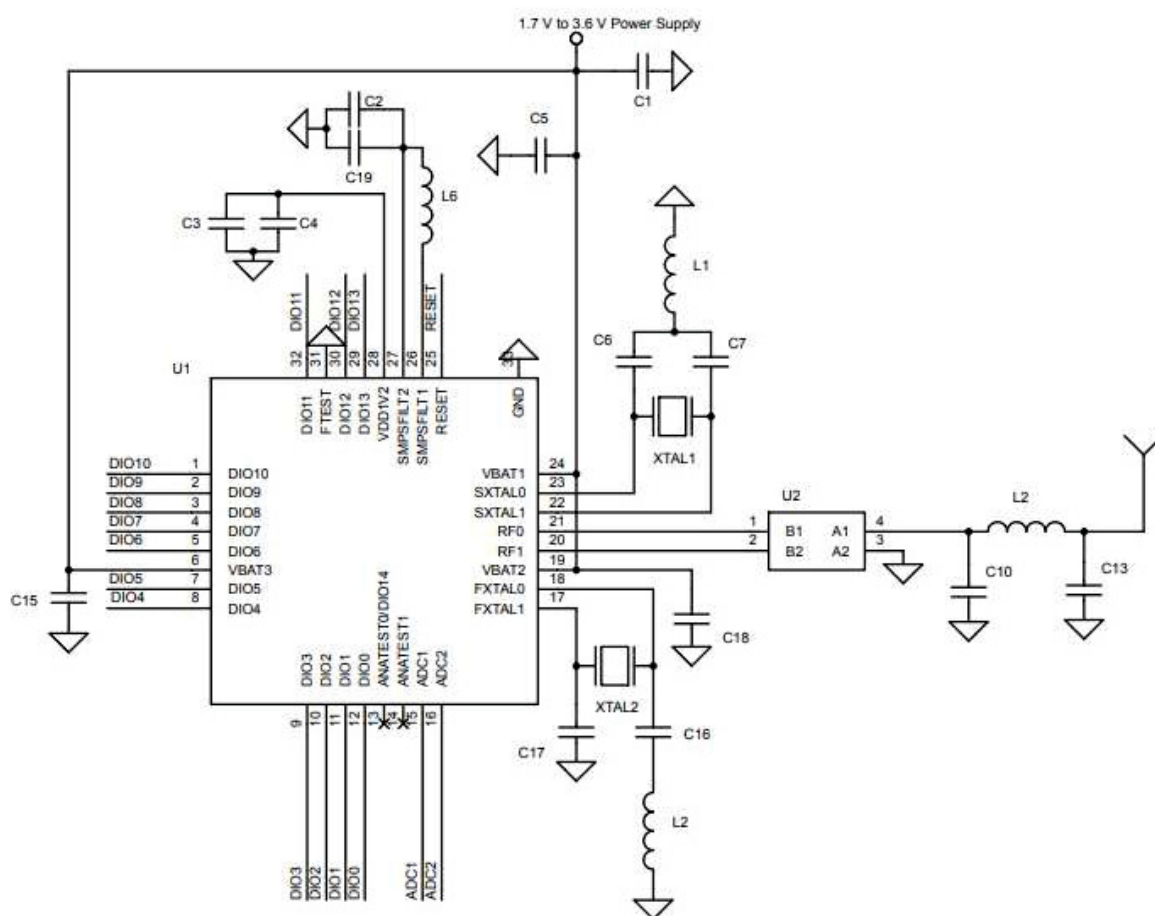
3.6.1 Capacitores de Desacoplamento

O transceptor possui três pinos de alimentação que devem ser conectados à mesma fonte de tensão (1,7 V – 3,6 V), indicados por VBAT1, VBAT2 e VBAT3. A adição de capacitores de desacoplamento próximos a cada pino é crucial para estabilizar localmente a tensão de alimentação, reduzindo as chances de o SoC apresentar comportamento errático. Portanto, os capacitores devem constar entre os componentes da micro-PCB. Na Figura 18, eles são representados por C5, C18 e C15.

Ao invés de empregar um único capacitor por pino, optou-se pela abordagem presente em um dos kits de desenvolvimento que usa o transceptor. O manual contendo seu esquemático mostra um capacitor de $1\ \mu\text{F}$ e um de $100\ \text{nF}$ por pino de alimentação, como visto na Figura 19. Essa escolha é mais vantajosa porque protege o SoC contra transientes de baixas e altas frequências, respectivamente. Ambos os capacitores no kit de desenvolvimento têm encapsulamento 0402, mas na micro-PCB do SiP serão usados componentes 0201 para maior compacidade.

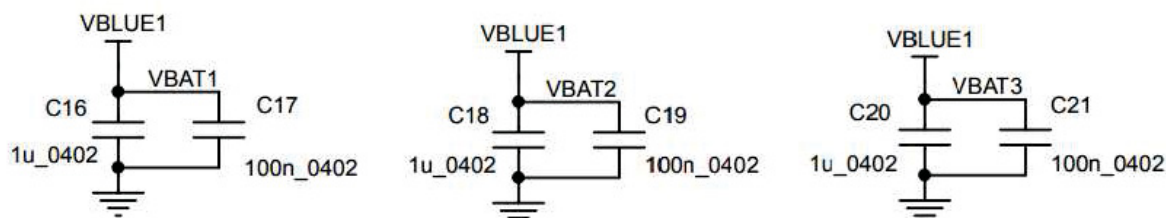
Também são necessários capacitores de desacoplamento próximos ao pino VDD1V2, que é a saída do LDO interno do transceptor. Na Figura 18, esses capacitores

FIGURA 18 – ESQUEMÁTICO DO TRANSCETOR BLE COM ENCAPSULAMENTO QFN32, CONVERSOR *BUCK* E *BALUN* INTEGRADO



FONTE: Nota de aplicação do transceptor BLE.

FIGURA 19 – VALORES DOS CAPACITORES DE DESACOPLAMENTO DO TRANSCETOR BLE



FONTE: Manual dos kits de desenvolvimento do transceptor BLE.

são representados por C3 e C4 e seus valores são 150 nF e 100 pF de acordo com o manual dos kits de desenvolvimento. Seus encapsulamentos também serão 0201.

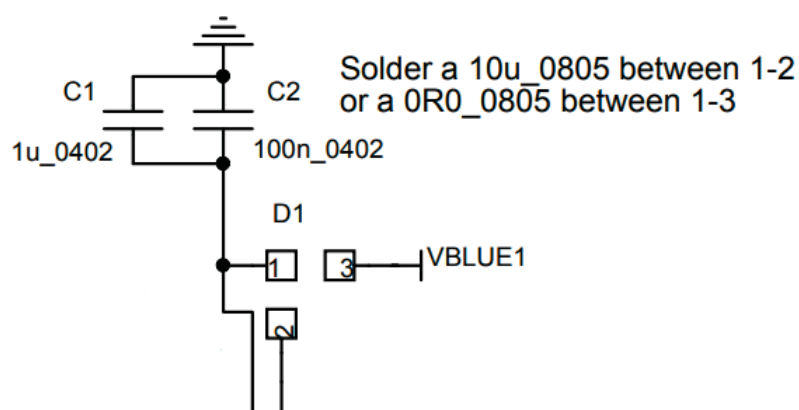
Quanto ao microcontrolador, capacitores de desacoplamento também foram conectados ao seu único pino de alimentação. Por recomendação de sua ficha técnica, foi adicionado um par de 4,7 μ F e 100 nF, filtrando transientes de baixas e altas frequências. Ambos os componentes possuem encapsulamento 0201.

3.6.2 Conversor DC-DC

O acesso ao conversor *buck* integrado ao transceptor é feito através dos pinos SMPSFILT1 e SMPSFILT2, aos quais deve ser conectado um filtro externo. Como pode ser verificado na Figura 18, o indutor L6 é conectado entre os dois pinos enquanto os capacitores C2 e C19 são conectados entre SMPSFILT2 e o terra.

Novamente consultando o esquemático no manual dos kits de desenvolvimento, vê-se pela Figura 20 que os valores recomendados para os capacitores são 1 μ F e 100 nF, idênticos aos capacitores de desacoplamento dos pinos de alimentação do transceptor. Para fins de esclarecimento sobre a figura abaixo, caso se deseje usar o conversor *buck* no kit de desenvolvimento, o indutor deve ser soldado entre os *pads* 1 e 2 conforme indicado; caso contrário, o pino SMPSFILT2 deve ser conectado à tensão de alimentação. Na micro-PCB projetada, os capacitores de filtragem do conversor *buck* terão encapsulamento 0201.

FIGURA 20 – VALORES DOS CAPACITORES PARA O CONVERSOR *BUCK*



FONTE: Manual dos kits de desenvolvimento do transceptor BLE.

A nota de aplicação sobre o projeto da PCB do transceptor BLE traz considerações importantes acerca do indutor. Seu valor nominal é de 10 μH (podendo ser usado um de 4,7 μH), sua resistência equivalente deve ser menor do que 1 Ω e sua corrente nominal deve ser maior do que 100 mA. Uma busca na Mouser Electronics revelou que o menor encapsulamento disponível para indutores SMD de potência com tais características é 0603, porém suas dimensões são excessivamente grandes para ser embarcado na micro-PCB. Tomou-se então a decisão de manter o indutor fora do SiP, com dois pinos sendo alocados para a conexão do componente. Uma vez que o projeto do SiP esteja finalizado, a necessidade de um indutor externo será citada na documentação técnica.

Recomenda-se também na nota de aplicação a adição de um indutor de 15 nH em série com o indutor de 10 μH . Sua função é a filtragem incremental de ruído e o componente torna-se necessário caso a tensão de alimentação do transceptor seja igual ou superior a 3 V. Dessa forma, o indutor foi adicionado ao esquemático e estará presente na micro-PCB, tendo em vista que sua indutância reduzida permite que ele seja encontrado no encapsulamento 0201.

3.6.3 Cristais

O transceptor BLE integra osciladores de alta e baixa frequência, usados no modo ativo e de baixo consumo respectivamente. O sinal de *clock* de baixa frequência pode ser fornecido por um oscilador com cristal de 32,768 kHz conectado aos pinos SXTAL0 e SXTAL1, por um oscilador RC integrado de 32 kHz ou ainda por um sinal periódico de 32 kHz variando entre 0 e 1,2 V. Por sua vez, o oscilador de alta frequência requer um cristal externo de 16 ou 32 MHz, conectado aos pinos FXTAL0 e FXTAL1, para o funcionamento adequado do transceptor. É mencionado na ficha técnica que há um oscilador em anel de 16 MHz presente no transceptor, mas este é usado apenas durante a inicialização do oscilador a cristal e após isso é desabilitado.

Nota-se então que o cristal de 16/32 MHz é indispensável para a operação do circuito de RF, enquanto o cristal de 32,768 kHz é opcional, tendo em vista as outras formas de geração do *clock* de baixa frequência. Para as placas descritas neste capítulo, optou-se por adicionar um cristal de baixa frequência devido a seu baixo ruído de fase e baixo *jitter* comparado a osciladores RC.

Quanto ao posicionamento dos cristais, foi decidido que estes ficariam apenas na placa de desenvolvimento, fora da micro-PCB. Isto porque planeja-se entregar o SiP final sem cristais embarcados, para redução dos custos de fabricação, indicando na documentação técnica de quais cristais o usuário precisará e onde conectá-los. Mantê-los fora da micro-PCB desde a primeira versão do projeto garante que o circuito central da interface de RF, baseado no transceptor BLE, não precisará passar por retrabalhos drásticos no futuro, reduzindo a chance de erros desconhecidos de uma versão para outra.

3.6.4 *Front end* de RF

O *front end* de RF da micro-PCB é composto pelo *balun*, antena e rede de casamento de impedâncias para interface da linha de transmissão com a impedância de entrada da antena.

A rede de casamento de impedâncias será uma rede π composta por um indutor em série e capacitores em paralelo, como mostrado na Figura 18. A escolha por essa configuração deve-se ao maior controle que uma rede π fornece sobre o fator de qualidade em comparação com as redes L mais simples, conferindo maior flexibilidade ao circuito (KAUNE, 2015).

Os valores dos componentes da rede π , contudo, não podem ser determinados com exatidão como feito até agora com os demais componentes passivos. Isto porque a impedância vista pela linha de transmissão logo antes da antena é dependente de características do layout da PCB, tais como tamanho e disposição dos planos terra e a área de *clearance* para ressonância da antena. Logo, faz-se necessária a medida da impedância de entrada da antena e sua área de *clearance* antes do projeto da rede de casamento, detalhado no Capítulo 4.

3.6.5 Esquemático Completo

A Figura 21 ilustra o esquemático da primeira versão da micro-PCB, elaborado conforme descrito nas subseções anteriores. A listagem dos componentes é trazida no Quadro 1. O software utilizado no projeto foi o EasyEDA, atrelado à fabricante JLCPCB.

A escolha da JLCPCB como fabricante baseou-se principalmente em seu bom compromisso entre custo, qualidade e velocidade de confecção. Uma vez que as

QUADRO 1 – DESCRIÇÃO DOS COMPONENTES DA PRIMEIRA VERSÃO DA MICRO-PCB

Componente	Descrição
U1	Microcontrolador
U2	Transceptor BLE
U3	<i>Balun</i>
ANT1	Antena
C1, C2	Capacitores de desacoplamento do microcontrolador
C3, C4, C5, C6, C7, C8	Capacitores de desacoplamento dos pinos VBAT do transceptor
C9, C10	Capacitores de desacoplamento do LDO do transceptor
C11, C12	Capacitores de filtragem do conversor <i>buck</i>
L1	Indutor de filtragem do conversor <i>buck</i> (15 nH)
R1, R2	Resistores <i>pull-up</i> e <i>pull-down</i> para evitar nós flutuantes no barramento SPI
C13, C14	Capacitores da rede de casamento de impedâncias (adicionados apenas para providenciar os <i>footprints</i> no <i>layout</i>)
R3	Resistor de 0 Ω substituindo o indutor da rede de casamento de impedâncias

FONTE: O autor.

3.7 LAYOUT DA MICRO-PCB

Com o esquemático finalizado, passou-se para o *layout* da PCB. Estabeleceu-se como requisito um *stack-up* de 4 camadas organizadas da forma a seguir, baseada em Arar (2019):

- *Top Layer* (Camada Superior): sinais de alta frequência e GND;
- *Inner Layer 1* (Camada Interna 1): GND;
- *Inner Layer 2* (Camada Interna 2): GND;
- *Bottom Layer* (Camada Inferior): sinais, alimentação e GND.

A escolha dessa estrutura para o *stack-up* se deu devido à possibilidade de se manter planos de referência (camadas internas) para cada uma das camadas de sinal (camadas externas). Caso algum sinal apresentasse dificuldade em ser roteado

QUADRO 2 – COMPARAÇÃO DOS PARÂMETROS DE FABRICAÇÃO DA JLCPCB E PCBWAY

Parâmetro	JLCPCB	PCBWay
Tamanho	30 x 30 mm	30 x 30 mm
Quantidade	5	5
Número de camadas	4	4
Espessura	0,8 mm	0,8 mm
Substrato	FR-4 TG 135-140	FR-4 TG 130-140
Espessura do cobre nas camadas externas	1 oz	1 oz
Espessura do cobre nas camadas internas	0,5 oz (mais barato)	1 oz
Furo/diâmetro mínimo das vias	0,3/0,45 mm (mais barato)	0,3/0,45 mm
<i>Clearance</i> /espessura mínima de trilhas	3,5 mils (para placas de 4 camadas)	3 mils
<i>Via in pad</i>	Sim	Sim
Bordas com terminação em <i>castellation</i>	Sim (3 bordas)	Sim

FONTE: O autor.

pela camada inferior, abriu-se a tolerância para este ser roteado na camada interna 2. Entretanto, a camada interna 1 foi fixada como um plano de terra contínuo para concentrar as correntes de retorno, principalmente as relacionadas a RF.

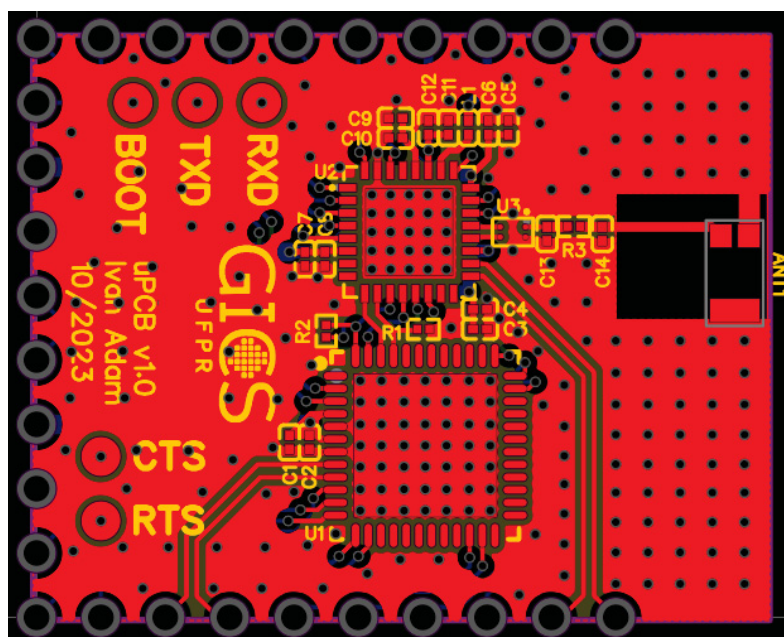
Foi adotado um acabamento em *castellation* aos pinos da micro-PCB, para que estes pudessem ser facilmente soldados à placa de desenvolvimento. Essa técnica consiste na adição de pinos *through-hole* cujos furos são posicionados exatamente sobre as bordas da placa. Dessa forma, após o corte da PCB, a parte interna dos furos é exposta e a conexão estende-se por todas as quatro camadas.

3.7.1 Micro-PCB com *clearance* para antena

A Figura 22 mostra o *layout* de referência presente na placa de avaliação da antena, com dimensões da área de *clearance*, recomendação de *footprint* e disposição da linha de transmissão e da rede de casamento de impedância. Esse design foi tido como base para a versão da micro-PCB com *clearance* para a antena.

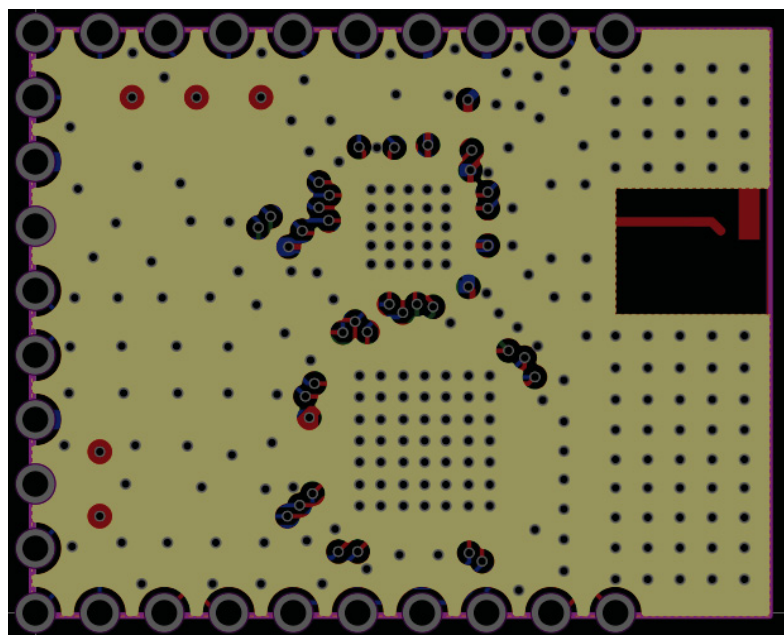
As Figuras 23 a 26 mostram o roteamento de todas as camadas da micro-PCB

FIGURA 23 – LAYOUT DA MICRO-PCB COM *CLEARANCE* PARA ANTENA, CAMADA SUPERIOR



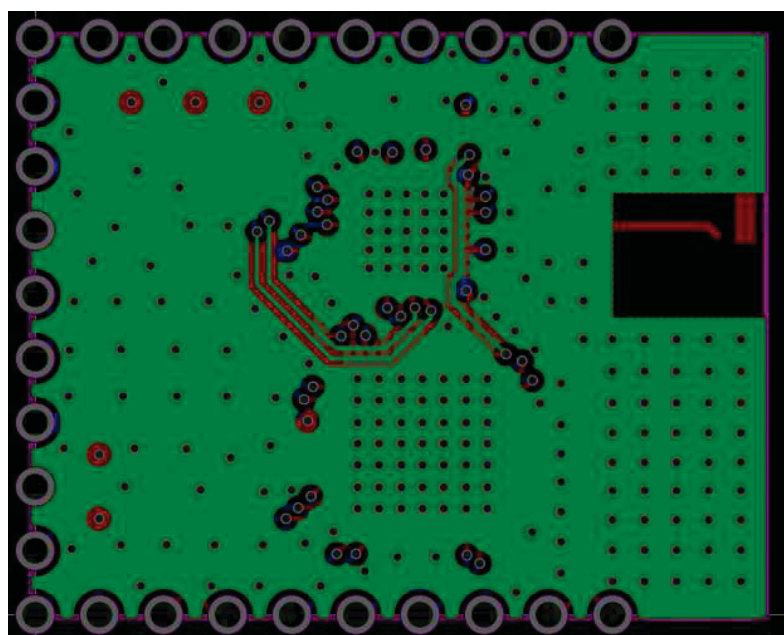
FONTE: O autor.

FIGURA 24 – LAYOUT DA MICRO-PCB COM *CLEARANCE* PARA ANTENA, CAMADA INTERNA 1



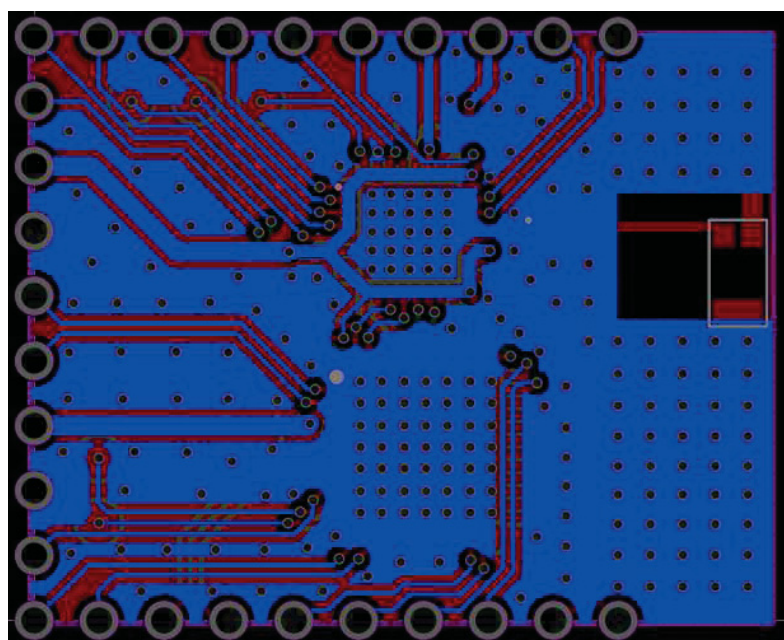
FONTE: O autor.

FIGURA 25 – LAYOUT DA MICRO-PCB COM *CLEARANCE* PARA ANTENA, CAMADA INTERNA 2



FONTE: O autor.

FIGURA 26 – LAYOUT DA MICRO-PCB COM *CLEARANCE* PARA ANTENA, CAMADA INFERIOR



FONTE: O autor.

apresentado neste documento para evitar curvas, e consequentemente descontinuidades, na linha de transmissão. Portanto, conforme já citado, as medições e testes de RF constituirão uma etapa essencial para determinar com precisão a impedância vista na entrada da antena e assim dimensionar os componentes da rede de casamento de impedâncias.

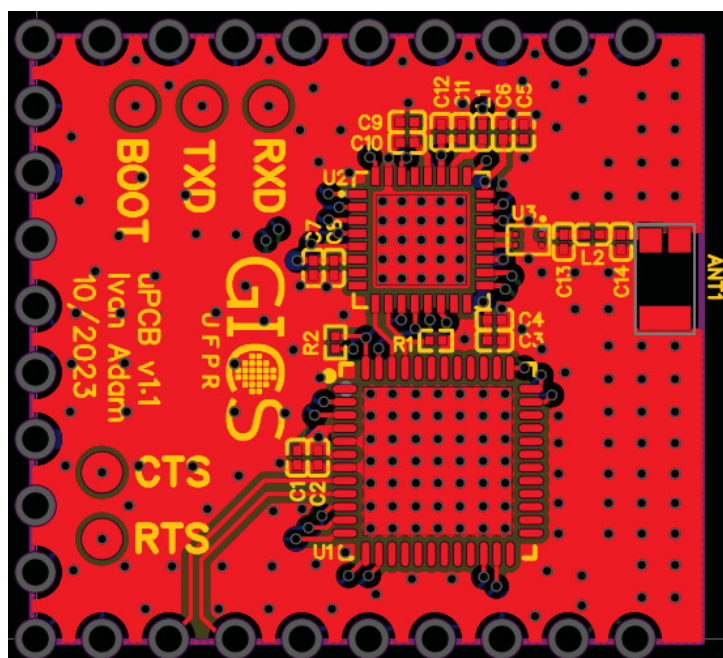
Na seção de RF da micro-PCB, podem ser vistas diversas vias de GND uniformemente espaçadas entre si e entre as bordas do plano de GND. Sua função é blindar o circuito de RF para reduzir acoplamentos indesejáveis. Segundo Hageman (2013), um espaçamento regular de $1/8$ do comprimento de onda entre vias já garante bom isolamento, mas a recomendação para um ótimo isolamento é de $1/20$ do comprimento de onda. Considerando a frequência de operação de 2,4 GHz e um substrato de FR4 ($\epsilon_r = 4,4$), $1/20$ do comprimento de onda se aproxima de 3 mm. Como havia a possibilidade de inserção de vias com espaçamento menor entre si, optou-se por 1,27 mm (50 mils) entre cada via e entre uma via e a linha coplanar.

Além do roteamento do circuito de RF, também pode-se perceber dois pares de trilhas sendo roteadas na camada superior: um proveniente do transceptor e outro do microcontrolador. Essas trilhas são as do sinal de *clock* de alta frequência, definido como 16 MHz para ambos os ICs. A decisão de não roteá-los em outra camada foi tomada para que vias não fossem adicionadas aos sinais, podendo ocasionar alterações de impedância que impactariam os harmônicos mais superiores. Também cuidou-se para que os comprimentos totais das trilhas fossem os mais próximos possíveis em cada par e não excedessem $1/10$ do comprimento de onda da nona harmônica (144 MHz), para manter a forma de onda do sinal suficientemente quadrada.

3.7.2 Micro-PCB sem *clearance* para antena

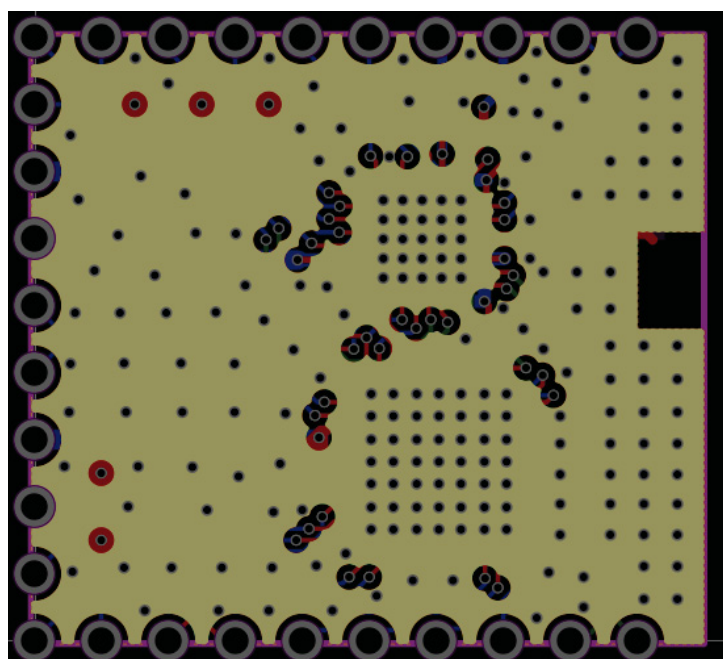
As Figuras 27 a 30 mostram o roteamento de todas as camadas da micro-PCB sem área de *clearance* para a antena. Pode-se perceber que o design é idêntico ao da micro-PCB com *clearance* excetuando-se o circuito de RF. A remoção do *clearance* ocasiona uma redução no comprimento da *feed line* da antena e, consequentemente, nas dimensões totais da PCB, medindo 25,53 x 23,11 mm. Isso equivale a uma redução de área de 12,23%.

FIGURA 27 – LAYOUT DA MICRO-PCB SEM *CLEARANCE* PARA ANTENA, CAMADA SUPERIOR



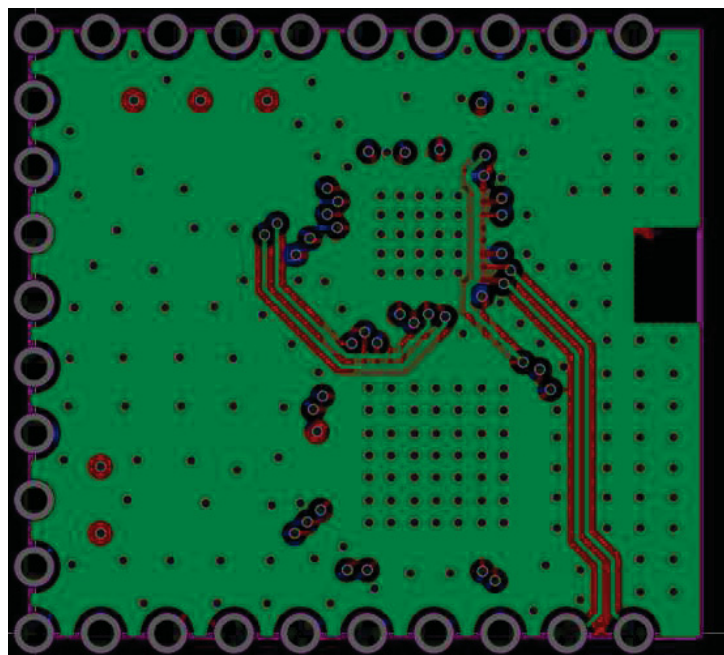
FONTE: O autor.

FIGURA 28 – LAYOUT DA MICRO-PCB SEM *CLEARANCE* PARA ANTENA, CAMADA INTERNA 1



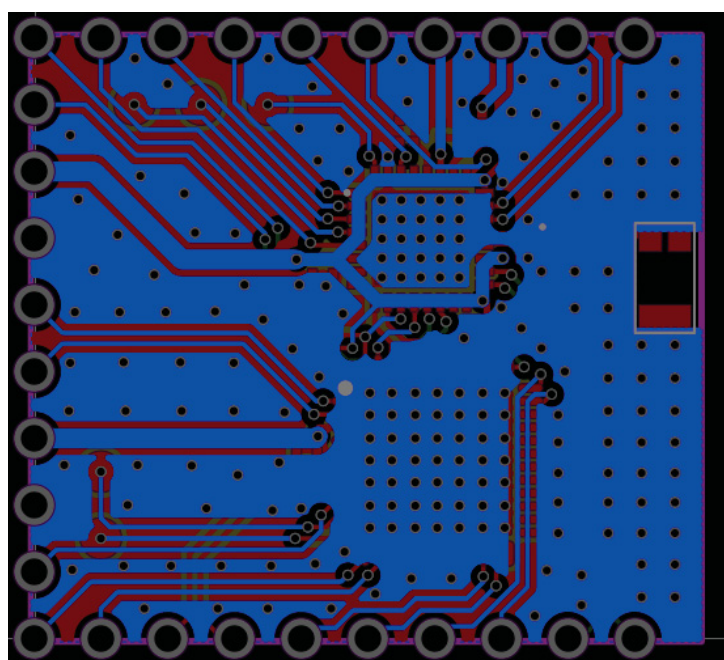
FONTE: O autor.

FIGURA 29 – *LAYOUT DA MICRO-PCB SEM CLEARANCE PARA ANTENA, CAMADA INTERNA 2*



FONTE: O autor.

FIGURA 30 – *LAYOUT DA MICRO-PCB SEM CLEARANCE PARA ANTENA, CAMADA INFERIOR*



FONTE: O autor.

3.8 PLACA DE DESENVOLVIMENTO

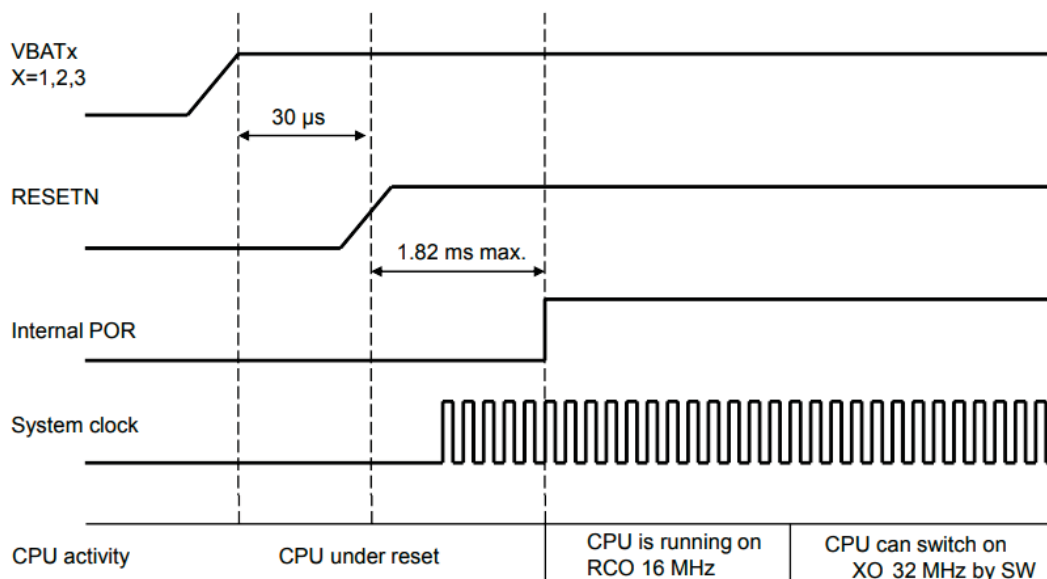
Finalizado o projeto das micro-PCBs, passou-se para a placa de desenvolvimento que embarcaria não somente estas últimas, mas também o restante dos componentes necessários para a operação desejada. O *footprint* da micro-PCB foi desenhado de modo que suportasse tanto a versão com *clearance* como a sem.

Os seguintes componentes foram adicionados à placa de desenvolvimento:

- Conector micro-USB tipo-B: utilizado para fornecer energia à placa;
- Regulador de tensão de 3 V: responsável por fornecer a alimentação necessária ao transceptor BLE e ao microcontrolador, alimentado pelos 5 V provenientes do conector USB;
- Cristais de 16 MHz e capacitores de 15 pF: utilizados para gerar o sinal de *clock* de alta frequência para o transceptor BLE e o microcontrolador;
- Cristais de 32,768 kHz e capacitores de 22 pF: utilizados para gerar o sinal de *clock* de baixa frequência para o transceptor BLE e o microcontrolador;
- Indutores de 3,9 nH: inseridos em série com os capacitores de carga dos cristais para isolá-los do GND do transceptor e prevenir o acoplamento indesejado de sinal de RF (recomendação da nota de aplicação do transceptor);
- Conector FTSH: destinado à programação do transceptor BLE e do microcontrolador através da interface SWD;
- Resistores de *pull-up*: empregados em determinadas GPIOs do transceptor BLE que são configuradas como dreno aberto (recomendação da ficha técnica);
- Circuito RC: projetado para criar um atraso mínimo de 30 μ s entre a alimentação nos pinos VBAT e a mudança de nível no pino de *reset* do transceptor BLE, garantindo sua reinicialização controlada conforme ilustrado na Figura 31;
- LEDs: empregados para *debug* e testes de aplicação;
- Botões de pressão: utilizados para realizar o *reset* tanto do transceptor BLE como do microcontrolador;

- Barras de pinos e *jumpers*: disponibilizados para fins de *debug* e execução de testes de aplicação.

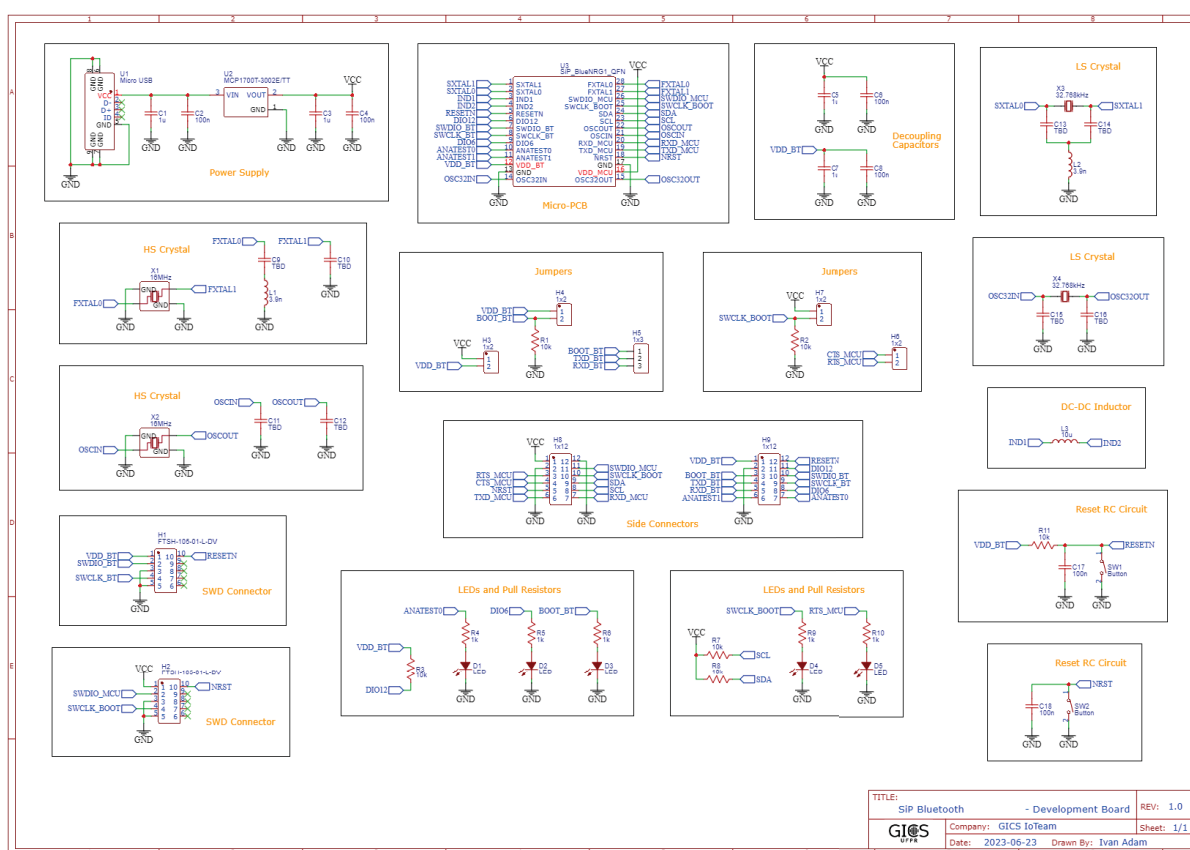
FIGURA 31 – SEQUÊNCIA DE INICIALIZAÇÃO DO TRANSCEPTOR BLE



FONTE: Ficha técnica do transceptor BLE.

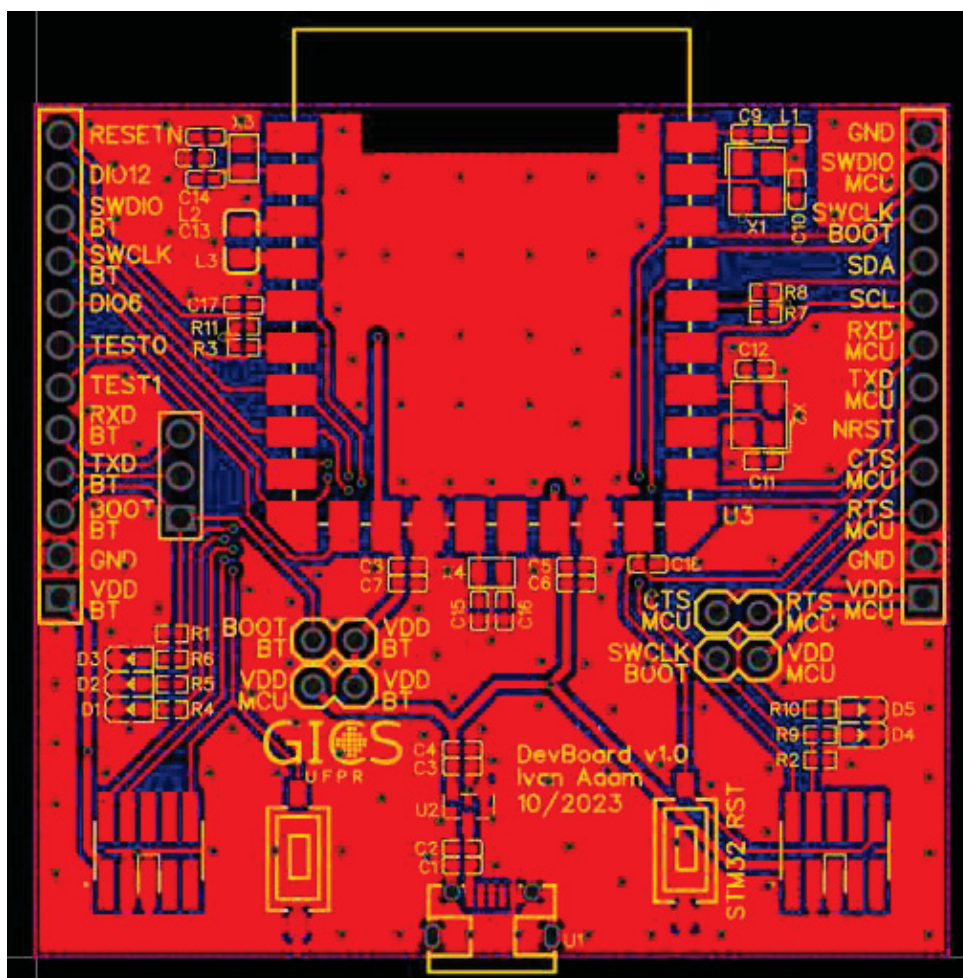
O esquemático proposto para a placa de desenvolvimento, contendo os componentes mencionados acima, é mostrado na Figura 32. O *layout* correspondente nas camadas superior e inferior segue nas Figuras 33 e 34. As dimensões da placa são 51,94 x 55,12 mm.

Devido à ausência de sinais críticos e por não necessitar de compacidade, a placa de desenvolvimento foi projetada para um *stack-up* padrão de FR4 com duas camadas e espessura de 1,6 mm. Os resistores, capacitores e indutores empregados possuem encapsulamento 0402, excetuando-se o indutor de 10 μH para o conversor *buck* com encapsulamento 0805. Os LEDs empregados possuem encapsulamento 0603.



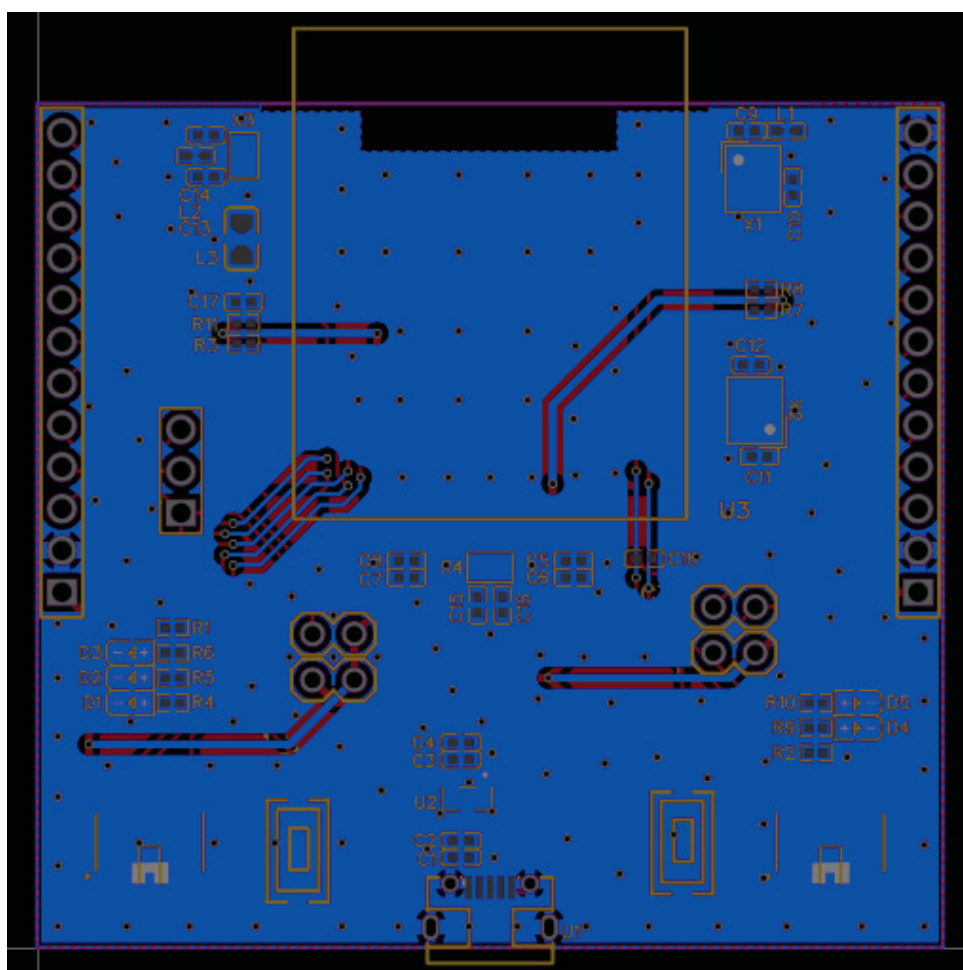
FONTE: O autor.

FIGURA 33 – LAYOUT DA PLACA DE DESENVOLVIMENTO, CAMADA SUPERIOR



FONTE: O autor.

FIGURA 34 – LAYOUT DA PLACA DE DESENVOLVIMENTO, CAMADA INFERIOR



FONTE: O autor.

4 MEDIDAS E SIMULAÇÕES

Após a confecção e montagem das micro-PCBs e da placa de desenvolvimento pela JLCPCB, passou-se para o teste e validação das placas. Neste capítulo serão descritos os procedimentos dos testes executados sobre as PCBs, com foco nas medidas de RF. Em seguida, os resultados serão discutidos e estratégias de projeto para a segunda versão das micro-PCBs serão traçadas, já visando à miniaturização destas.

20 micro-PCBs (10 com *clearance* na antena e 10 sem) e 10 placas de desenvolvimento foram encomendadas à JLCPCB. Como a rede de casamento ainda não havia sido projetada, substituiu-se o indutor em série da rede π por um resistor de $0\ \Omega$ no esquemático da micro-PCB, para ao menos garantir que as placas saíssem de fábrica com uma conexão entre o transceptor BLE e a antena. Sabendo que o *balun* empregado realiza o casamento do transceptor a uma impedância de $50\ \Omega$ e que a impedância nominal da antena em 2,4 GHz é de $50\ \Omega$, desde que as restrições de *clearance* sejam respeitadas, era esperado que a micro-PCB com *clearance* apresentasse um desempenho aceitável com o resistor de $0\ \Omega$, sendo a rede de casamento um recurso para ajuste fino de impedâncias.

Os testes iniciais tiveram como objetivo validar a operação básica das PCBs, envolvendo verificações de hardware e de funcionalidade no transceptor e no microcontrolador. Em seguida, os diagramas de radiação da antena foram coletados em câmara anecoica e foram realizadas medidas em campo de latência, taxa de transferência de dados (*throughput*) e indicador de intensidade de sinal recebido (RSSI – *received signal strenght indicator*).

Após a caracterização das micro-PCBs em campo, foram feitas medidas de impedância na entrada da antena para que uma rede de casamento pudesse ser projetada. Depois de simulações para se estimar os valores dos componentes, novas medidas de impedância foram realizadas para validar o design da rede. Essa etapa de medidas apresentou grandes divergências do que era esperado em termos da sintonia da antena e as causas do problema são investigadas ao final do capítulo.

4.1 VERIFICAÇÕES DE HARDWARE

Os primeiros testes conduzidos tinham como finalidade validar a confecção e montagem das PCBs e a operação dos CIs. Com a função de continuidade em um multímetro, foram feitas verificações para encontrar trilhas rompidas e curtos-circuitos indesejados, especialmente nos nós de alimentação e barramentos de comunicação. Todas as 30 placas foram testadas e nenhuma apresentou defeitos de montagem.

Após a soldagem das micro-PCBs sobre as placas de desenvolvimento, níveis de tensão contínua em pontos específicos das PCBs completas foram medidos. Uma nota de aplicação que sugere testes a serem realizados sobre o transceptor foi usada como guia. A Tabela 1 mostra os resultados das medições para um dos sistemas completos, com poucas variações observadas de um sistema para outro.

TABELA 1 – MEDIÇÕES DAS TENSÕES DE ALIMENTAÇÃO

Pinos	Esperado	Medido
VBAT1, VBAT2, VBAT3, VDDMCU	3 V	2,99 V
VDD1V2	1,2 V	1,23 V
SMPSFILT1, SMPSFILT2	1,4 V	1,42 V
USB5V	5 V	4,96 V

FONTE: O autor.

LEGENDA: VBAT1, VBAT2, VBAT3: pinos de alimentação do transceptor BLE; VDDMCU: pino de alimentação do microcontrolador; VDD1V2: saída do LDO do transceptor BLE; SMPSFILT1, SMPSFILT2: saída do conversor *buck* do transceptor BLE; USB5V: alimentação proveniente do conector micro-USB.

4.2 TESTES DE FUNCIONALIDADE

Após a validação do hardware, passou-se para a validação de *firmware*. Esta se deu através da verificação de que a aplicação BLE gravada na micro-PCB era capaz de enviar (receber) valores para (de) outro dispositivo. Para isso, foram desenvolvidos programas para que o microcontrolador comandasse o transceptor seguindo a abordagem de coprocessamento descrita em sua ficha técnica.

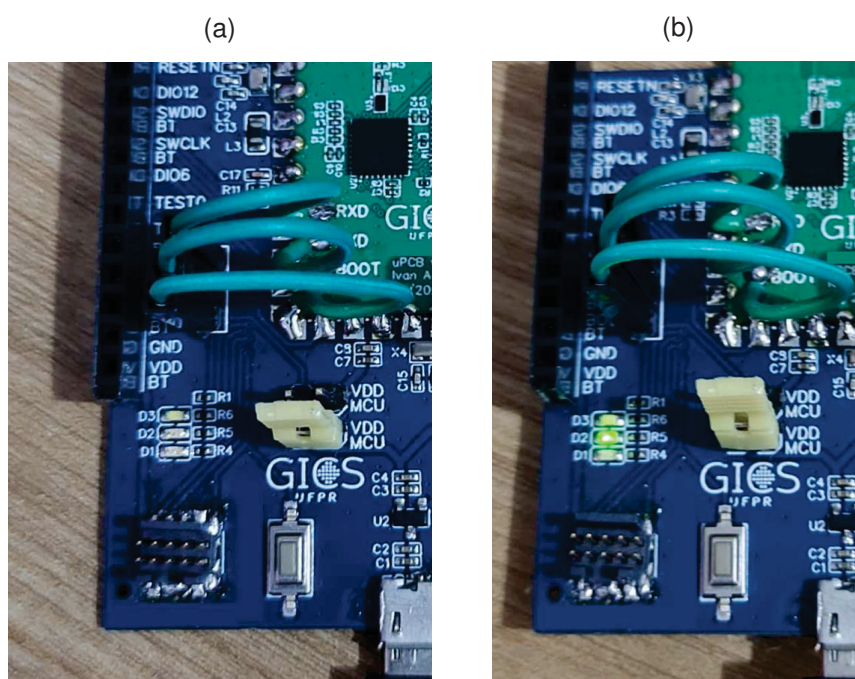
O *firmware* foi desenvolvido utilizando-se as bibliotecas e arquivos de apoio fornecidos pelos fabricantes e foi compilado no Keil, com uma licença também fornecida pelos fabricantes.

No transceptor BLE, o *firmware* tem como função executar as configurações iniciais de hardware e entrar em modo de baixo consumo até receber um comando do microcontrolador, após o qual o transceptor deve acordar e controlar o rádio. Essas configurações de hardware incluem inicialização dos periféricos e da pilha do BLE.

No *firmware* do microcontrolador está presente a programação da aplicação BLE, na qual são configurados a potência de transmissão (-2 dBm por padrão), serviços, características, tempos de *advertising*, e nome e endereço do dispositivo.

O aplicativo para *smartphone* BLE Scanner, da Bluepixel Technologies, foi usado para se comunicar com a micro-PCB e controlar um LED na placa de desenvolvimento (BLUEPIXEL TECHNOLOGIES, 2024). Após estabelecer conexão e o comando de acionamento ter sido enviado pelo aplicativo, o LED foi aceso conforme mostrado na Figura 35, comprovando o funcionamento básico do sistema.

FIGURA 35 – ACIONAMENTO DE LED NA PLACA DE DESENVOLVIMENTO ATRAVÉS DA APLICAÇÃO BLE



FONTE: Ivan Adam et al. (2024a).
LEGENDA: (a) LED apagado; (b) LED aceso.

4.3 DIAGRAMAS DE RADIAÇÃO

Em uma câmara anecoica, os diagramas de radiação de ambas as micro-PCBs foram medidos para avaliar o impacto que a remoção do *clearance* causa no padrão de radiação da antena. Os diagramas foram traçados sem a rede de adaptação de impedância, havendo apenas o resistor de $0\ \Omega$ entre o *balun* e a antena.

Para as medidas, a micro-PCB precisou ser configurada como um transmissor enquanto uma antena corneta de polarização dupla foi posicionada no interior da câmara anecoica como receptor. A micro-PCB foi posicionada sobre uma mesa giratória de modo a ficar à mesma altura da antena, a uma distância de 3 m. Diagramas de campo elétrico foram mensurados em 2,44 GHz com passos de 5° . A Figura 36 apresenta o interior da câmara nas condições descritas acima, com a antena corneta ao fundo.

FIGURA 36 – CÂMARA ANECOICA USADA PARA MEDIÇÃO DOS DIAGRAMAS DE RADIAÇÃO



FONTE: I. P. Adam et al. (2024).

Um *firmware* para configurar a micro-PCB como um transmissor foi desenvolvido. Esta comportou-se como um *beacon* BLE, não podendo se conectar a um cliente mas enviando dados de fabricação como mensagens de *advertising* a cada 150 ms. A

potência de transmissão foi mantida no valor padrão do transceptor BLE, a saber, -2 dBm.

Os diagramas de campo elétrico referentes aos planos horizontal e vertical foram coletados para ambas as micro-PCBs e suas curvas estão traçadas na Figura 37 em dB μ V/m. Comparando as Figuras 37a e 37b, pode-se notar que a máxima intensidade de campo transmitida pela antena sem *clearance* corresponde a cerca de 10% da com *clearance*, caindo de 60 dB μ V/m para 40 dB μ V/m mas mantendo um diagrama de radiação predominantemente omnidirecional no plano horizontal.

Uma observação notável que pode ser feita é a de que, mesmo não sintonizada, a antena com *clearance* tal como definido pelo fabricante manteve o perfil de radiação previsto por sua ficha técnica, como mostrado na Figura 38. Uma vez que a relação entre a intensidade do campo elétrico E na superfície de uma esfera de raio R contendo uma antena e a potência P_t por ela transmitida é definida por

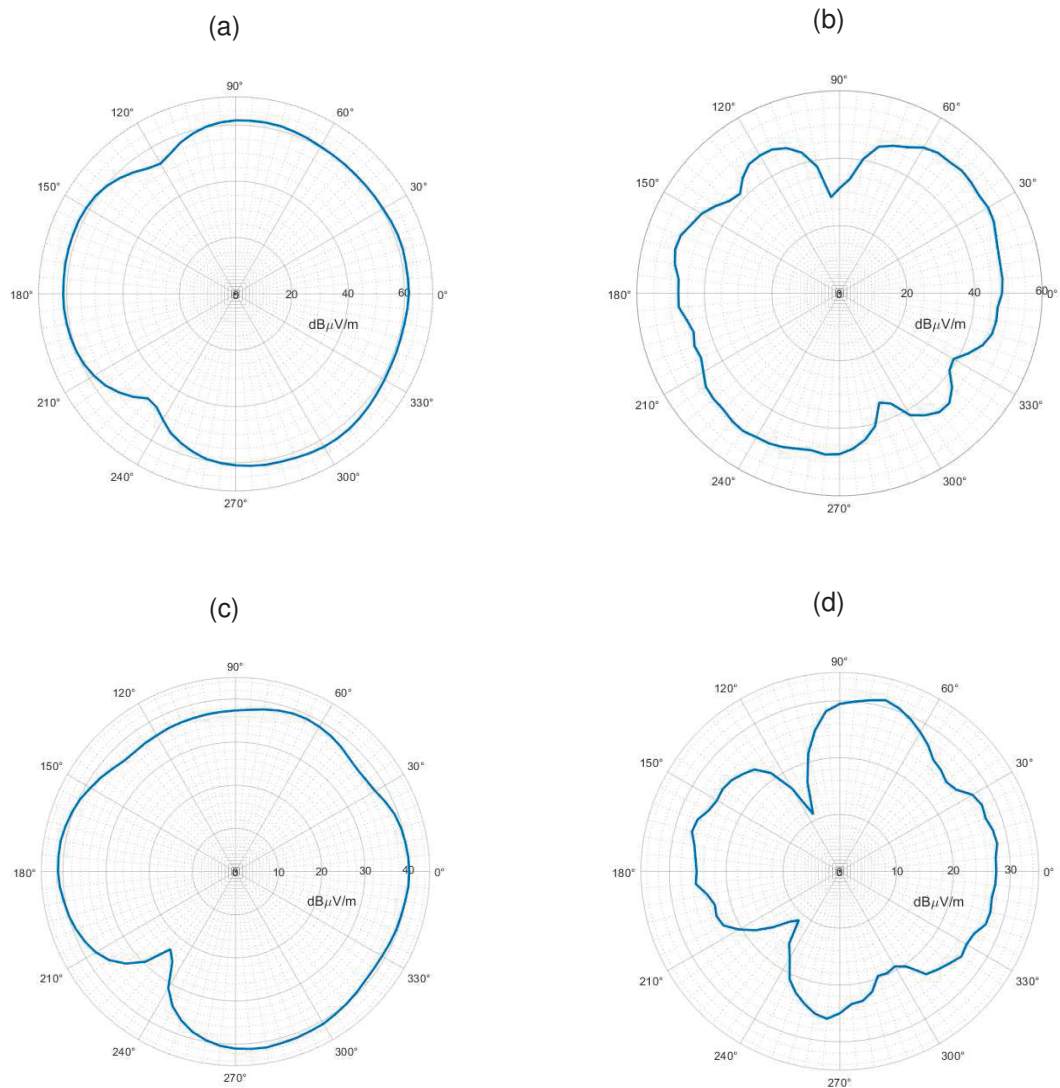
$$E = \frac{\sqrt{30P_tG_t}}{R}, \quad (4.1)$$

sendo G_t o ganho da antena (BURGESS, 2006), isso permite afirmar que a ausência de uma adaptação de impedâncias entre o rádio e a antena, o que diminui a potência incidente, irá por consequência diminuir a magnitude do diagrama de radiação, mas não mudará seu formato. Este, como visto nas diferenças entre os diagramas com e sem *clearance*, está mais relacionado à geometria da antena e sua distância ao plano de GND.

Portanto, conclui-se que a decisão de se remover a área de *clearance* em um projeto para aumentar seu grau de miniaturização exige que a geometria ao redor da antena seja reorganizada, a fim de que esta irradie da maneira desejada. Em um SiP com antena embarcada cuja geometria interna é desconhecida, por exemplo, poderia-se experimentalmente determinar diferentes formatos de área a ser alocada na placa sobre a qual o SiP será montado.

4.4 MEDIDAS EM CAMPO

Em seguida, medidas de RSSI, latência e *throughput* foram feitas em campo para verificar o comportamento do sistema em um cenário real de comunicação. Testes mais intensivos foram realizados na placa com *clearance*, uma vez que ela representa

FIGURA 37 – DIAGRAMAS DE RADIAÇÃO EM $\text{dB}_{\mu\text{V/m}}$ 

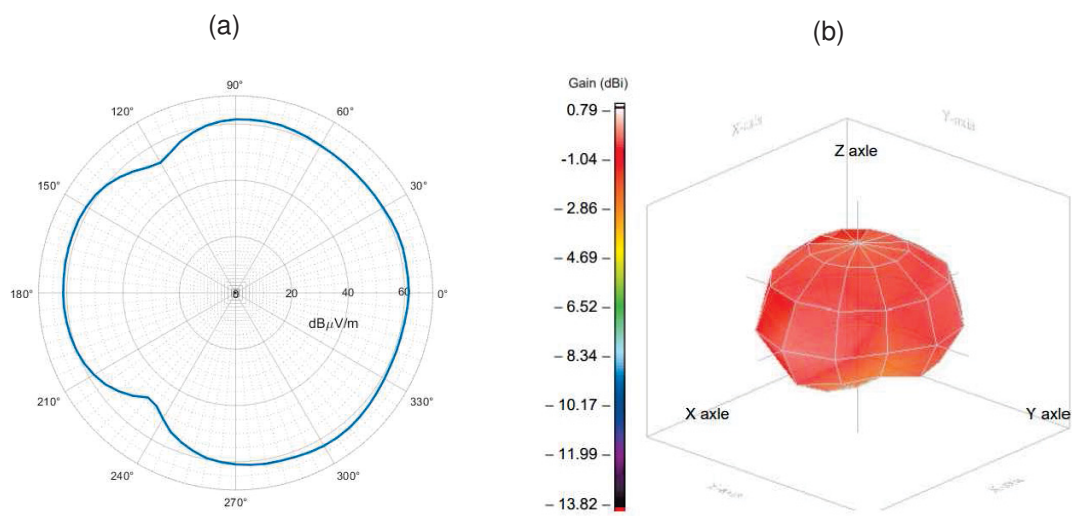
FONTE: I. P. Adam et al. (2024).

LEGENDA: (a) Placa com *clearance*, plano horizontal; (b) placa com *clearance*, plano vertical; (c) placa sem *clearance*, plano horizontal; (d) placa sem *clearance*, plano vertical.

o funcionamento desejado para o SiP do $\mu\text{C32RFBR}$. Para comparar as duas micro-PCBs, algumas das medidas foram também replicadas na placa sem *clearance* e são apresentadas ao final dessa seção. Todos os testes aqui descritos foram feitos com o resistor de $0\ \Omega$ entre o *balun* e a antena.

Escolheu-se como ambiente de teste o gramado em frente ao prédio de administração do Centro Politécnico da UFPR, o qual permite que se alcance longas distâncias com linha de visada. Uma vista aérea do local é mostrada na Figura 39. A

FIGURA 38 – COMPARAÇÃO ENTRE DIAGRAMAS DE RADIAÇÃO



FONTE: (a) I. P. Adam et al. (2024); (b) Ficha técnica da antena.

LEGENDA: (a) Antena da micro-PCB com *clearance*; (b) antena na placa de avaliação do fabricante.

micro-PCB foi mantida sobre uma mesa no ponto laranja da imagem, 60 cm acima do solo e com a antena apontando na direção da seta amarela. Marcações no solo foram delimitadas em passos de 1 m no intervalo 1 – 10 m e em passos de 10 m no intervalo 10 – 100 m.

A micro-PCB foi alimentada com uma bateria de lítio de 3 V durante os testes. Tentou-se usar uma bateria CR2032 (20 mm de diâmetro e 3,2 mm de altura), mas sua capacidade não é suficiente para inicializar o transceptor BLE e o microcontrolador simultaneamente. Usou-se então uma CR2450 (24,5 mm de diâmetro e 5 mm de altura), com capacidade maior. Verificou-se que sua tensão se manteve em torno de 2,9 V durante toda a duração das medições.

4.4.1 RSSI

Para as medidas de RSSI, a micro-PCB foi novamente configurada como um *beacon* BLE, tornando-se não-conectável e enviando mensagens de *advertising* a cada 150 ms. Contudo, diferentes potências de transmissão foram configuradas no transceptor, podendo variar de -14 dBm a 8 dBm como apontado por seu manual de programação. Os valores escolhidos para as medidas foram -14 dBm, -8 dBm, -2

FIGURA 39 – VISTA AÉREA DO LOCAL USADO PARA OS TESTES EM CAMPO



FONTE: Adaptado de Google (2024).

dBm, 4 dBm e 8 dBm, para cobrir a abrangência da operação do transceptor. Um *firmware* diferente foi desenvolvido para cada potência, alterando-se um parâmetro de configuração nos comandos enviados pelo microcontrolador.

As medidas foram obtidas por meio de um *smartphone* com o BLE Scanner, que lista os dispositivos encontrados nas proximidades e indica o valor de RSSI correspondente a um dado momento. Para cada marcação de distância, foram coletadas 10 amostras de potência recebida e calculada a média linear, depois convertendo o resultado novamente para dBm. A Tabela 2 compila os dados obtidos e os gráficos das Figuras 40 e 41 destacam as distâncias até 10 m e acima de 10 m, respectivamente.

A Tabela 2 e as Figuras 40 e 41 mostram, de forma consistente, a queda esperada do RSSI conforme a redução da potência de transmissão, considerando que a distância e a tensão de alimentação estejam constantes. Pode-se perceber que, para potências acima de -2 dBm, foi possível realizar leituras em distâncias tão longas quanto 100 m, enquanto nas potências mais baixas de -8 dBm e -14 dBm a micro-PCB pôde ser descoberta até 80 m e 60 m, respectivamente.

TABELA 2 – MEDIÇÕES DE RSSI (EM DBM) PARA DIFERENTES DISTÂNCIAS E POTÊNCIAS DE TRANSMISSÃO

Distância	8 dBm	4 dBm	-2 dBm	-8 dBm	-14 dBm
1 m	-47,32	-52,53	-56,91	-60,91	-67,74
2 m	-51,95	-53,87	-59,83	-65,53	-70,13
3 m	-55,28	-57,64	-61,13	-69,78	-74,57
4 m	-58,57	-60,28	-63,13	-71,41	-77,57
5 m	-59,64	-60,53	-65,48	-71,48	-78,18
6 m	-59,71	-60,48	-66,05	-71,81	-79,67
7 m	-60,32	-62,74	-67,57	-73,57	-80,28
8 m	-61,28	-63,95	-68,37	-75,52	-80,28
9 m	-59,95	-63,57	-68,99	-75,95	-82,74
10 m	-61,32	-63,69	-69,48	-78,05	-86,18
20 m	-65,95	-69,44	-72,48	-80,53	-86,95
30 m	-70,48	-71,91	-76,74	-84,57	-89,37
40 m	-71,91	-74,28	-80,13	-87,74	-92,74
50 m	-72,57	-76,78	-82,74	-90,13	-95,57
60 m	-76,13	-78,13	-86,57	-93,28	-96,05
70 m	-77,64	-79,57	-86,69	-94,68	-
80 m	-78,95	-80,57	-86,91	-94,85	-
90 m	-81,10	-83,53	-91,77	-	-
100 m	-83,05	-86,48	-95,13	-	-

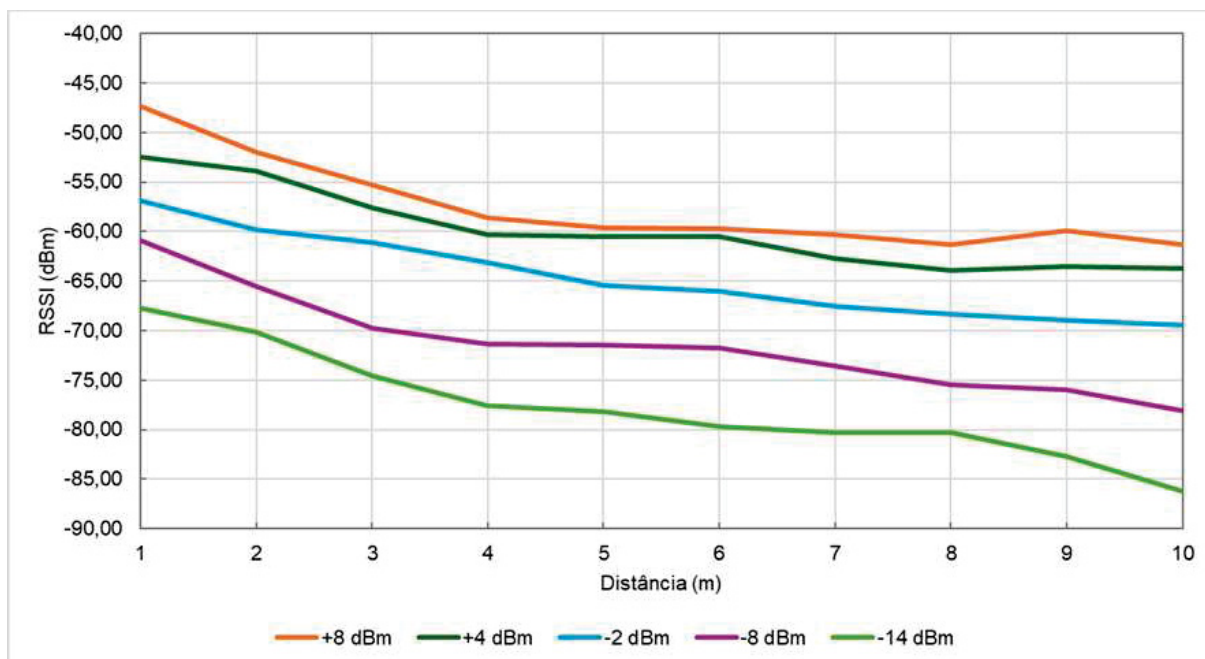
FONTE: O autor.

Um parâmetro pertinente aos testes acima é a sensibilidade do transceptor BLE, indicado em sua ficha técnica como sendo -88 dBm. É importante ressaltar que, embora resultados inferiores a -90 dBm tenham sido obtidos, isso se deve à menor sensibilidade do *smartphone* usado nas medições. É esperado que a comunicação entre dois transceptores com o mesmo *part number*, por exemplo, não chegue a distâncias tão longas quanto as mostradas por esse teste, devido à maior sensibilidade destes.

4.4.2 Latência

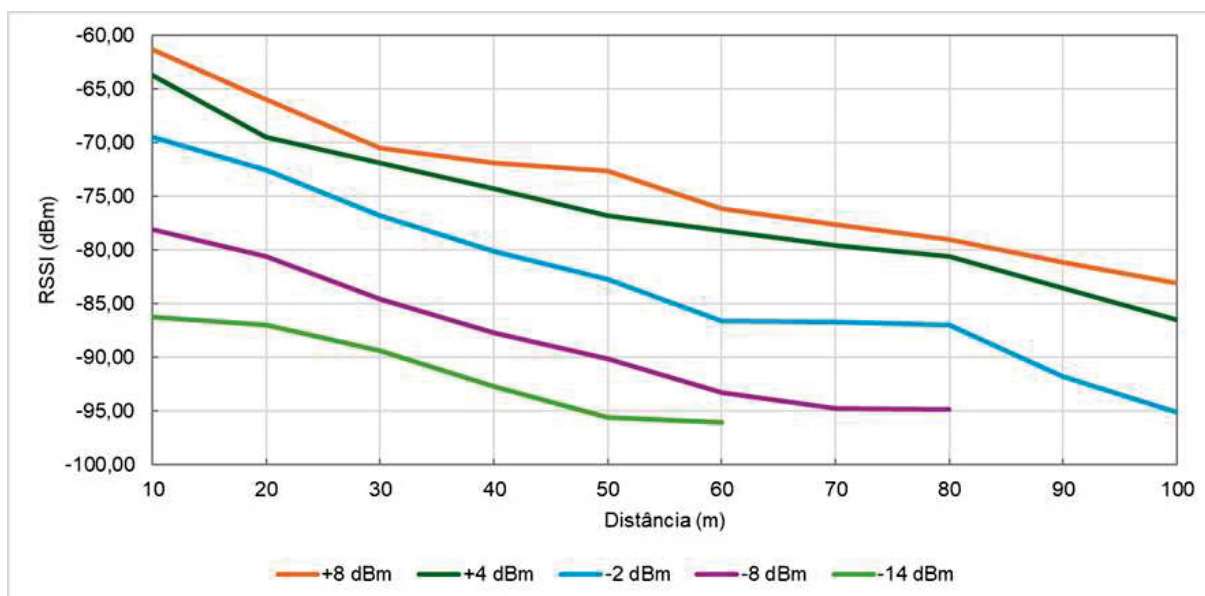
O teste de latência procura mensurar o intervalo de tempo entre enviar um comando de um cliente BLE para a micro-PCB e receber uma resposta confirmando o comando. O dispositivo empregado para enviar os comandos, receber as respostas

FIGURA 40 – MEDIDAS DE RSSI (DISTÂNCIAS MENORES QUE 10 M)



FONTE: Ivan Adam et al. (2024a).

FIGURA 41 – MEDIDAS DE RSSI (DISTÂNCIAS MAIORES QUE 10 M)



FONTE: Ivan Adam et al. (2024a).

e calcular o tempo entre as ações foi uma placa de desenvolvimento com o ESP32-WROOM-32D. O ESP32 é um microcontrolador com dois núcleos operando a até 240 MHz, possuindo Wi-Fi e BLE integrados. Na configuração utilizada, o módulo já possui antena embarcada na PCB (ESPRESSIF, 2024).

O *firmware* desenvolvido para as medidas de latência é semelhante ao de acionamento do LED, descrito na Seção 4.2. O transceptor recebe um comando do ESP32 com 20 bytes de *payload* e envia uma mensagem para o ESP32 com o mesmo comando recebido.

Para calcular a latência, é guardado no ESP32 o tempo de processamento antes do envio do comando e depois do recebimento da resposta. Dessa forma, a latência do comando pode ser estimada pela metade da diferença entre os valores armazenados. A troca de mensagens foi temporizada para ocorrer a cada 5 segundos e, para alcançar a menor latência possível, foi configurado o menor *connection interval* (intervalo em que os dispositivos trocam mensagens) disponível no protocolo BLE, de 7,5 ms.

Na Figura 42 é mostrada a saída do terminal da aplicação do ESP32 contendo dez trocas de mensagens (envio e recebimento). Calculando a média aritmética desses valores (17,78 ms) e dividindo-a pela metade, temos uma latência média de 8,89 ms, para somente um comando. Também é possível perceber uma estabilidade nos tempos mostrados no terminal após o estabelecimento da conexão.

Os testes de latência foram executados para as mesmas distâncias e potências de transmissão das medidas de RSSI, e novamente foi desenvolvido um arquivo de *firmware* para cada potência. A micro-PCB foi alimentada com uma bateria CR2450 cuja tensão se manteve em torno de 2,9 V durante os testes. O local para coleta das medidas foi o mesmo da Figura 39.

Em cada distância marcada, foi posicionado um ESP32 conectado a um *laptop*. Com a aplicação gravada no ESP32, basta abrir um monitor serial e a diferença entre os tempos de envio do comando e recebimento da resposta são mostrados para cada troca de mensagens, como mostrado na Figura 42. 10 amostras de tempo foram coletadas e depois calculada a média aritmética. A Tabela 3 traz as medidas de latência em milissegundos e a Figura mostra as respectivas curvas com destaque às distâncias

TABELA 3 – MEDIÇÕES DE LATÊNCIA (EM MS) PARA DIFERENTES DISTÂNCIAS E POTÊNCIAS DE TRANSMISSÃO

Distância	8 dBm	4 dBm	-2 dBm	-8 dBm	-14 dBm
1 m	12,63	12,92	12,87	13,05	13,06
2 m	12,81	12,80	12,79	12,99	13,09
3 m	12,80	12,82	12,96	13,13	13,12
4 m	12,88	12,88	13,02	13,15	13,21
5 m	12,91	12,92	12,91	13,04	14,85
6 m	12,93	13,01	12,92	12,49	15,67
7 m	12,89	12,89	13,02	13,01	20,71
8 m	12,91	12,85	12,83	13,00	19,37
9 m	12,85	12,90	12,87	12,98	20,10
10 m	12,94	12,80	12,91	14,31	21,38
20 m	12,96	13,11	13,19	16,80	25,17
30 m	12,95	13,02	13,36	21,37	60,00
40 m	12,96	13,09	14,55	24,62	-
50 m	15,11	15,48	16,69	56,46	-
60 m	18,63	22,46	31,71	-	-
70 m	21,49	33,12	-	-	-
80 m	36,49	69,60	-	-	-

FONTE: O autor.

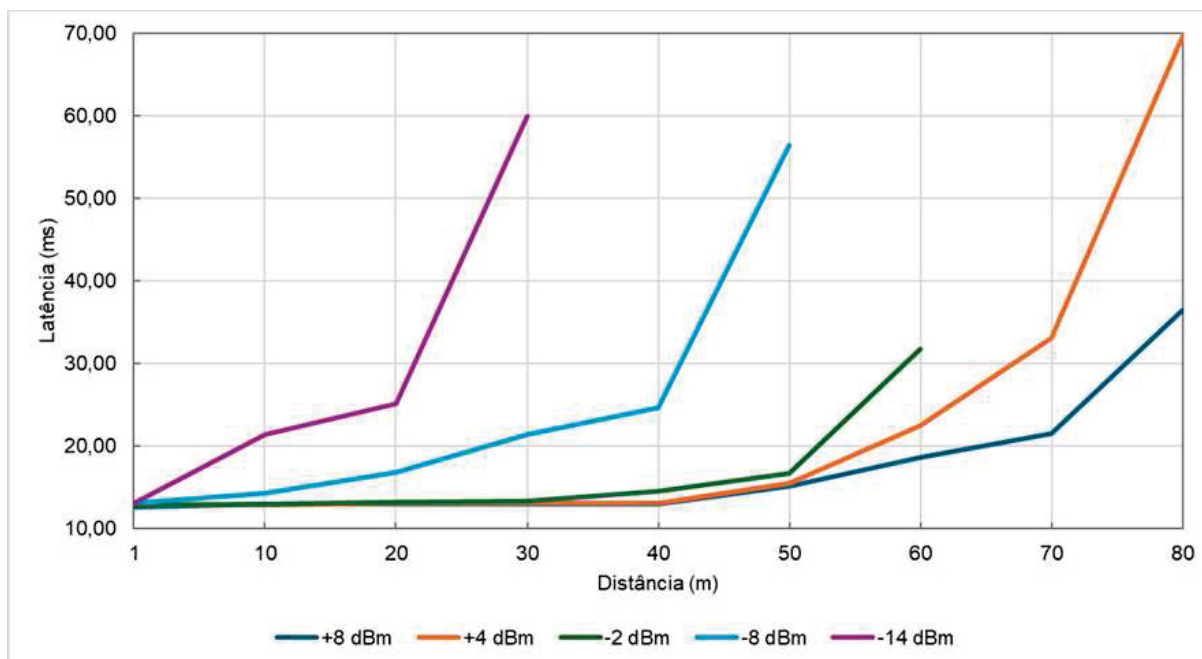
4.4.3 Throughput

O teste de *throughput* consiste em enviar pacotes consecutivamente a fim de medir a capacidade máxima de envio de dados. Para isso, o sistema envia um pacote e verifica se o hardware já está pronto para enviar o próximo, garantindo dessa forma o menor intervalo possível para o envio.

O teste consistiu em enviar um *payload* de 20 bytes, sendo os 16 primeiros uma sequência fixa (para verificar integridade) e os últimos 4 o valor de um contador (para verificar se há perda de pacotes). A micro-PCB foi operada como servidor BLE e o módulo com ESP32, como cliente.

Duas limitações de hardware foram encontradas durante o teste. Primeiro, o transceptor BLE tem um limite de *payload* de 20 bytes, pois não possui a funcionalidade de *data length extension* presente em componentes mais modernos da mesma família. A outra é referente à configuração de coprocessador, no qual o transceptor é

FIGURA 43 – MEDIDAS DE LATÊNCIA (DISTÂNCIAS MAIORES QUE 10 M)



FONTE: Ivan Adam et al. (2024a).

comandado pelo microcontrolador via SPI. Assim, os pacotes levam mais tempo para serem enviados e isso reduz o *throughput*.

Os testes de *throughput* seguiram os mesmos procedimentos dos de RSSI e latência, sendo executados para as mesmas distâncias e potências de transmissão. A micro-PCB foi alimentada com uma bateria CR2450 cuja tensão se manteve em torno de 2,9 V durante os testes. O local para coleta das medidas foi o mesmo da Figura 39.

O ESP32 foi posicionado em cada distância marcada, conectado a um *laptop*. Assim como na Figura 42 para os testes de latência, o terminal de saída da aplicação do ESP32 retornava o *throughput* e a quantidade de pacotes perdidos na transmissão. Após a finalização das medidas, percebeu-se que nenhum pacote foi perdido nas distâncias em que uma conexão pôde ser estabelecida. Quanto ao *throughput*, 10 amostras foram coletadas e depois calculada sua média aritmética. Os resultados são mostrados na Tabela 4 e na Figura 44.

Como visto na Tabela 4, o *throughput* se manteve relativamente constante nos primeiros 10 m para todas as potências, por isso optou-se por plotar apenas as

TABELA 4 – MEDIÇÕES DE *THROUGHPUT* (EM KBPS) PARA DIFERENTES DISTÂNCIAS E POTÊNCIAS DE TRANSMISSÃO

Distância	8 dBm	4 dBm	-2 dBm	-8 dBm	-14 dBm
1 m	53,29	53,25	53,30	53,30	53,25
2 m	53,25	53,31	53,24	53,24	53,25
3 m	53,29	53,30	53,30	53,24	53,26
4 m	53,25	53,29	53,25	53,25	53,21
5 m	53,25	53,25	53,30	53,24	53,22
6 m	53,26	53,25	53,30	53,25	53,25
7 m	53,31	53,26	53,25	53,24	53,30
8 m	53,30	53,25	53,31	53,24	53,25
9 m	53,30	53,26	53,26	53,26	53,18
10 m	53,25	53,18	53,24	53,25	53,21
20 m	53,24	53,25	53,25	53,09	41,73
30 m	53,26	53,25	51,80	46,92	-
40 m	53,18	53,25	51,48	35,58	-
50 m	53,05	52,67	39,96	-	-
60 m	49,76	48,76	38,08	-	-
70 m	41,88	36,46	-	-	-
80 m	30,56	24,80	-	-	-
90 m	27,46	-	-	-	-
100 m	23,85	-	-	-	-

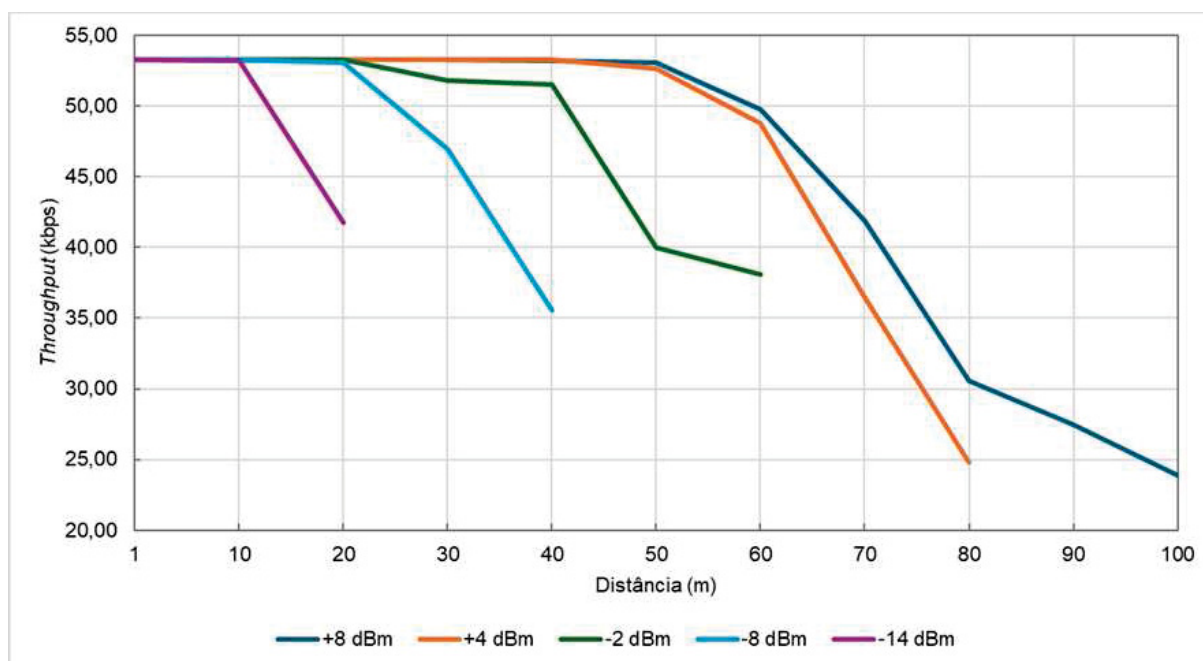
FONTE: O autor.

distâncias a partir de 10 m na Figura 44. Além disso, percebe-se que a única potência de transmissão para a qual foi possível coletar dados em todas as distâncias propostas foi a de 8 dBm. Nas potências de 4 dBm, -2 dBm, -8 dBm e -14 dBm, o ESP32 não conseguiu fazer medidas a partir de 90 m, 70 m, 50 m e 30 m, respectivamente, seja por erros de conexão ou por não conseguir encontrar a micro-PCB.

Pode-se chegar à conclusão de que a variação da potência de transmissão exerce influência apenas em distâncias mais elevadas. Quanto maior a potência, maior o intervalo de distância no qual o *throughput* se mantém alto, em torno de 53,25 kbps.

4.4.4 Comparação entre Placas com e sem *Clearance*

Com o intuito de confrontar a miniaturização resultante da remoção do *clearance* com o funcionamento adequado da antena, medidas em campo de RSSI, latência

FIGURA 44 – MEDIDAS DE *THROUGHPUT* (DISTÂNCIAS MAIORES QUE 10 M)

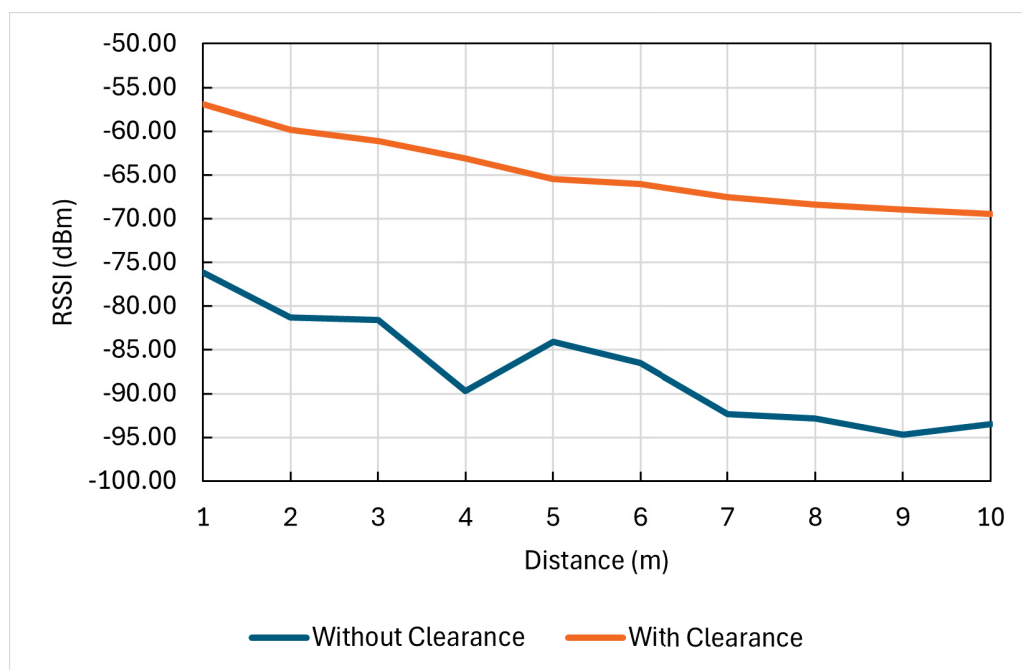
FONTE: Ivan Adam et al. (2024a).

e *throughput* foram repetidas na micro-PCB sem área de *clearance*. Prevendo um desempenho inferior ao da placa com *clearance*, tal como observado nos diagramas de radiação, as medidas foram realizadas apenas na potência de transmissão de -2 dBm, padrão do transceptor BLE. A placa também continha um resistor de $0\ \Omega$ conectando o *balun* à antena.

As etapas dos testes mantiveram-se as mesmas. A micro-PCB foi alimentada com uma bateria CR2450 (acusando 2,9 V durante as medidas) e foi posicionada sobre o ponto laranja da Figura 39, a 60 cm do solo. Os respectivos programas foram gravados no transceptor e no microcontrolador. O cliente BLE nos testes de RSSI foi um *smartphone* com o BLE Scanner e, nos testes de latência e *throughput*, um módulo com ESP32.

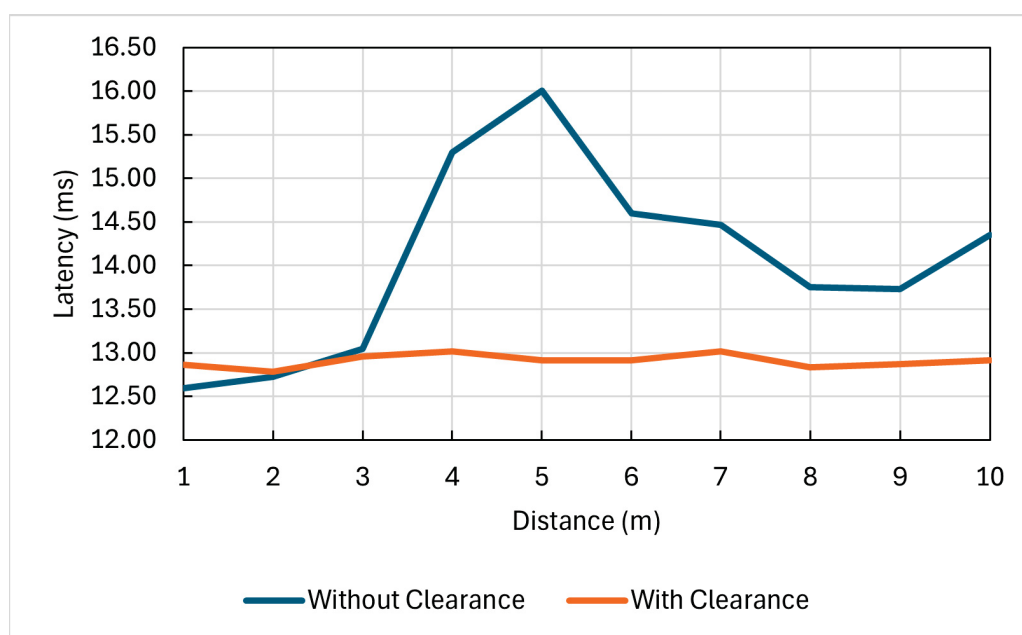
As Figuras 45, 46 e 47 trazem a comparação das curvas das PCBs com e sem *clearance* nos testes de RSSI, latência e *throughput*, respectivamente. A placa sem *clearance* não acusou medidas de latência além de 18 m e de *throughput* além de 15 m, motivo pelo qual as figuras revelam apenas o intervalo 1 – 10 m.

FIGURA 45 – COMPARAÇÃO DAS MICRO-PCBS REFERENTES ÀS MEDIDAS DE RSSI



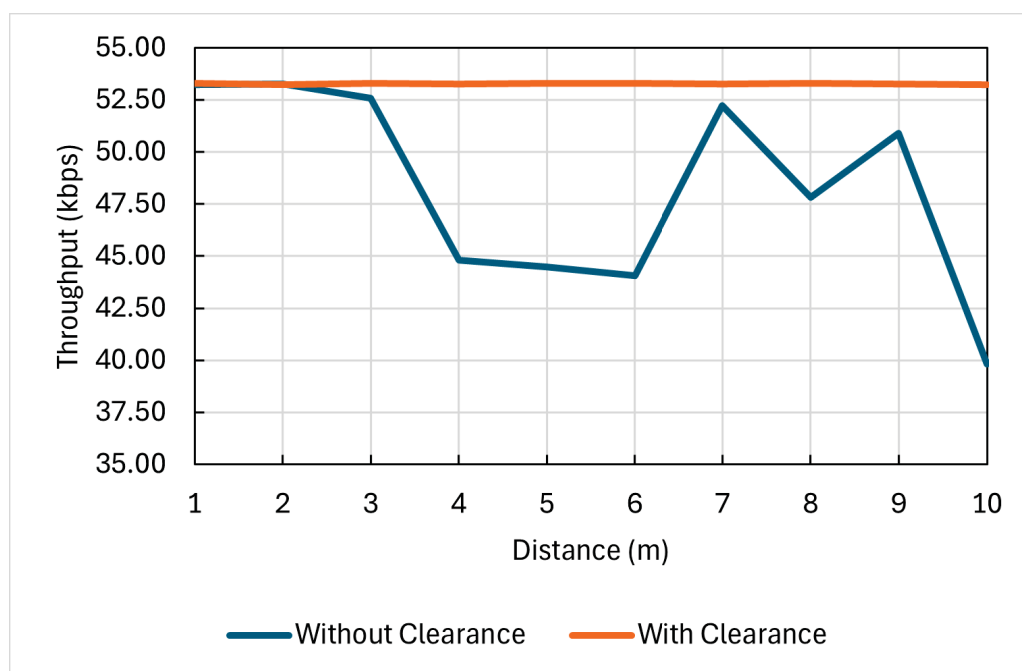
FONTE: I. P. Adam et al. (2024).

FIGURA 46 – COMPARAÇÃO DAS MICRO-PCBS REFERENTES ÀS MEDIDAS DE LATÊNCIA



FONTE: I. P. Adam et al. (2024).

FIGURA 47 – COMPARAÇÃO DAS MICRO-PCBS REFERENTES ÀS MEDIDAS DE *THROUGHPUT*



FONTE: I. P. Adam et al. (2024).

Um impacto marcante causado pela remoção da área de *clearance*, correspondente a uma redução de cerca de 12% conforme relatado na Seção 3.7, são os distúrbios mostrados nos três testes entre 4 m e 7 m. Após esse intervalo, as curvas voltam ao comportamento esperado pela interpolação dos dados para distâncias maiores. Isto, somado aos diagramas de radiação não-uniformes e ao alcance grandemente reduzido, representa as perdas de desempenho que acompanham as violações de *clearance*.

Os testes de RSSI mostram uma atenuação de, em média, 20 dB da placa com *clearance* para a sem. Após os distúrbios mencionados, a latência atingiu um pico secundário de 14,5 ms em 10 m, equivalente a um aumento de 11,5% comparado aos 13 ms da PCB com *clearance*. Houve uma queda no *throughput* para cerca de 40 kbps em 10 m, 24% a menos do que os 52,5 kbps observados na PCB com *clearance*. Por fim, ainda que o alcance ligeiramente superior a 10 m seja suficiente para uma parcela de aplicações industriais de IoT e interações homem-máquina (STOUFFER et al., 2023), objetivadas pelo projeto μ C32RFBR, conclui-se que um redimensionamento experimental da área de *clearance* mostra-se mais promissor para redução de espaço

ao invés da simples remoção do *clearance*.

4.5 ADAPTAÇÃO DE IMPEDÂNCIA DA ANTENA

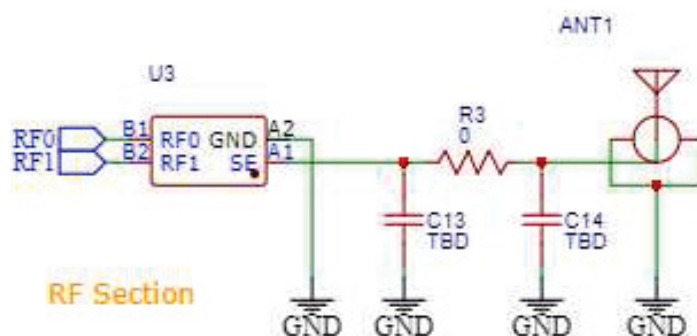
Tendo finalizado a caracterização das micro-PCBs em campo, passou-se para o projeto das redes de casamento de impedância, a fim de otimizar a transferência de potência do transceptor BLE para a antena e vice-versa. A adição de uma rede de casamento pode potencialmente melhorar o desempenho da PCB sem área de *clearance*, visto que, com sua remoção, é esperado que a impedância de entrada da antena assuma um valor diferente do especificado em sua ficha técnica.

A metodologia de medições detalhada a seguir tem como objetivo aferir a impedância de entrada da antena com sua área de *clearance*, projetar uma rede de casamento de impedâncias do tipo π e medir novamente a impedância resultante. As medidas foram realizadas inicialmente na placa com *clearance* e depois repetidas para o caso sem *clearance*.

4.5.1 Medida da Impedância da Antena sem Rede de Casamento

A Figura 48 mostra o *front end* de RF da micro-PCB na vista de esquemático, composto pelo *balun*, rede de casamento de impedâncias e a antena. O resistor R3 de 0 Ω foi adicionado ao projeto para que as placas já viessem da fábrica com uma conexão direta entre o *balun* e a antena e será substituído por um indutor para formar a rede de casamento. A saída do *balun* é especificada por sua ficha técnica como 50 Ω .

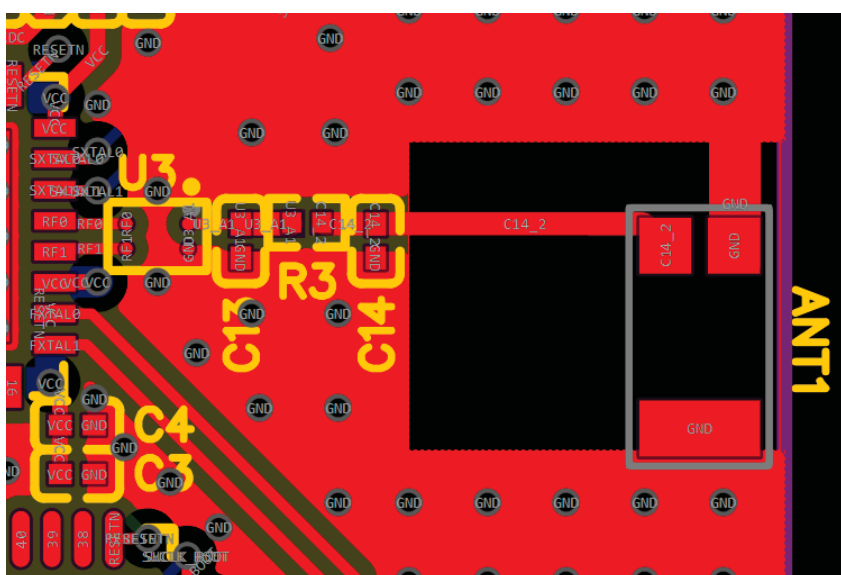
FIGURA 48 – ESQUEMÁTICO DO FRONT END DE RF



FONTE: O autor.

Como o *layout* de uma PCB influencia significativamente na impedância de componentes RF, devido a elementos parasitas provenientes das estruturas geométricas do roteamento, a medida da impedância na entrada da antena deve levar o *layout* em consideração. Isto foi alcançado pela remoção de R3 e a solda de um cabo coaxial de $50\ \Omega$ imediatamente antes da área de *clearance*, na posição do capacitor C14 mostrado na Figura 49. O condutor central do cabo foi soldado à *feed line* da antena, sobre o *pad* do capacitor, e sua malha de GND foi soldada ao *pad* de GND do capacitor. A outra ponta do cabo era terminada em um condutor SMA, através do qual o parâmetro S_{11} pôde ser extraído com um analisador vetorial de redes (VNA – *vector network analyzer*). Dessa forma, as medidas de impedância referem-se somente ao conjunto da antena com seu *clearance*. As curvas da Figura 50 mostram a magnitude do parâmetro S_{11} traçada em função da frequência e na carta de Smith.

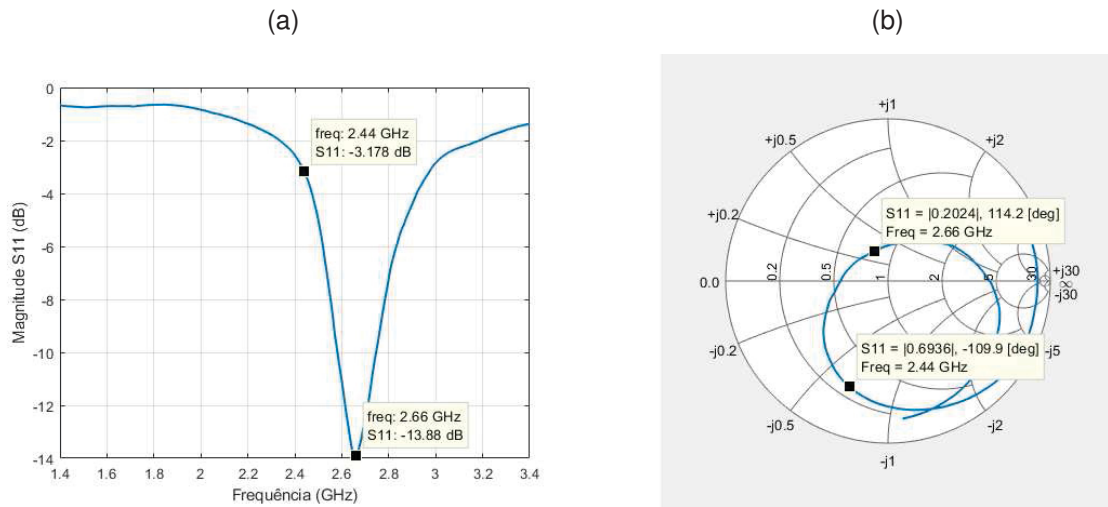
FIGURA 49 – LAYOUT DO FRONT END DE RF



FONTE: O autor.

As medidas mostradas na Figura 50 mostraram resultados inesperados de perda de retorno. Mesmo com as recomendações do fabricante para a área de *clearance*, a frequência de ressonância da antena estava estranhamente deslocada para a faixa de 2,6 GHz, com o valor mínimo de S_{11} sendo -13,88 dB em 2,66 GHz. Já na frequência central da banda do BLE, em 2,44 GHz, a magnitude do S_{11} manteve-se relativamente alta, em -3,178 dB. A partir da Equação 2.1, pode-se aferir a impedância

FIGURA 50 – MEDIDAS DE S_{11} SOBRE A ANTENA NA PLACA COM *CLEARANCE* E SEM REDE DE CASAMENTO



FONTE: O autor.

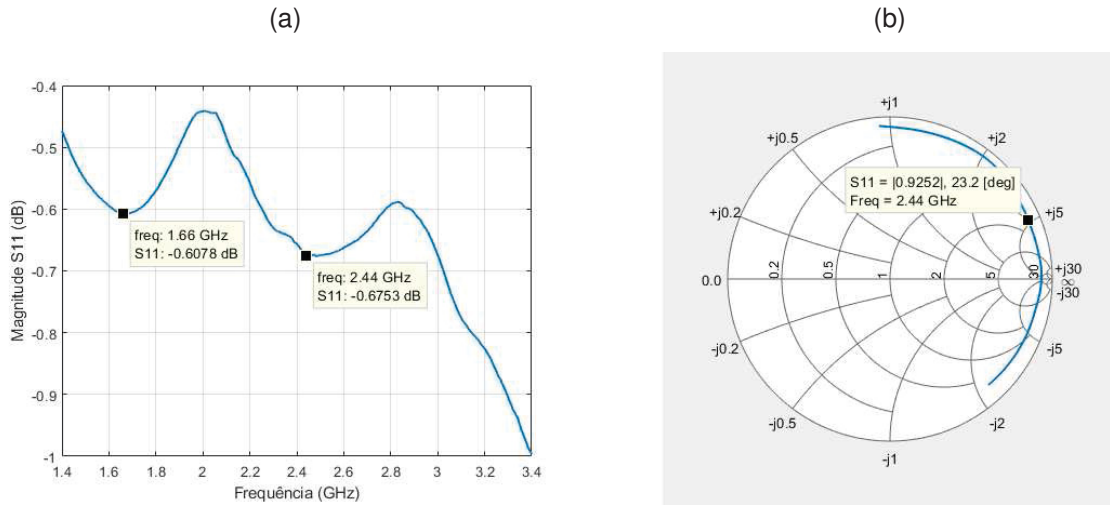
LEGENDA: (a) Magnitude em função da frequência; (b) carta de Smith.

da antena como $39,74 \, \Omega$ com uma indutância equivalente em série de $915,21 \, \text{pH}$ em $2,66 \, \text{GHz}$ e $13,28 \, \Omega$ e com uma indutância equivalente em série de $1,95 \, \text{pF}$ em $2,44 \, \text{GHz}$.

Antenas em chip, por serem otimizadas para uma faixa de frequências específica, não costumam apresentar uma variação tão grande em sua sintonia sem uma rede de casamento, configurando um possível erro de projeto na micro-PCB. A investigação dessa divergência é explorada mais à frente.

O mesmo procedimento de medidas foi repetido para a micro-PCB sem *clearance*, com o resistor R3 sendo removido e um cabo coaxial de $50 \, \Omega$ sendo soldado sobre os *pads* de C14. A magnitude do parâmetro S_{11} em função da frequência e na carta de Smith são mostrados na Figura 51. Os resultados foram bastante degradados, com o módulo do S_{11} não atingindo $-1 \, \text{dB}$ e a impedância da antena em $46,51 \, \Omega$ com uma indutância equivalente em série de $15,33 \, \text{nH}$ em $2,44 \, \text{GHz}$. Como explanado na Seção 2.3, alterações na área de *clearance* impactam na impedância de entrada da antena, tornando a degradação nas medidas algo esperado.

FIGURA 51 – MEDIDAS DE S_{11} SOBRE A ANTENA NA PLACA SEM *CLEARANCE* E SEM REDE DE CASAMENTO



FONTE: O autor.

LEGENDA: (a) Magnitude em função da frequência; (b) carta de Smith.

4.5.2 Projeto da Rede de Casamento de Impedâncias

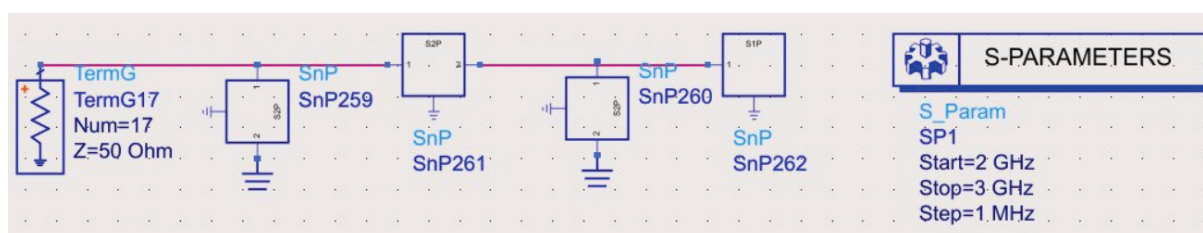
A partir dessas medidas, conduziu-se o projeto da rede de casamento. Definiu-se a frequência central da banda do BLE (2,44 GHz) como alvo para a adaptação e -10 dB como a máxima magnitude permitida para o coeficiente de reflexão em toda a banda do BLE.

Um esquemático de simulação foi criado no software ADS da Keysight Technologies, contendo uma porta de 50Ω representando a saída do *balun*, componentes ideais para a rede de casamento e um componente S1P, no qual seria carregado o arquivo .s1p obtido nas medidas sobre a antena e sua área de *clearance*. Uma varredura nos valores dos componentes ideais foi configurada com o propósito de se obter uma combinação adequada de impedâncias. O indutor foi variado de 0,1 nH a 4 nH em passos de 0,1 nH e os capacitores, de 1 pF a 10 pF em passos de 0,5 pF.

Após a seleção de um dos resultados da simulação com componentes ideais, passou-se para uma segunda iteração com arquivos .s2p de componentes comerciais. Foi usada a plataforma SimSurfing da fabricante de componentes passivos Murata, devido a sua alta confiabilidade e abundância de dados de parametrização, como perfis de impedância e fator Q além dos arquivos .snp (MURATA, 2024). Componentes

S2P foram adicionados ao esquemático conforme mostrado na Figura 52 e ajustes finos foram feitos na seleção dos arquivos até que uma combinação satisfatória fosse encontrada.

FIGURA 52 – ESQUEMÁTICO DE SIMULAÇÃO NO ADS COM COMPONENTES S2P NA REDE DE CASAMENTO DE IMPEDÂNCIAS



FONTE: O autor.

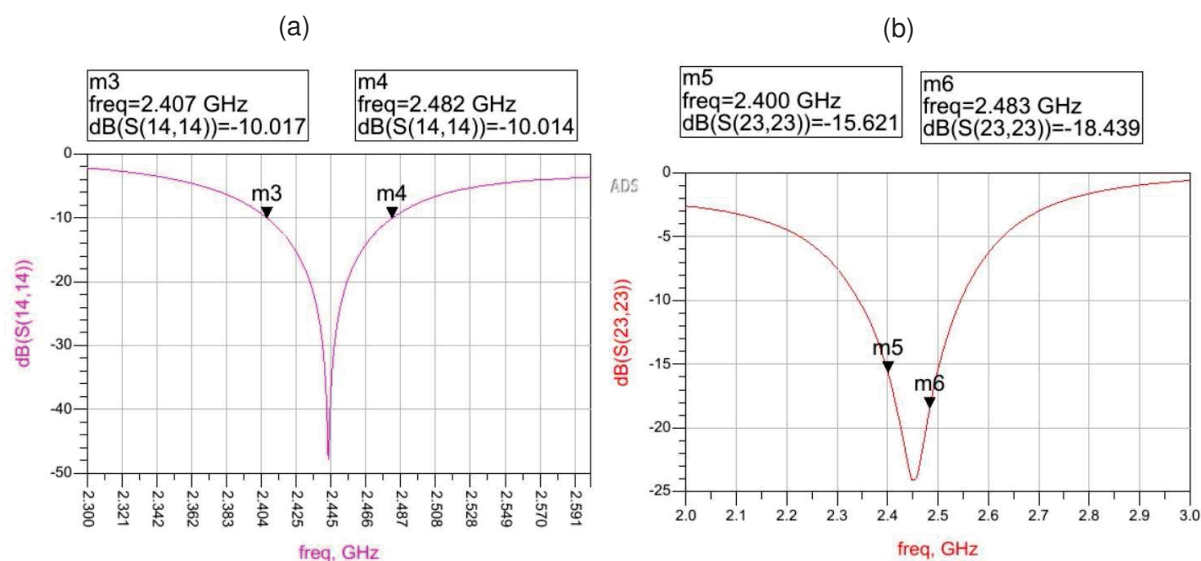
Seguindo esta metodologia, os resultados apresentados na Figura 53 foram coletados para ambas as micro-PCBs. Pode-se verificar que as simulações acusam S_{11} com magnitude inferior a -10 dB em toda a faixa de frequências do BLE nas duas placas, como almejado. Na placa com *clearance*, o indutor em série, o capacitor C13 e o capacitor C14 assumem valores de 1,6 nH, 3,8 pF e 2,3 pF respectivamente, enquanto o indutor é de 1,4 nH e ambos os capacitores são de 3,9 pF na placa sem *clearance*.

4.5.3 Medida da Impedância da Antena com Rede de Casamento

Após a compra dos componentes para a rede π , de acordo com os *part numbers* especificados pelos arquivos .s2p, foi realizada a soldagem destes e novamente do cabo coaxial de 50 Ω . Nessa etapa, porém, o *balun* foi removido das micro-PCBs e o cabo foi soldado sobre seu *footprint*, de tal forma que as novas medidas incluíssem a rede de casamento além da antena e seu *clearance*.

Os resultados, mostrados nas Figuras 54 para a placa com *clearance* e 55 para a sem *clearance*, mostram grandes divergências das previsões da simulação. A placa com *clearance* manteve um alto S_{11} em 2,44 GHz e seu menor valor se deu em 2,07 GHz, distante da banda do BLE. O mesmo ocorreu na placa sem *clearance*, com S_{11} de -1,7 dB em 2,44 GHz e -4,9 dB em 2,36 GHz. Além disso, o S_{11} manteve-se acima de -5 dB na placa sem *clearance* em toda a faixa de frequências analisada.

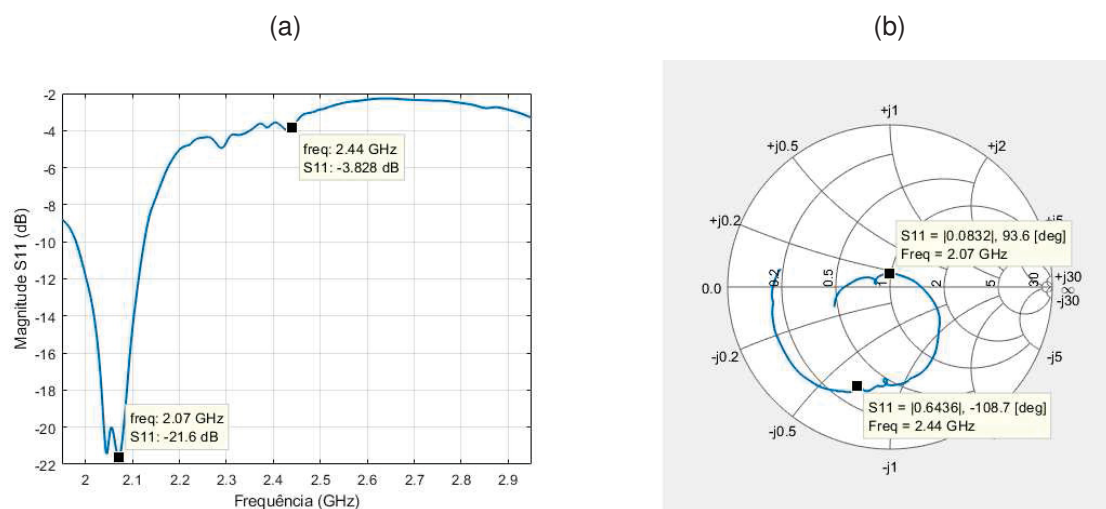
FIGURA 53 – RESULTADOS DE SIMULAÇÃO DO CIRCUITO DE RF COM REDE DE CASAMENTO DE IMPEDÂNCIAS



FONTE: O autor.

LEGENDA: (a) Placa com *clearance*; (b) placa sem *clearance*.

FIGURA 54 – MEDIDAS SOBRE A ANTENA NA PLACA COM *CLEARANCE* E COM REDE DE CASAMENTO

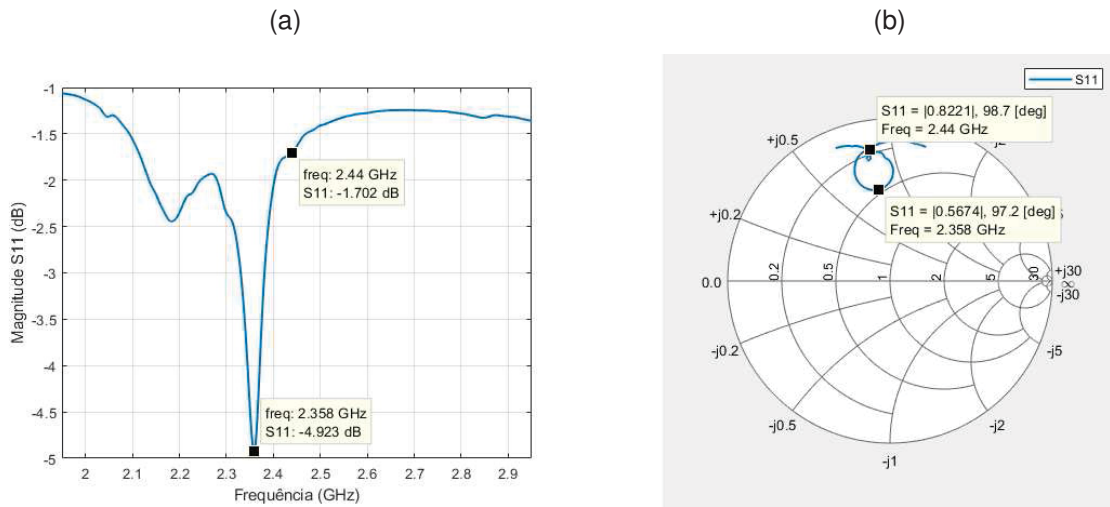


FONTE: O autor.

LEGENDA: (a) Magnitude em dB; (b) carta de Smith.

As metodologias de simulação e medidas foram revistas e não foram encontradas imperfeições, uma vez que arquivos de parametrização dos componentes foram

FIGURA 55 – MEDIDAS SOBRE A ANTENA NA PLACA SEM *CLEARANCE* E COM REDE DE CASAMENTO

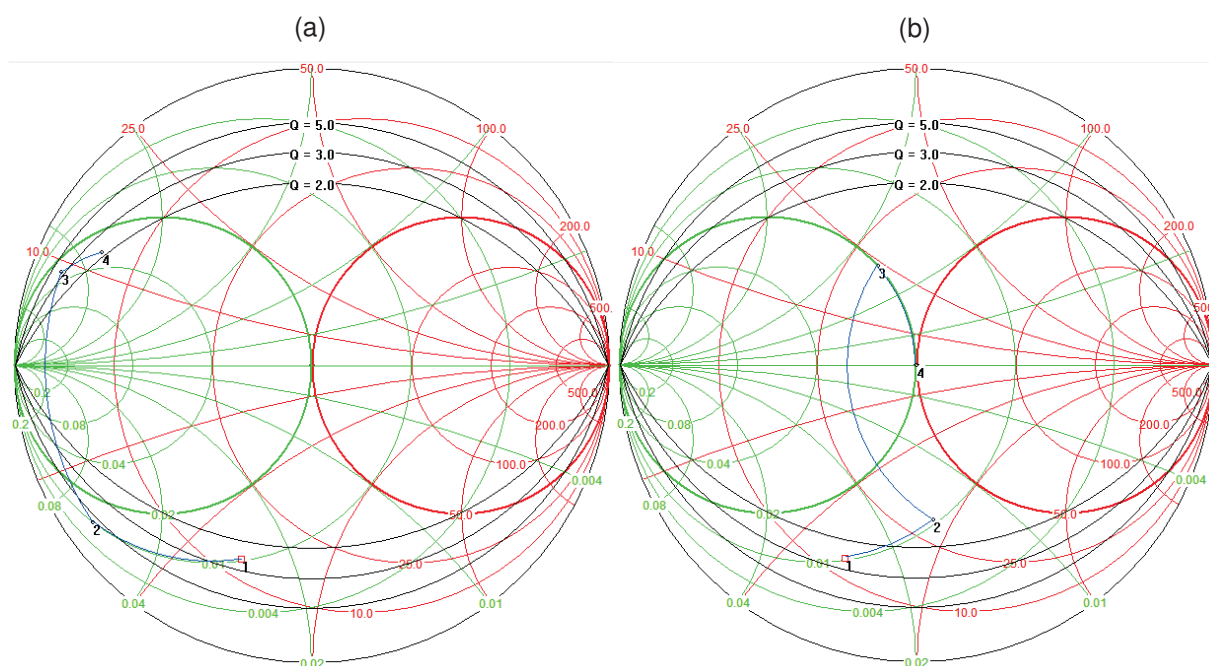


FONTE: O autor.

LEGENDA: (a) Magnitude em função da frequência; (b) carta de Smith.

levados em consideração e o VNA foi devidamente calibrado, com o plano de referência sendo deslocado até a ponta do cabo coaxial soldada na PCB. Concluiu-se que a hipótese mais plausível para o ocorrido foi um erro de projeto no circuito de RF, devido aos grandes deslocamentos de sintonia da antena e às discrepâncias entre simulação e medição da rede de casamento.

Além disso, também se percebeu que a rede proposta apresentou um alto valor de Q , como observado na carta de Smith da Figura 56a. A rede de casamento usada na placa com *clearance* chega a ultrapassar a linha onde $Q = 5$. Um alto valor de Q implica em uma banda de impedância mais estreita, de tal modo que pequenas variações nos valores nominais dos componentes podem resultar em deslocamentos na frequência desejada (SILICON LABS, 2024). A Figura 56b mostra uma sugestão de rede π que pode solucionar o problema, empregando um indutor em paralelo próximo à antena. Outra alternativa seria adaptar experimentalmente a rede existente, variando o valor de seus componentes a fim de corrigir o traçado da Figura 56a.

FIGURA 56 – CARTA DE SMITH COM LINHAS DE Q CONSTANTE

FONTE: O autor.

LEGENDA: (a) Casamento pela rede medida na placa com *clearance*; (b) casamento por uma rede empregando um indutor em paralelo próximo à antena.

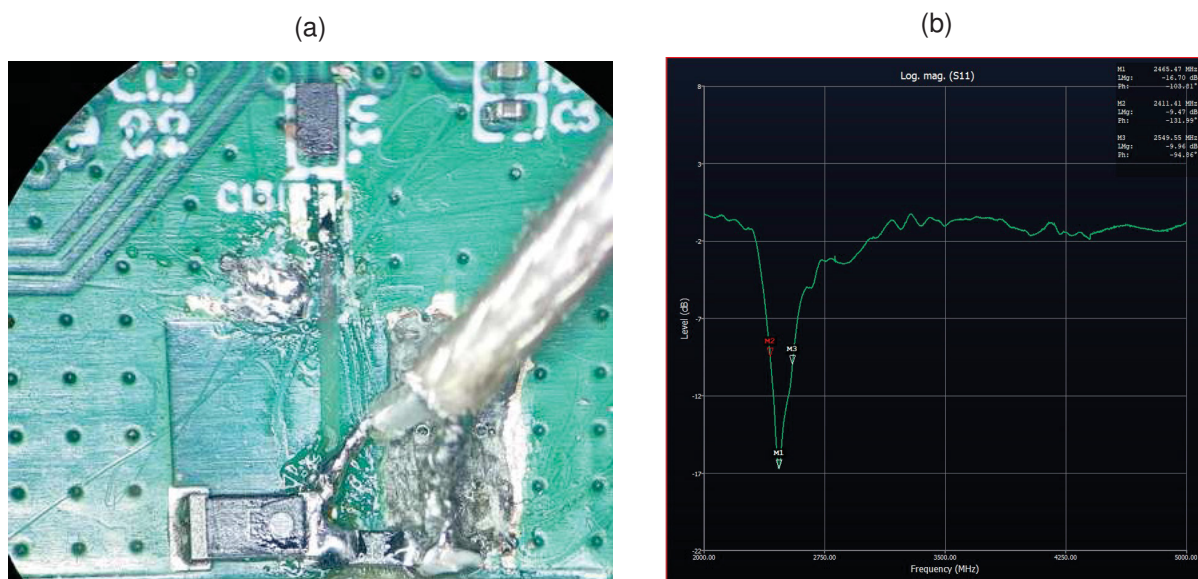
4.6 INVESTIGAÇÃO DA SINTONIA DA ANTENA

Uma das maiores suspeitas de deslocamento da frequência de ressonância da antena na placa com *clearance* foi sua *feed line*, que atravessava a área de *clearance*. Por não haver plano de GND abaixo da trilha e por esta estar distante dos planos de GND na camada superior da PCB, ela não se configurava como uma linha de transmissão e sua impedância era desconhecida. O experimento conduzido para verificar essa hipótese consistiu em soldar o cabo coaxial diretamente sobre os *pads* da antena após a remoção da trilha sobre o *clearance*.

A Figura 57a mostra o ponto na micro-PCB sobre o qual o cabo coaxial foi soldado. Nestas condições, a sintonia da antena deslocou-se para 2,474 GHz, comprovando que a *feed line*, da maneira como foi roteada, era o principal agravante sobre o descasamento de impedâncias. O resultado da medição é mostrado na Figura 57b.

Com isso, torna-se claro que um dos requisitos da segunda versão das micro-PCBs é deixar a área de *clearance* livre e conectar a antena ao restante do circuito

FIGURA 57 – MEDIÇÕES PARA INVESTIGAÇÃO DA FALTA DE SINTONIA DA ANTENA



FONTE: Ivan Adam et al. (2024b).

LEGENDA: (a) Conexões do cabo coaxial sobre a micro-PCB, diretamente no terminal de alimentação da antena e sem trilha sobre a área de *clearance*; (b) magnitude do parâmetro S_{11} mostrando a sintonia da antena em 2,474 GHz nas condições medidas.

através de uma linha de transmissão do *balun* até seu terminal de entrada.

5 SEGUNDA VERSÃO DAS PCBS

Com base nos resultados detalhados no capítulo anterior, aqui será descrito como se deu o projeto da segunda versão das micro-PCBs e quais alterações foram necessárias para se obter uma placa miniaturizada, objetivando o formato final de SiP para o projeto μ C32RFBR. Todos os CIs presentes na primeira versão foram usados novamente, a saber, o transceptor BLE, o microcontrolador e o *balun*, bem como a mesma antena em chip.

5.1 ESCOLHA DA MEMÓRIA *FLASH*

Como esta versão da micro-PCB já pretende atingir um formato próximo ao do SiP final, previu-se a adição da memória *flash* (mencionada na Seção 3.1) ao sistema. Sua justificativa no projeto de um SiP, como mencionado na Seção 2.2, é a redução de custo quando comparada à integração de memória em um CI ou SoC. O requisito do projeto μ C32RFBR é que a memória *flash* tenha capacidade de 8 MB ou maior, e assim foi realizada uma busca de componentes comerciais para encontrar opções de baixo custo que se enquadrem nessa demanda. O componente escolhido possui 8 MB e encapsulamento USON8.

O protocolo escolhido para a comunicação do microcontrolador com a memória foi o SPI, assim como entre o transceptor e o microcontrolador. Duas GPIOs a mais também foram alocadas para as funções de *reset* e proteção de escrita (*write protect*) suportadas pela memória.

5.2 MUDANÇA DO *STACK-UP*

Visando à fabricação do SiP no molde industrial com altura de 1,5 mm (mencionado na Seção 3.1), outro requisito previsto para a segunda versão da micro-PCB é a adaptação do projeto conforme a altura dos componentes já selecionados. O transceptor possui 0,85 mm de altura, enquanto o microcontrolador, a memória e a antena possuem 0,55 mm. Portanto, a espessura máxima da PCB deve ser de 0,65 mm. Isso impossibilita a fabricação do projeto pela JLCPCB, tal como ocorreu com a primeira

versão, sendo necessário recorrer a outra fabricante para obedecer às limitações de altura.

Nesse quesito, recorreu-se à PCBWay, cujas capacidades de produção já foram tratadas no Quadro 2. A PCBWay é capaz de confeccionar PCBs rígidas de quatro camadas com uma espessura tão pequena quanto 0,4 mm. Além disso, sua escolha justifica-se pela alta qualidade e preço competitivo em meio a outras fábricas capazes de suprir as mesmas necessidades do projeto.

A mudança para a PCBWay também permite novos recursos de miniaturização do projeto. Capacidades HDI como *blind/buried* vias, controle de impedância, furos de pequeno diâmetro, baixa largura de trilhas e baixo espaçamento entre elementos da PCB potencializam o grau de compacidade do projeto.

5.3 ESQUEMÁTICO DA MICRO-PCB

Por ter seus terminais em acabamento *castellation*, a densidade de pinos da primeira versão da micro-PCB era baixa. Considerando que a segunda versão almeja o formato de um SiP, o acabamento dos terminais se deu inteiramente na camada inferior através de um *pad ring* e *thermal pads* impressos na PCB. Os *pads* que compuseram o *pad ring* têm dimensões na mesma ordem de grandeza dos *pads* dos CIs utilizados. Isso confere uma maior densidade de pinos ao projeto e mais funcionalidade para o usuário final. Apenas os terminais essenciais do transceptor foram listados como pinos da micro-PCB, como os de alimentação, gravação, conversor *buck* e oscilador de 16 MHz. Quanto ao microcontrolador, buscou-se alocar a maior quantidade de pinos possível ao *pad ring*, desde que não comprometesse o tamanho final da placa. A definição final dos pinos foi feita somente após o posicionamento dos componentes no *layout*.

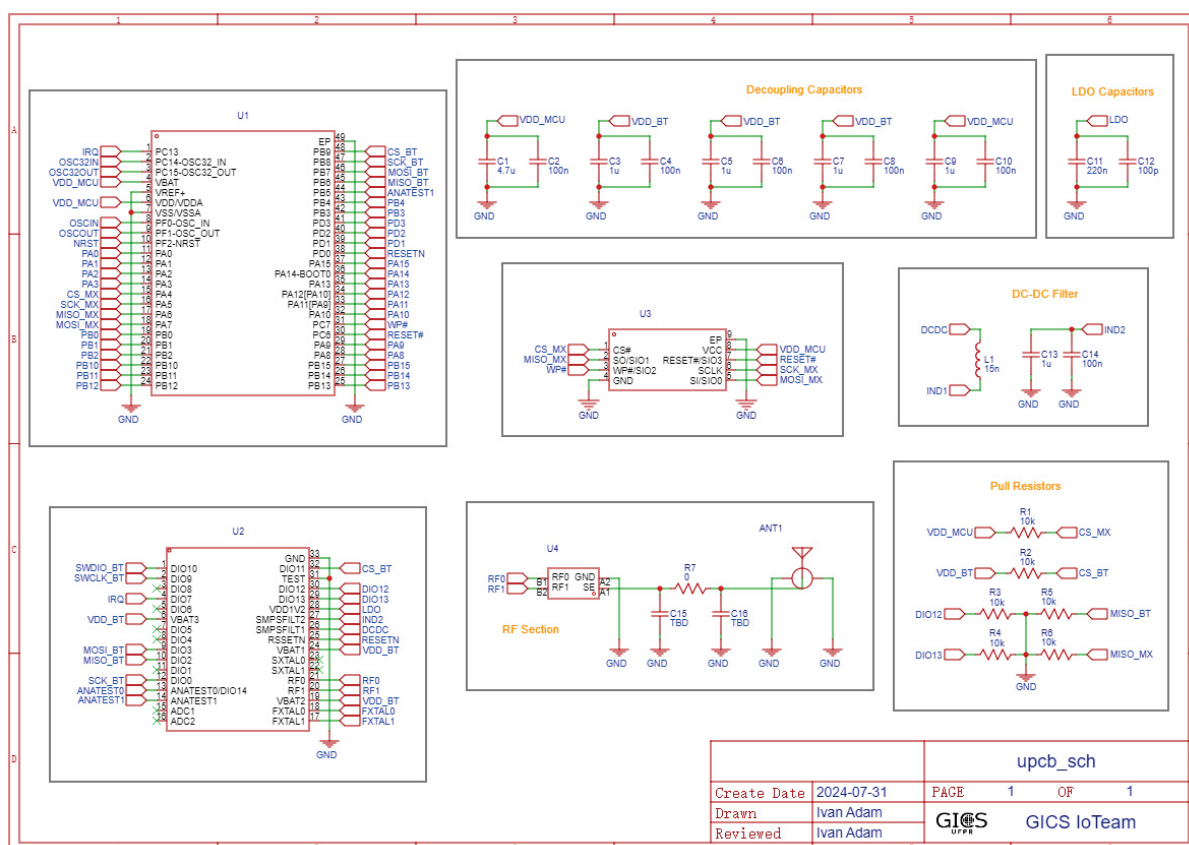
Outra alteração de esquemático com relação à primeira versão foi a adição da memória e seus capacitores de desacoplamento. Um par de 1 μ F e 100 nF foi conectado à alimentação da memória, seguindo os mesmos valores dos capacitores de desacoplamento do transceptor.

Por fim, a ficha técnica do transceptor BLE recomenda que as GPIOs DIO12 e DIO13 tenham cada uma um resistor de *pull-down* externo caso não estejam sendo

utilizadas, para evitar fugas de corrente. Como este é o caso dessa versão do projeto, resistores de 10 k Ω também foram adicionados para este efeito.

O esquemático completo foi desenhado no software EasyEDA em sua versão profissional (EasyEDA Pro) e está mostrado na Figura 58. O Quadro 3 lista a relação de componentes utilizados.

FIGURA 58 – ESQUEMÁTICO COMPLETO DA SEGUNDA VERSÃO DA MICRO-PCB



FONTE: O autor.

5.4 LAYOUT DA MICRO-PCB

Tal como na primeira versão, previu-se a fabricação de uma PCB com quatro camadas e núcleo de FR4, porém dessa vez empregando técnicas HDI. Especificou-se uma espessura de 0,6 mm para obedecer às restrições de altura do molde de produção. Entre os *stack-ups* já fornecidos pela PCBWay e que se encaixam nas descrições acima, foi escolhido o representado pela Figura 59. Os tipos de *prepreg* aplicados, sua

QUADRO 3 – DESCRIÇÃO DOS COMPONENTES DA SEGUNDA VERSÃO DA MICRO-PCB

Componente	Descrição
U1	Microcontrolador
U2	Transceptor
U3	Memória <i>flash</i>
U4	<i>Balun</i>
ANT1	Antena
C1, C2	Capacitores de desacoplamento do microcontrolador
C3, C4, C5, C6, C7, C8	Capacitores de desacoplamento dos pinos VBAT do transceptor
C9, C10	Capacitores de desacoplamento da memória <i>flash</i>
C11, C12	Capacitores de desacoplamento do LDO do transceptor
C13, C14	Capacitores de filtragem do conversor <i>buck</i>
L1	Indutor de filtragem do conversor <i>buck</i> (15 nH)
R1, R2, R3, R4, R5, R6	Resistores <i>pull-up</i> e <i>pull-down</i>
C15, C16	Capacitores da rede de casamento de impedâncias
R7	Resistor de 0 Ω substituindo o indutor da rede de casamento de impedâncias

FONTE: O autor.

espessura e sua constante dielétrica também estão indicados.

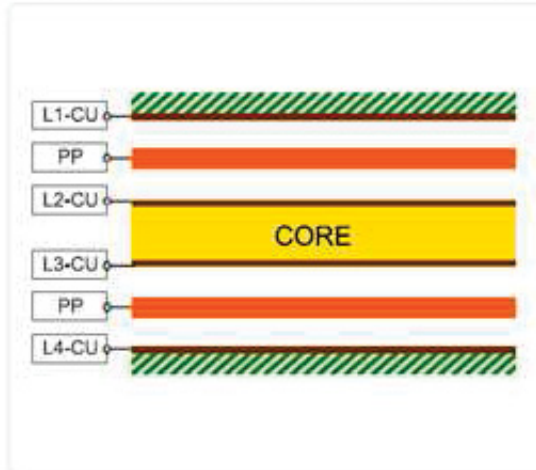
Adotou-se a seguinte estratégia de roteamento para cada camada:

- *Top Layer* (Camada Superior): componentes, RF e GND;
- *Inner Layer 1* (Camada Interna 1): GND;
- *Inner Layer 2* (Camada Interna 2): sinais e GND;
- *Bottom Layer* (Camada Inferior): *pad ring*, *thermal pads*, alimentação e GND.

A abordagem para o *stack-up* da segunda versão foi mudada devido à necessidade de *thermal pads* na camada inferior para prevenir problemas de aquecimento. O gerenciamento térmico em um SiP é crucial devido à sua grande densidade de sinais e componentes. Logo, focou-se em rotear a maioria dos sinais na camada interna

FIGURA 59 – *STACK-UP* DA PCBWAY SEGUNDO O QUAL A PCB FOI PROJETADA

Thickness: **0.6MM** Finished Outer Copper: **1OZ** Inner Copper: **1OZ** Inner layer Residual copper ratio: **70%**



Layer	Material	Thickness (mm)	Thickness after lamination(mm)
L1-CU	Outer Base Copper 0.5OZ	0,0175	0,0175 (Plating to 1OZ)
PP	3313 RC58% DK:4.27	0.1030	0.0925
L2-CU	Inner Copper 1OZ	0.0350	0.3 (Core with Cu)
CORE	Core DK:4.6	0.2300	
L3-CU	Inner Copper 1OZ	0.0350	0.0925
PP	3313 RC58% DK:4.27	0.1030	
L4-CU	Outer Base Copper 0.5OZ	0.0175	0.0175 (Plating to 1OZ)

FONTE: O autor.

2, logo acima da inferior. Dessa forma, tanto a camada de RF quanto a de demais sinais (camadas ímpares) continuam a ter uma camada de referência (camadas pares) composta majoritariamente por um plano contínuo de GND.

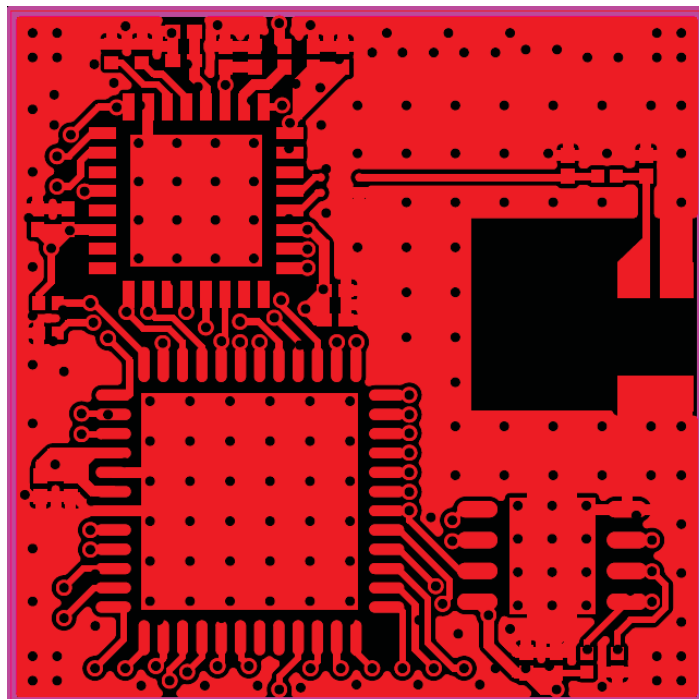
Como informado anteriormente, a contratação da PCBWay possibilita o uso de *blind/buried* vias para PCBs HDI. Todos os tipos de conexões entre camadas foram configurados, ou seja, vias entre as camadas 1–2, 1–3, 1–4, 2–3, 2–4 e 3–4. O diâmetro mínimo de furação disponível é de 0,1 mm com máquinas a laser, porém, a fim de reduzir os riscos decorrentes de técnicas extremas de fabricação, optou-se por definir seu diâmetro mínimo como 0,25 mm (10 mils) nas regras de design. A largura mínima de trilhas foi fixada em 6 mils e o espaçamento entre elas, em 3 mils.

Como ponto de partida para o posicionamento dos componentes, imaginou-se a placa dividida em quatro quadrantes, cada um ocupado por um dos quatro circuitos de maior superfície: o transceptor BLE, o microcontrolador, a memória *flash* e a antena com sua área de *clearance*. Tal como recomendado pela ficha técnica da antena, esta foi posicionada no centro de uma das arestas da micro-PCI, conforme a Figura 22, e estabeleceu-se que essa aresta não iria conter *pads* em sua extensão.

As Figuras 60 a 63 mostram o roteamento nas quatro camadas da micro-PCB. As dimensões da placa são 17,96 x 17,93 mm, representando uma redução de 52% de

área total comparando-a com a primeira micro-PCB.

FIGURA 60 – LAYOUT DA SEGUNDA VERSÃO DA MICRO-PCB, CAMADA SUPERIOR

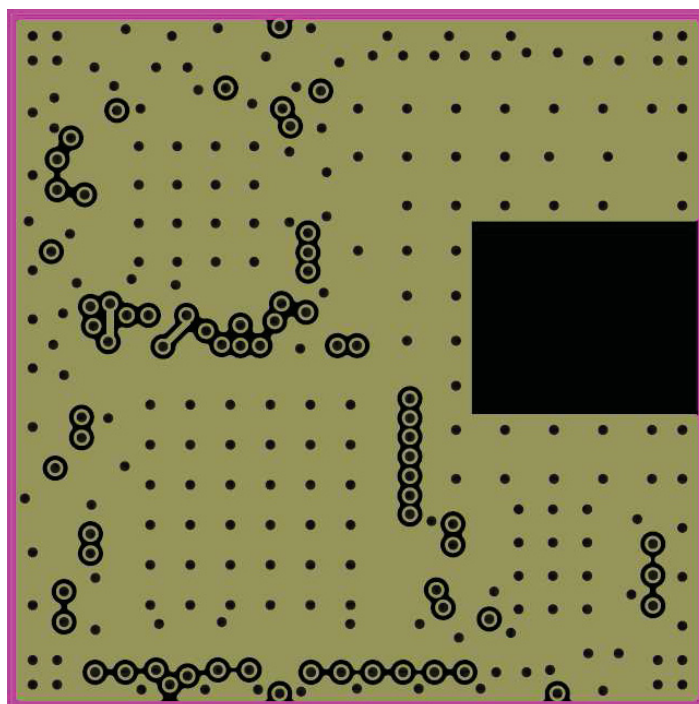


FONTE: O autor.

Em seguida, foi definido o *pad ring* da micro-PCB. Como ponto de partida, definiu-se que os *pads* teriam as mesmas dimensões dos *pads* de um encapsulamento padrão QFP (*quad flat package*) e então eles foram distribuídos em torno das três arestas disponíveis, na camada inferior. Todos os pinos propostos na etapa de esquemático puderam ser acomodados no *pad ring* e os *pads* restantes sem conexão foram ligados ao GND. Também na camada inferior, foram adicionados *test points* conectados a sinais do SiP que serão inacessíveis ao usuário, como os barramentos SPI.

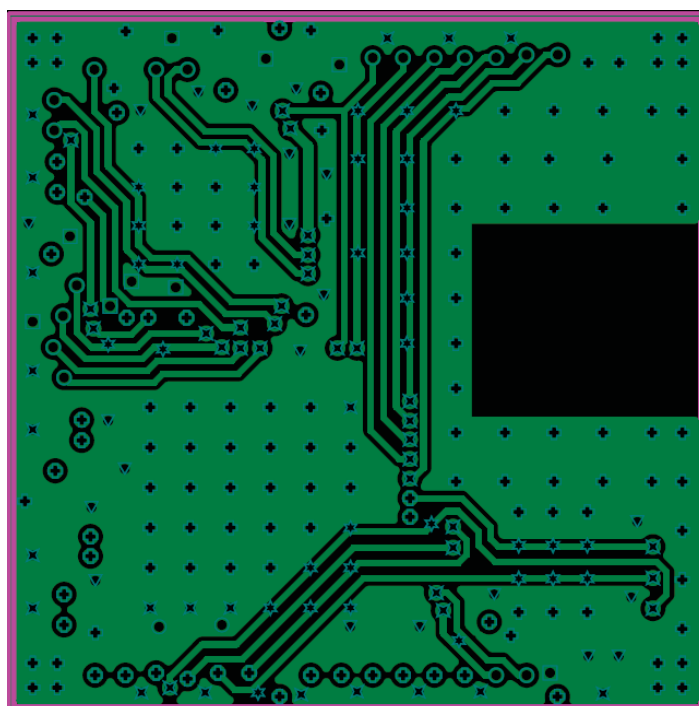
Os capacitores de desacoplamento e os componentes do filtro do conversor *buck* foram mantidos o mais próximo possível dos pinos aos quais deveriam ser conectados. Algumas trilhas de alimentação dos CIs foram interconectadas de modo a constituir dois blocos de alimentação: um relativo ao microcontrolador e à memória e outro relativo ao transceptor. Isso traz maior facilidade para medições de consumo do sistema e para o roteamento de uma placa que venha a usar o SiP. Ilhas de GND foram criadas em todas as camadas sempre que possível e vias de GND foram dispostas no perímetro da placa para fins de blindagem.

FIGURA 61 – LAYOUT DA SEGUNDA VERSÃO DA MICRO-PCB, CAMADA INTERNA 1



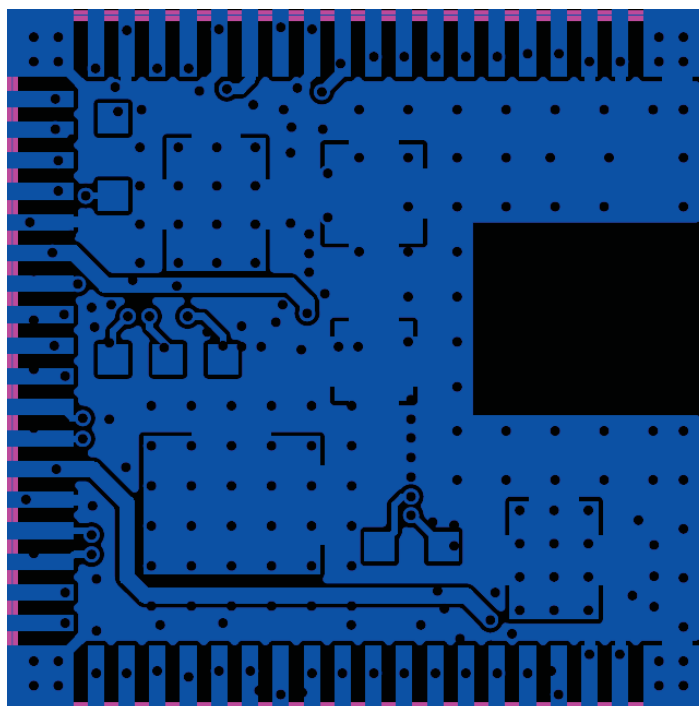
FONTE: O autor.

FIGURA 62 – LAYOUT DA SEGUNDA VERSÃO DA MICRO-PCB, CAMADA INTERNA 2



FONTE: O autor.

FIGURA 63 – LAYOUT DA SEGUNDA VERSÃO DA MICRO-PCB, CAMADA INFERIOR



FONTE: O autor.

A linha de transmissão entre o *balun* e a antena foi projetada como uma linha coplanar aterrada e sua largura foi dimensionada através da ferramenta LineCalc do ADS, usando os dados do *stack-up* da Figura 59. A largura calculada foi de 6,9 mils. Os *footprints* da rede de adaptação de impedâncias foram posicionados logo antes do pino de sinal da antena. Para que a *feed line* não invadisse a área de *clearance*, garantindo que a impedância de entrada da antena seja próxima a 50Ω em 2,44 GHz, o *balun*, a linha coplanar e a rede de casamento precisaram ser deslocados no sentido do eixo *y* no *layout*. Dessa forma, a antena e seu *clearance* ficam seguramente distantes da memória. Vias uniformemente espaçadas foram dispostas sobre o plano de GND nas proximidades da linha de transmissão e da antena, baseando-se na abordagem de Hageman (2013).

5.5 SIMULAÇÕES DE ACOPLAMENTO E IMPEDÂNCIA

Devido ao maior grau de compacidade na segunda versão das micro-PCBs, foram conduzidas simulações eletromagnéticas para verificar a impedância da linha coplanar aterrada e o acoplamento entre trilhas, tanto da mesma camada como através

do substrato. As simulações se deram no software Orcad da Cadence Design Systems, após a devida importação dos arquivos de fabricação (arquivos Gerber) da micro-PCB.

Um acoplamento eletromagnético ocorre quando o chaveamento de um sinal em uma conexão (o agressor) induz ruído em outra conexão (a vítima). Coeficientes de acoplamento são definidos como a razão entre o nível de tensão induzida na vítima e o nível de tensão no agressor (CADENCE, 2024a). Como essa versão da micro-PCB possui restrições rigorosas de tamanho, decidiu-se que o máximo coeficiente de acoplamento permitido seria de 20%, um valor razoável considerando-se os tempos de subida dos sinais digitais presentes na placa.

Simulações iniciais acusaram coeficientes de 30% entre determinadas trilhas, principalmente entre a camada interna 2 e a camada inferior devido à fina espessura do substrato entre elas. As soluções tomadas, seguindo as técnicas apontadas por Peterson (2023), foram deslocar as trilhas para que não ficassem sobrepostas, no caso de acoplamentos entre camadas diferentes, ou para aumentar a distância entre elas, no caso de acoplamentos na mesma camada. A Figura 64 mostra os resultados obtidos após os devidos ajustes no *layout*, com os coeficientes de acoplamento não ultrapassando 20%. Os níveis de acoplamento são destacados nas Figuras 65 a 68. Um resultado notável é ausência de acoplamentos devidos ao circuito de RF.

Um detalhe curioso ao se observar a Figura 67 são as mudanças no nível de acoplamento em trilhas cujos arredores parecem não sofrer alteração. Isso é verificado nas trilhas verticais no centro da PCB, com coloração variando entre azul e amarelo, e nas trilhas horizontais na parte inferior da PCB, variando entre azul e verde. A justificativa para isso são os *thermal pads* posicionados abaixo dessas trilhas, de tal modo que os trechos amarelos e verdes mencionados referem-se ao acoplamento entre as trilhas e os *thermal pads*.

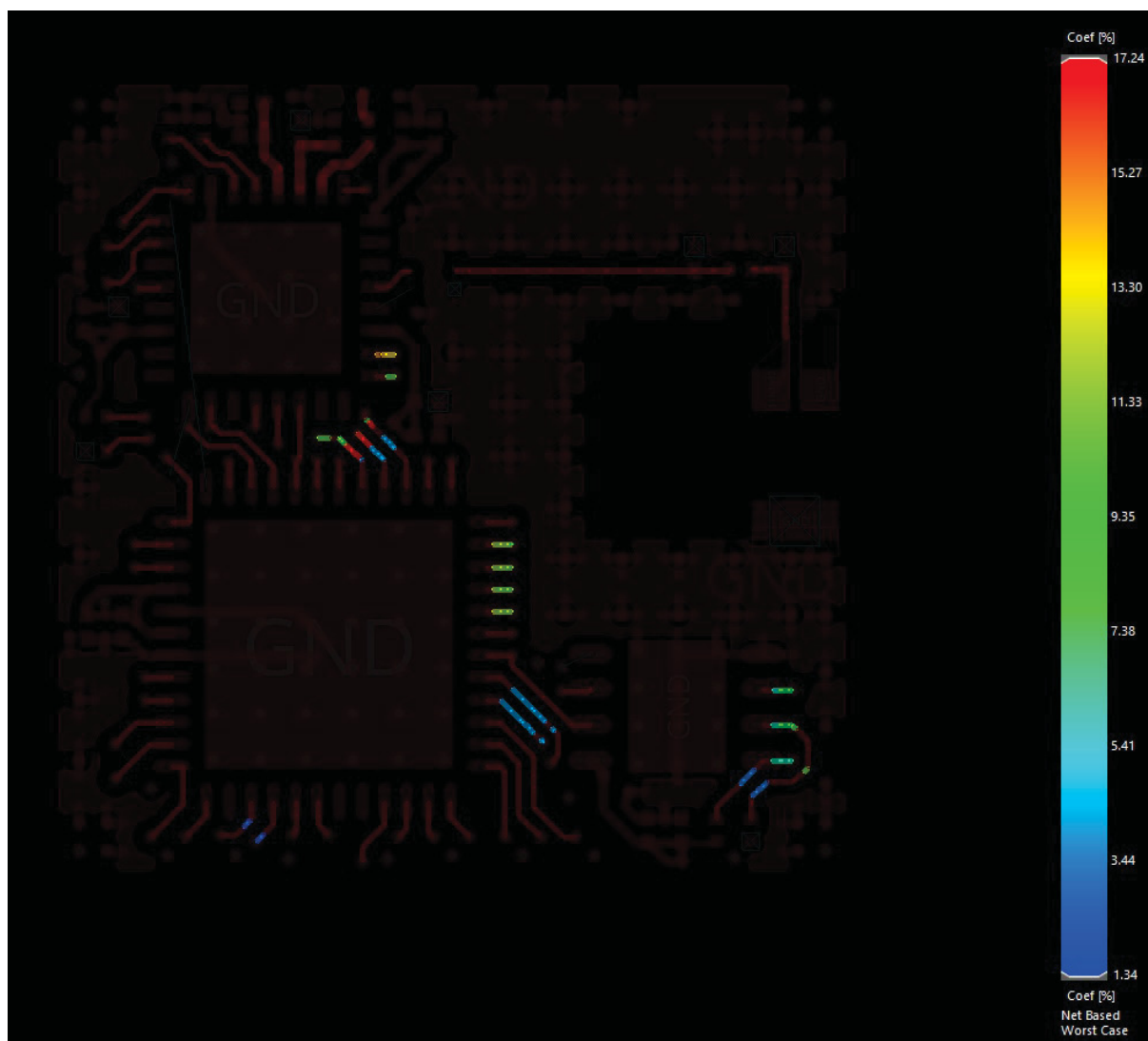
Os resultados das simulações de impedância sobre a linha coplanar aterrada são mostrados na Figura 69, com os respectivos valores destacados no *layout* na Figura 70. As simulações foram executadas para a frequência central da banda do BLE (2,44 GHz). Pode-se notar que a impedância se manteve entre $48\ \Omega$ e $48,5\ \Omega$ em toda sua extensão, representando um bom projeto com 4% a menos do valor pretendido.

FIGURA 64 – RESULTADOS DA SIMULAÇÃO DE ACOPLAMENTO

Net Name	Aggressor Net Name	Max Coupling		% Length with Coupling Coef		Total Coupling Index (millimeters-%)
		Coef (%)	Length (%)	> 5%	2%~5%	
*	*	*	*	*	*	*
FXTAL0	FXTAL1	17.20	4.98	46.23	4.83	37.21
FXTAL1	FXTAL0	17.20	1.40	42.49	2.62	31.14
PD1	PD2	17.20	2.96	41.77	4.44	64.09
PD2	PD1	17.20	1.56	55.88	12.90	103.26
PD3	PD2	17.00	2.63	42.92	8.28	69.99
ANATEST1	PB4	16.00	1.80	33.11	21.55	36.72
IRQ	PD3	16.00	0.39	29.99	9.71	36.60
PA10	PA14	16.00	2.55	49.31	22.20	127.27
PA13	PA14	16.00	1.08	54.91	32.42	209.73
PA14	PA10	16.00	3.13	61.76	29.93	191.65
PB4	ANATEST1	16.00	2.07	27.55	14.53	24.96
ANATEST0	ANATEST1	15.80	4.42	14.08	19.12	14.27
PA8	PA9	14.80	4.79	13.54	24.88	13.15
PA9	PA8	14.80	4.82	13.74	24.43	13.11
PA11	PA12	14.80	3.62	51.53	31.65	191.92
PA12	PA11	14.80	3.73	60.91	30.85	226.86
CS_BT	IRQ	14.40	3.28	9.94	18.46	17.29
RESETN	PA15	14.30	27.04	31.70	30.97	80.71
PA15	PA11	13.80	3.25	42.26	45.68	132.96
MISO_MX	MOSI_MX	12.90	3.22	27.53	14.06	75.05
MOSI_MX	MISO_MX	12.90	6.43	40.75	26.92	61.26
CS_MX	SCK_MX	12.00	0.80	30.33	18.07	112.41
SCK_MX	CS_MX	12.00	1.65	35.42	25.58	69.02
WP#	CS_MX	10.50	25.39	34.73	15.88	46.98
\$1N1985	----	0.00	0.00	0.00	0.00	0.00
\$1N1992	----	0.00	0.00	0.00	0.00	0.00
DCDC	----	0.00	0.00	0.00	0.00	0.00
DIO12	----	0.00	0.00	0.00	0.00	0.00
DIO13	----	0.00	0.00	0.00	0.00	0.00
IND1	----	0.00	0.00	0.00	0.00	0.00
IND2	----	0.00	0.00	0.00	0.00	0.00
LDO	----	0.00	0.00	0.00	0.00	0.00

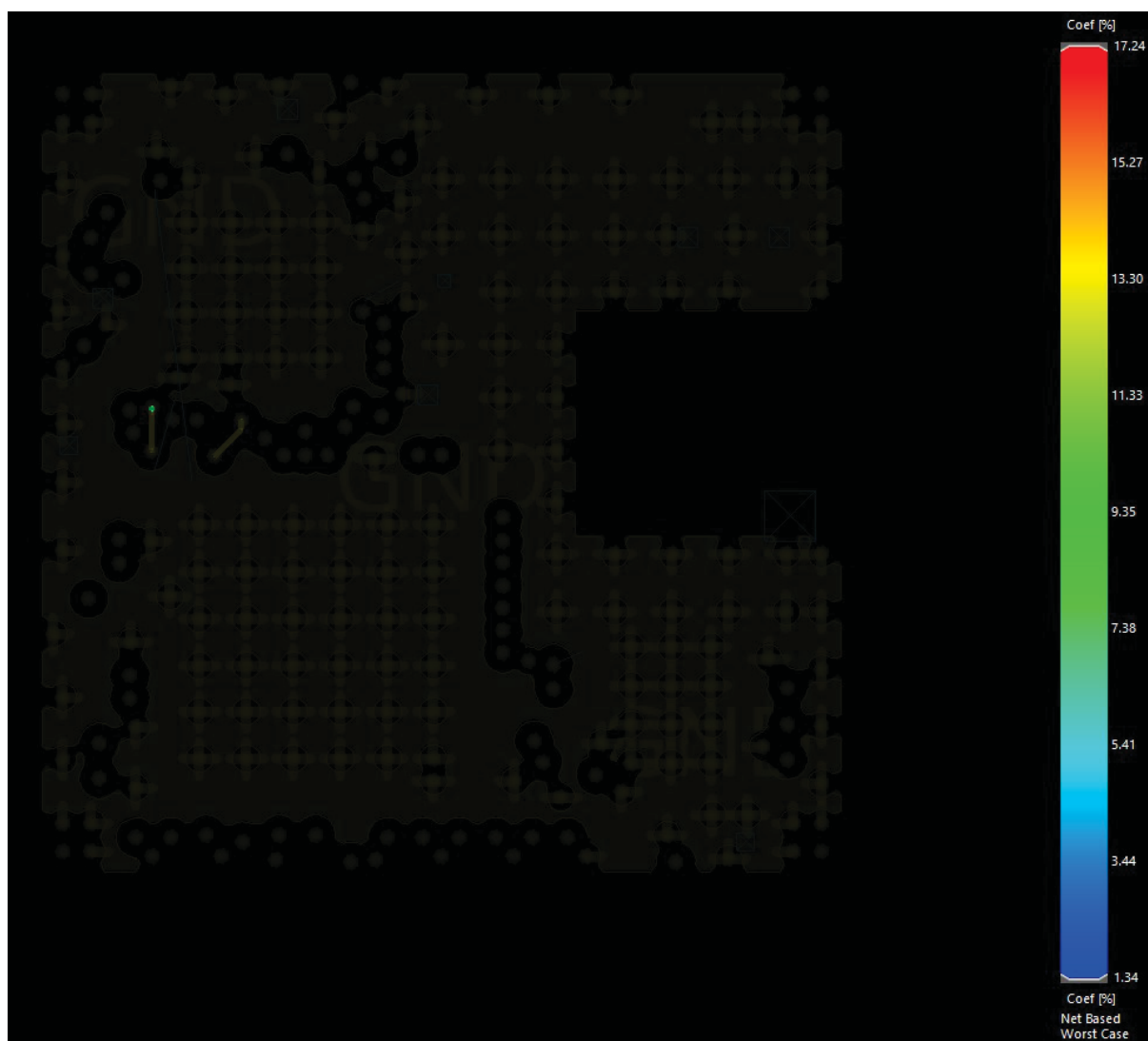
FONTE: O autor.

FIGURA 65 – REALCE DOS ACOPLAMENTOS NA CAMADA SUPERIOR



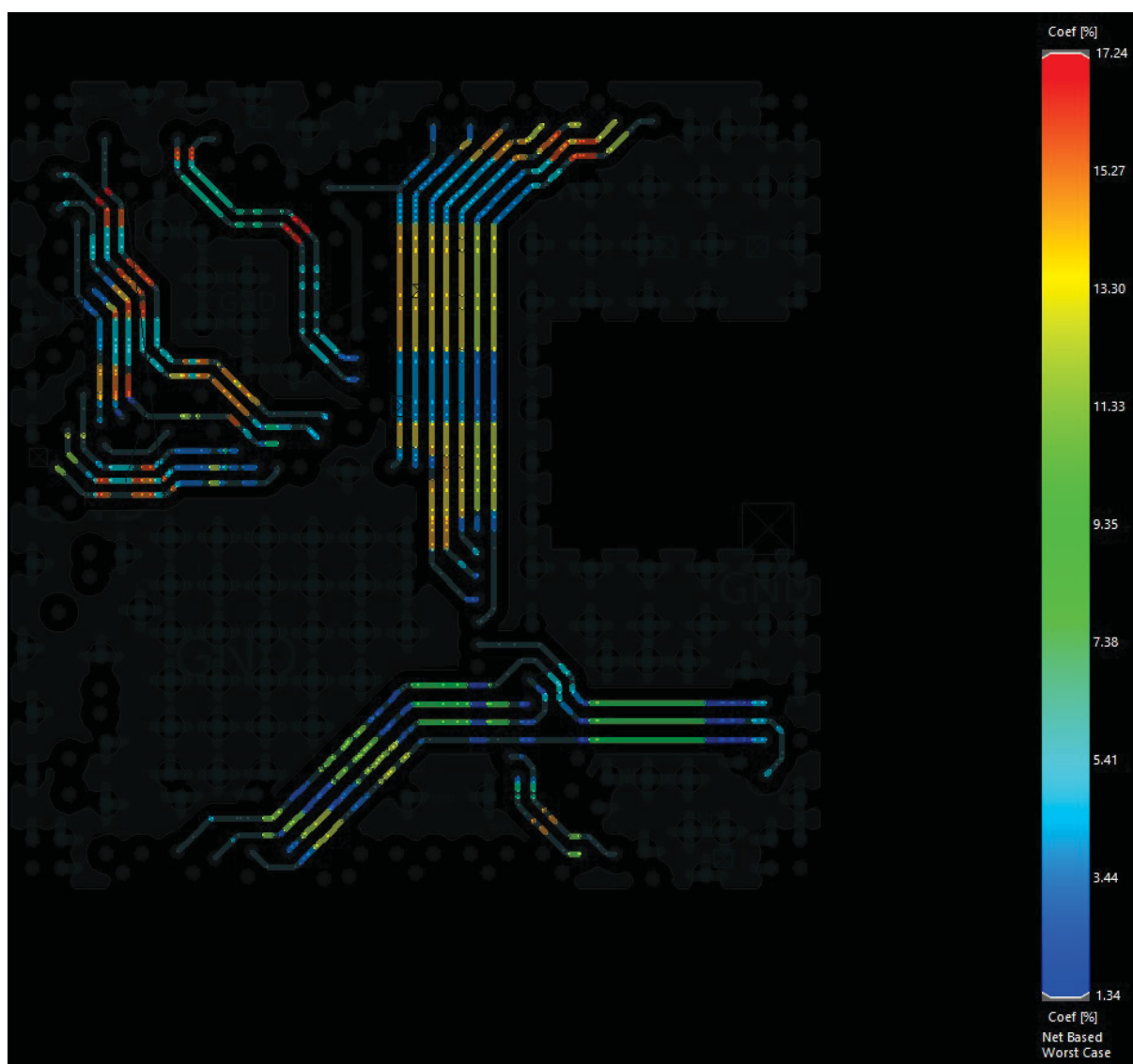
FONTE: O autor.

FIGURA 66 – REALCE DOS ACOPLAMENTOS NA CAMADA INTERNA 1



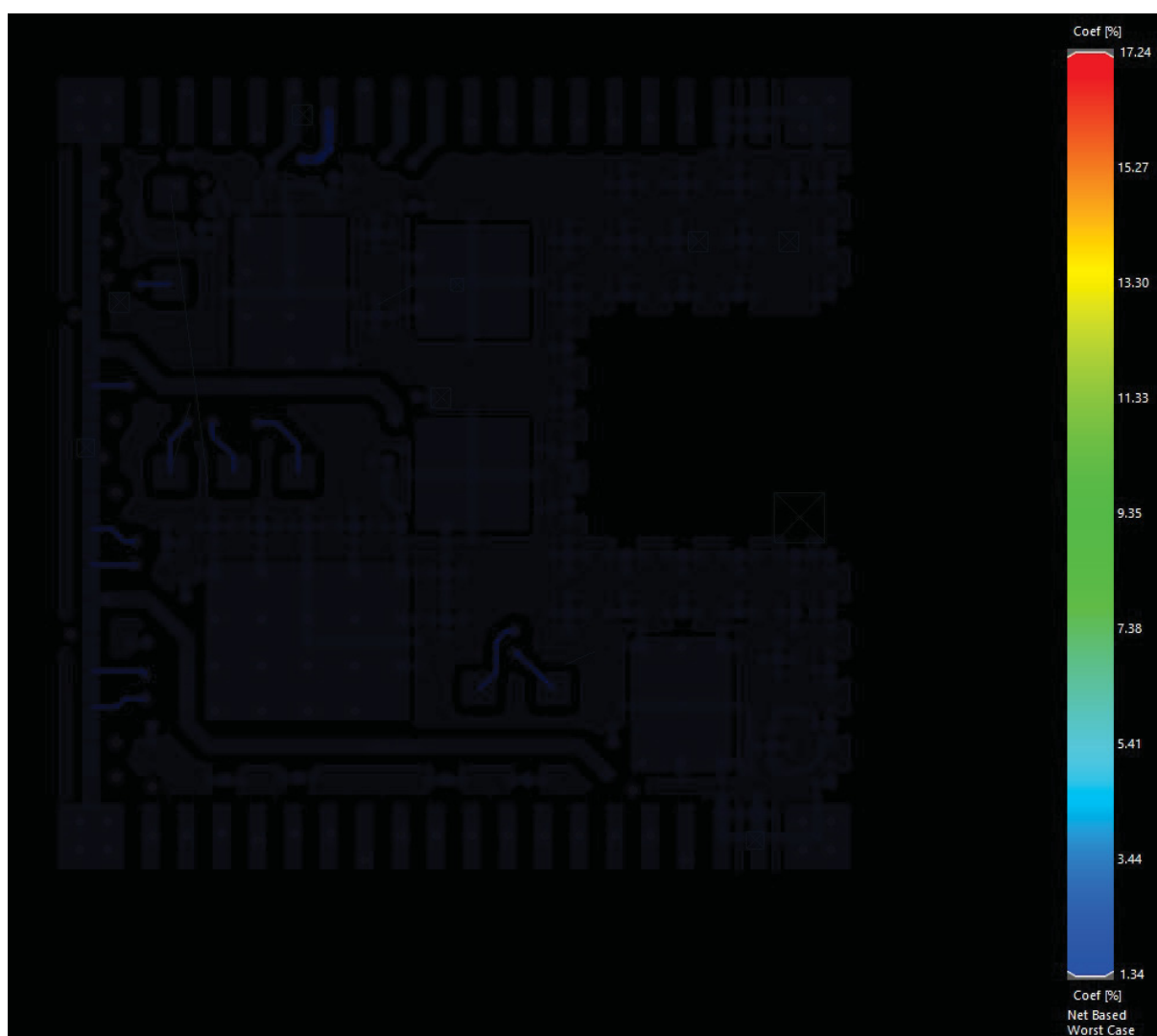
FONTE: O autor.

FIGURA 67 – REALCE DOS ACOPLAMENTOS NA CAMADA INTERNA 2



FONTE: O autor.

FIGURA 68 – REALCE DOS ACOPLAMENTOS NA CAMADA INFERIOR



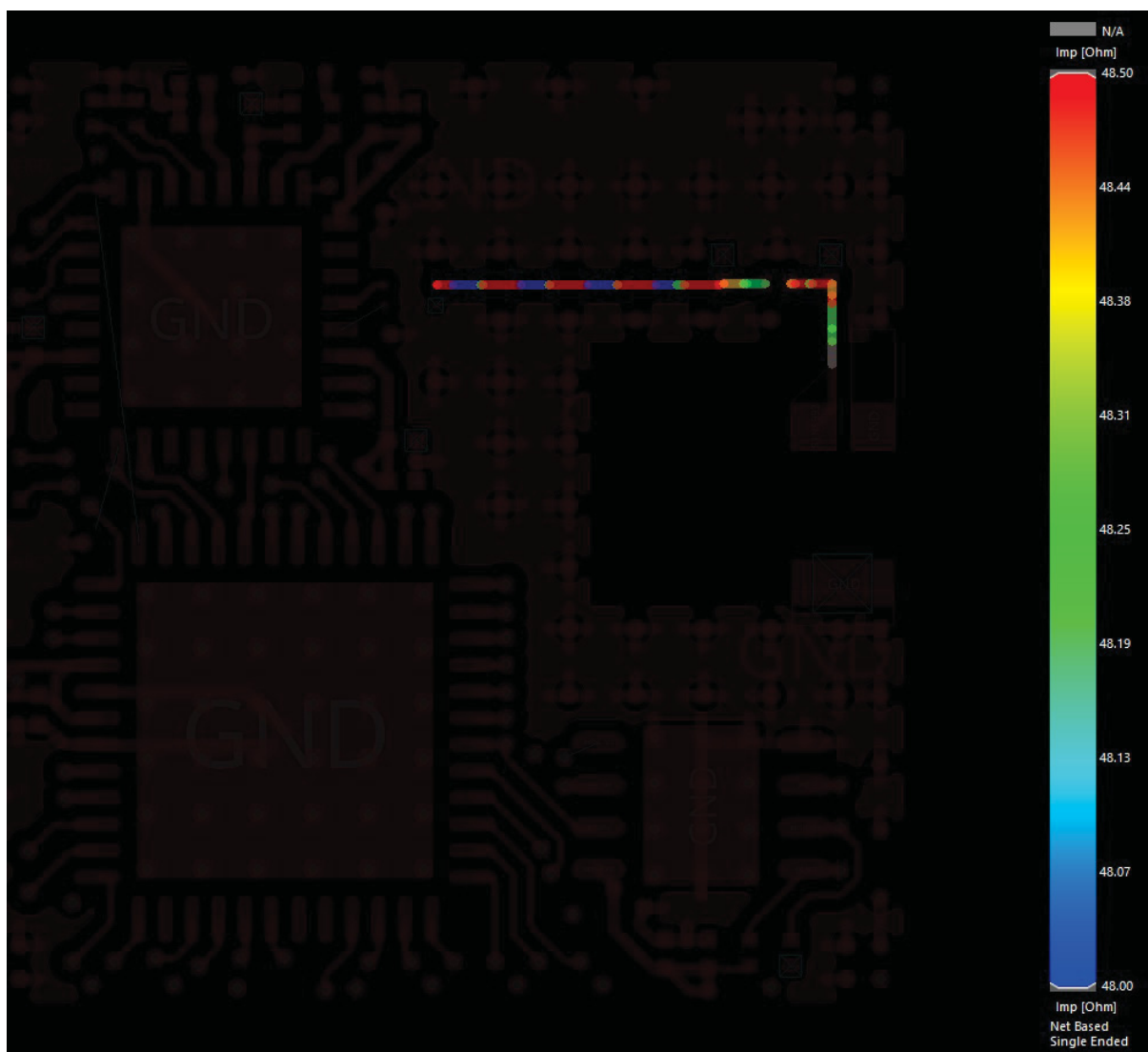
FONTE: O autor.

FIGURA 69 – RESULTADOS DA SIMULAÇÃO DE IMPEDÂNCIA

Net Name ^	Vias	No Ref	Impedance (Ω)	
			Max	Min
*	*	*	*	*
\$1N1985	0	0	48.50	48.00
\$1N1992	0	1	48.50	48.30
Detailed Table				
Impedance (Ω) ▾	Length	Trace Delay (ps)	Layer	R (mΩ) ▾
*	*	*	*	*
48.50	0.0000	0.00	TOP	0.002
48.50	0.0120	0.10	TOP	0.067
48.50	0.0000	0.00	TOP	0.001
48.50	0.0980	0.60	TOP	0.537
48.50	0.3080	1.90	TOP	1.684
48.50	0.7160	4.50	TOP	3.916
48.50	0.7160	4.50	TOP	3.916
48.50	0.7160	4.50	TOP	3.916
48.50	0.6360	4.00	TOP	3.479
48.40	0.3620	2.30	TOP	1.979
48.30	0.0760	0.50	TOP	0.415
48.30	0.0300	0.20	TOP	0.163
48.30	0.0300	0.20	TOP	0.163
48.30	0.0300	0.20	TOP	0.163
48.30	0.1570	1.00	TOP	0.858
48.20	0.3320	2.10	TOP	1.818
48.00	0.5340	3.30	TOP	2.924
48.00	0.5240	3.30	TOP	2.868
48.00	0.5240	3.30	TOP	2.868
48.00	0.3970	2.50	TOP	2.173

FONTE: O autor.

FIGURA 70 – REALCE DA IMPEDÂNCIA DA LINHA COPLANAR ATERRADA



FONTE: O autor.

6 ANÁLISE DOS IMPACTOS DE MINIATURIZAÇÃO

Neste capítulo serão conduzidas análises comparativas entre as placas apresentadas, a fim de descrever como a miniaturização de PCBs de RF afeta no desenvolvimento do projeto, positiva e negativamente. As discussões envolverão a comparação entre a primeira e a segunda versões da micro-PCB e os parâmetros que serão levados em consideração durante a análise são tais como complexidade de fabricação, custo de produção, integridade de sinal e gerenciamento térmico.

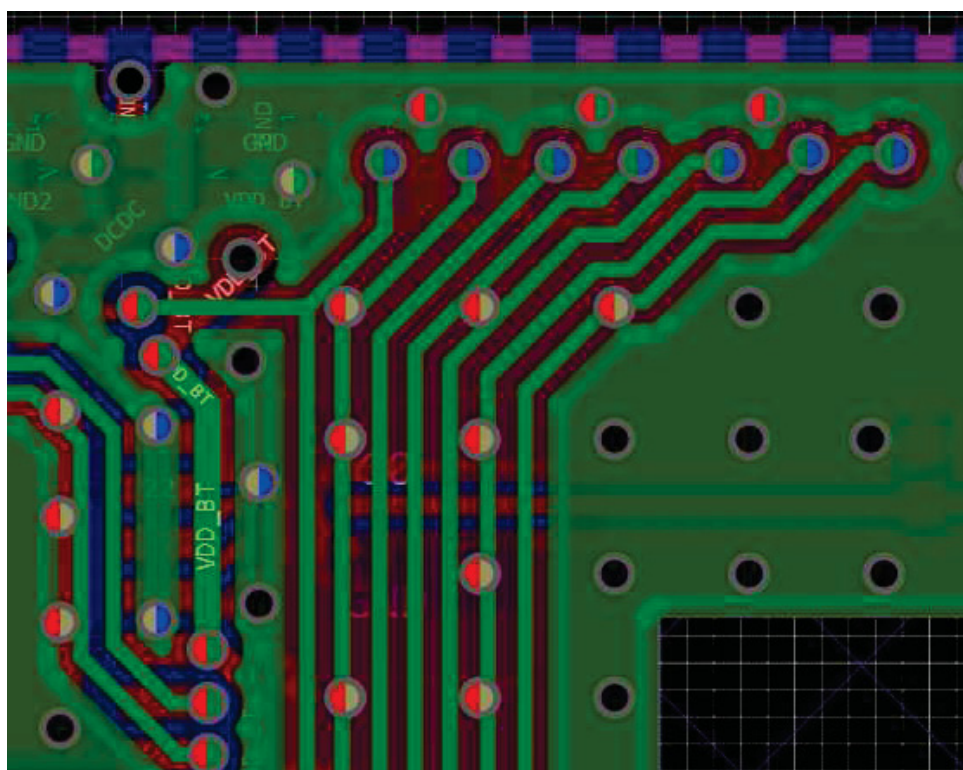
A diferença mais significativa entre as versões das PCBs descritas neste documento é representada pela miniaturização presente na segunda versão. A primeira micro-PCB apresenta 29,06 x 23,11 mm (25,53 x 23,11 mm sem *clearance*) enquanto a segunda, 17,96 x 17,93 mm, representando uma redução de 52% na área total. Isso só foi possível graças ao aumento da complexidade de fabricação, deixando de ser uma PCB convencional como na primeira versão para aplicar técnicas de HDI na segunda.

6.1 COMPLEXIDADE DO PROJETO

A presença de *blind/buried vias* permitiu que trilhas pudessem ser traçadas em locais que de outra forma estariam ocupados por uma via passante. Isso aumenta consideravelmente o espaço disponível para roteamento nas camadas internas. Outra vantagem do uso de *blind/buried vias* foi o aumento da quantidade de pinos no SiP, uma vez que trilhas de sinal da camada interna 2 apenas puderam ser roteadas abaixo da linha de transmissão com a substituição de algumas das vias passantes de GND por *blind vias*, como mostrado na Figura 71. Dessa forma, a sobreposição entre essas trilhas da camada interna 2 e as *blind vias* de GND não geram violações no circuito.

Outro efeito da miniaturização são os menores limites de fabricação quanto a trilhas, furos e espaçamento entre elementos da PCB, o que permitiu que os componentes fossem posicionados mais próximo uns dos outros. Dessa forma, a divisão da PCB em quadrantes possibilitou que a memória fosse adicionada sem comprometer o posicionamento dos demais componentes. Faz-se necessário, porém, a verificação dos efeitos de sua proximidade à antena assim que a segunda versão da PCB possa ser enviada para fabricação.

FIGURA 71 – DETALHE DO LAYOUT DA CAMADA INTERNA 2 DA SEGUNDA MICRO-PCB COM TRILHAS DE SINAL E *BLIND VIAS* SOBREPOSTAS



FONTE: O autor.

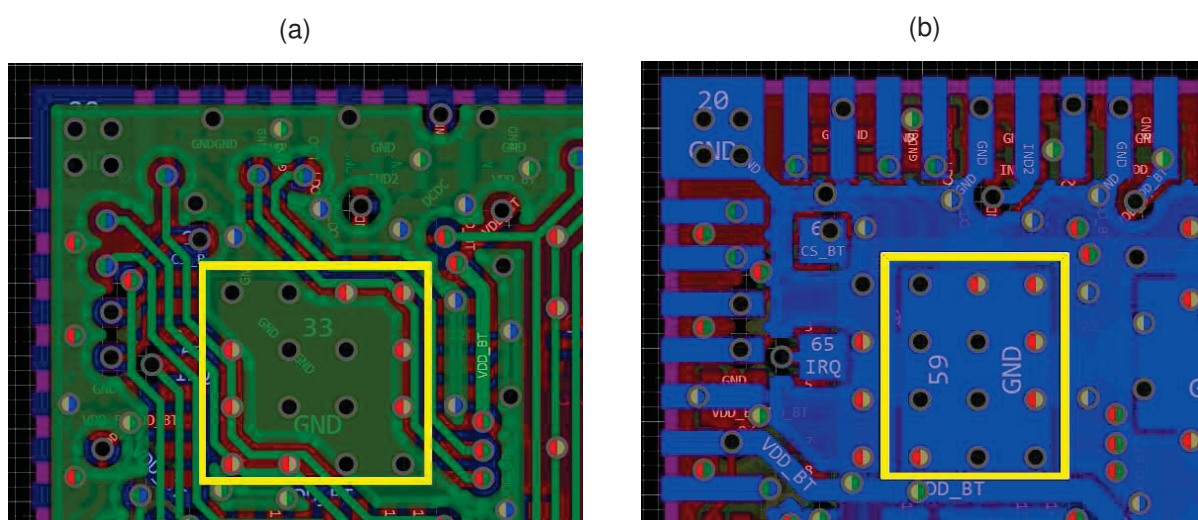
6.2 GERENCIAMENTO TÉRMICO

Como teorizado anteriormente, placas com espaço reduzido têm maior densidade de componentes e menos superfície para dissipação de calor, exigindo estratégias de projeto para evitar que os componentes operem próximo a seus limites de temperatura. No caso de PCBs que são montadas sobre outra PCB que servirá como base, isso se dá normalmente pela adição de *thermal pads* em seu ponto de contato com essa base. *Thermal vias* também são posicionadas para que o calor seja distribuído em toda a espessura do substrato, diminuindo sua resistência térmica (PETERSON, 2021a).

Das micro-PCBs aqui descritas, *thermal pads* foram adicionados somente na segunda versão. Para cada *thermal pad* dos CIs presentes na PCB, foi previsto um outro *thermal pad* na camada inferior, de dimensões comparáveis. A conexão entre eles foi realizada através de vias passantes, que, como mencionado na seção anterior, dificultam o roteamento em regiões próximas a elas. Deve-se, então, estabelecer um

compromisso entre dissipação térmica e demanda de se traçar trilhas próximo a *thermal pads* de CIs. Na necessidade de se rotear trilhas em camadas mais inferiores que atravessassem a região dos *thermal pads* dos CIs, a solução adotada foi contorná-los o máximo possível para que mais vias passantes pudessem se conectar ao *thermal pad*, como mostrado pelo trecho de *layout* na Figura 72. Pode-se ver que a região do transceptor BLE foi povoada com *blind vias* nas bordas do *thermal pad* (em amarelo) e com vias passantes no centro, desempenhando o papel de *thermal vias*.

FIGURA 72 – REGIÃO DO TRANSCEPTOR BLE NO LAYOUT DA SEGUNDA VERSÃO DA MICRO-PCB



FONTE: O autor.

LEGENDA: (a) Camada interna 2; (b) camada inferior.

Além do impacto da seleção entre vias passantes ou *blind vias* nos *thermal pads*, a adição destes limita as possibilidades de roteamento na camada inferior. Isso faz com que a maioria dos sinais seja roteada em apenas uma camada, como é o caso deste estudo, ou que mais camadas condutoras sejam adicionadas ao *stack-up*, elevando custos de fabricação.

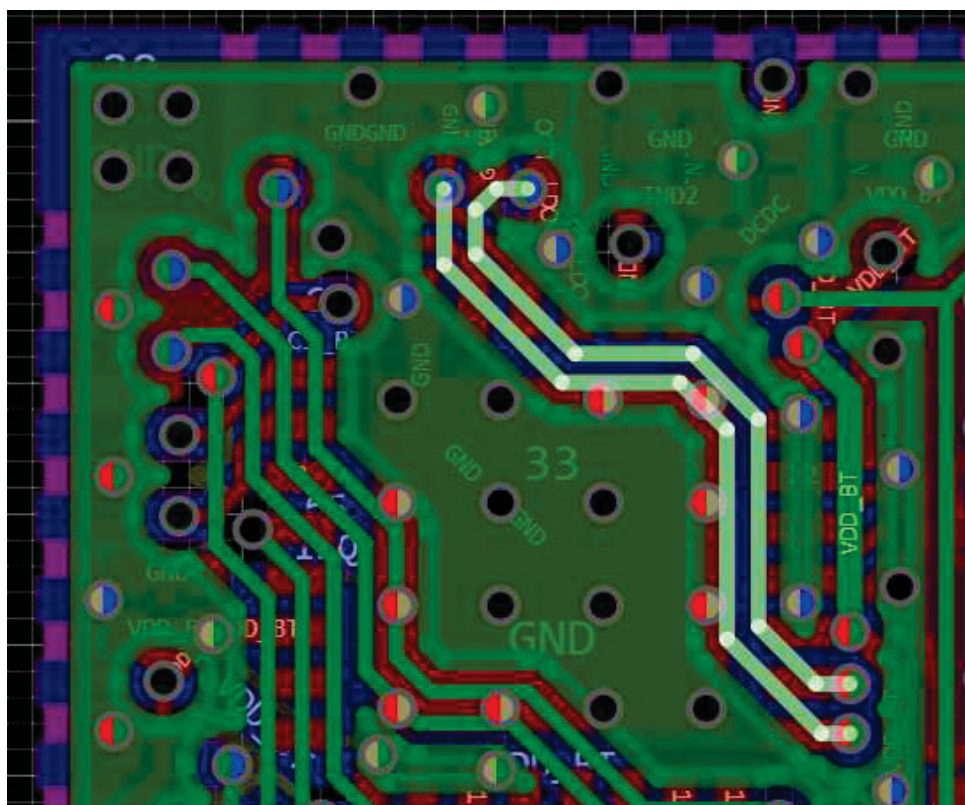
6.3 INTEGRIDADE DE SINAL E EFICIÊNCIA DE RADIAÇÃO

A maior densidade e proximidade de trilhas umas às outras prontamente aumenta a chance de acoplamento indesejado entre trilhas de uma PCB miniaturizada. Isso pôde ser confirmado pelas simulações presentes na Seção 5.5. A Figura 67,

referente aos sinais na camada interna 2, mostra que o maior acoplamento ocorreu esperadamente em trilhas mais próximas, devido às regras de design mais rigorosas da segunda micro-PCB.

Outro compromisso entre tamanho e desempenho reside nas trilhas do oscilador de 16 MHz do transceptor, mostradas na Figura 73. A primeira versão da micro-PCB tinha essas trilhas roteadas na camada superior, o que não é possível na segunda versão por causa da posição da memória *flash* e também pela proximidade a que elas ficariam da antena. Assim, foi necessário que as trilhas fossem traçadas na camada interna 2 por baixo do *thermal pad* do transceptor. Por consequência, vias da camada superior para a interna 2 precisaram ser adicionadas, inserindo mais componentes parasitas no sinal. Ademais, cuidado foi tomado para que as trilhas de *clock* se mantivessem rodeadas por planos de GND, evitando interferência em outras trilhas ou componentes.

FIGURA 73 – TRILHAS DO OSCILADOR DE 16 MHZ DO TRANSCEPTOR BLE ROTEADAS NA CAMADA INTERNA 2

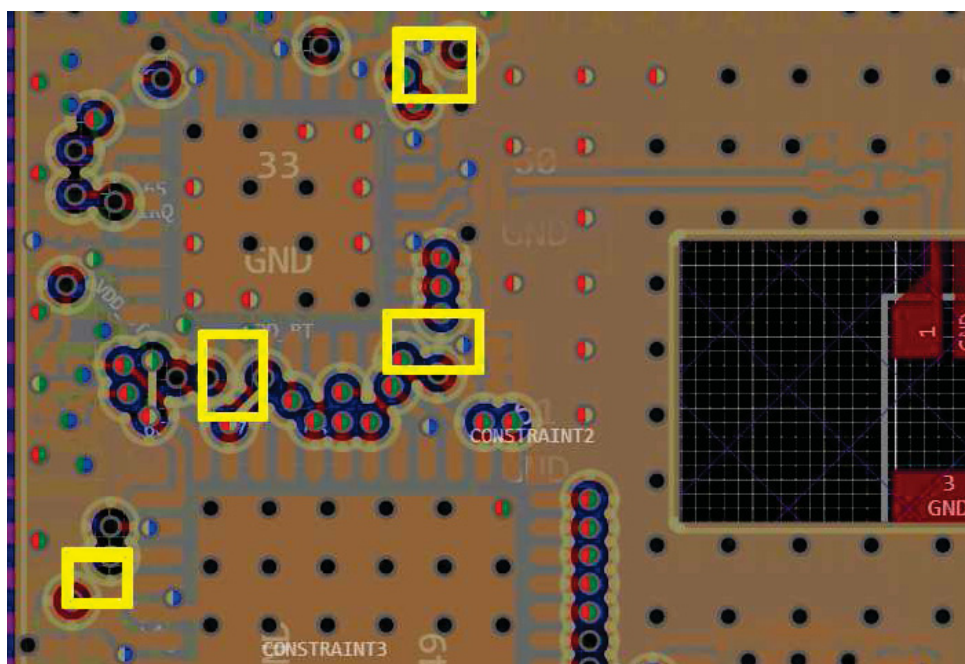


FONTE: O autor.

O uso de *blind/buried vias* no *layout* também trouxe dificuldades de projeto.

Devido à necessidade de se ter um plano de GND contínuo na camada interna 1, e devido à maioria dos sinais ter sido roteada na camada interna 2, *blind vias* foram usadas para conectar os *pads* dos componentes da camada superior até a interna 2. Isso significa que as *blind vias* inevitavelmente atravessaram a camada interna 1 em vários pontos, aumentando o trajeto de eventuais correntes de retorno e dificultando a dissipação de calor. Cuidado foi tomado para que conexões de GND entre longas fileiras de vias pudessem ser feitas, como mostra a Figura 74. Em projetos de múltiplas camadas que usam a mesma abordagem de roteamento, com plano de GND na camada imediatamente abaixo da superior, manter o plano contínuo torna-se mais difícil com espaço limitado e alta densidade de conexões.

FIGURA 74 – PLANO DE GND NA CAMADA INTERNA 1 COM DESTAQUE PARA AS CONEXÕES ENTRE LONGOS BLOCOS DE VIAS



FONTE: O autor.

Problemas relacionados ao substrato também podem se manifestar em PCBs com alta contagem de camadas e substratos mais finos. A diminuição da espessura do dielétrico acarreta menor largura de linhas de transmissão de microfita ou coplanares aterradas, devido à menor distância entre o condutor de sinal e seu plano de referência. Isso pode ser visto pela diminuição da largura da linha de 15 mils na primeira micro-PCB para 6,9 mils na segunda. Um efeito colateral dessa alteração são mais perdas de sinal

devido ao aumento da resistência da trilha e ao efeito pelicular em condutores de alta frequência (WHEELER, 1942).

Por fim, a redução de tamanho na PCB também não pode comprometer a funcionalidade da antena. Na proposta da segunda versão, há espaço suficiente para se manter a área de *clearance* tal como especificada na ficha técnica, potencializando a formação de padrões de radiação no mesmo formato dos mostrados nas Figuras 37a e 37b. Uma miniaturização extrema que remova o devido *clearance* e não o compense na placa sobre a qual a PCB será montada não é justificável, uma vez que implicará na antena não operando propriamente, como mostrado no Capítulo 4.

6.4 CUSTOS DE FABRICAÇÃO

Como último parâmetro do estudo, serão analisados os impactos de custo de fabricação e montagem das duas placas. Os valores serão avaliados em poucas unidades e em volume, para verificar o efeito da economia de matérias-primas em PCBs menores. A JLCPCB foi selecionada como fabricante da primeira versão e a PCBWay, como a da segunda. Esta análise leva em conta apenas os custos para fabricação e montagem das micro-PCBs, sem incluir seus componentes ou suas placas de desenvolvimento, pois a segunda versão da micro-PCB possui componentes adicionais e a miniaturização das placas de desenvolvimento não se mostra necessária.

O Quadro 4 reúne as configurações de fabricação que foram selecionadas nos sites da JLCPCB (JLCPCB, 2024b) e da PCBWay (PCBWAY, 2024c), conforme as necessidades de cada projeto. Em seguida, as Tabelas 5 e 6 trazem os custos de confecção e montagem nas duas fábricas, para 5 e 10.000 unidades respectivamente.

QUADRO 4 – CONFIGURAÇÕES SELECIONADAS NA JLCPCB E PCBWAY PARA ANÁLISE DE CUSTOS

Parâmetro	JLCPCB (primeira versão da PCB)	PCBWay (segunda versão da PCB)
Tamanho	29,06 x 23,11 mm	17,96 x 17,93 mm
Número de camadas	4	4
Tipo de fabricação	Padrão	HDI
Substrato	FR-4 TG 155	S1000H TG150
Espessura	0,8 mm	0,6 mm
Espessura/espacamento mínimo entre trilhas	4 mils	3 mils
Diâmetro mínimo das vias	0,3 mm	0,25 mm
Acabamento de superfície	ENIG (1U")	ENIG (1U")
Espessura do cobre nas camadas externas	1 oz	1 oz
Espessura do cobre nas camadas internas	0,5 oz	1 oz
Controle de impedância	Sim	Sim
<i>Via in pad</i>	Não	Não
Bordas com terminação em <i>castellation</i>	Sim (3 bordas)	Não
Número de partes únicas	12 componentes	13 componentes

FONTE: O autor.

TABELA 5 – CUSTOS DE CONFECÇÃO E MONTAGEM DE 5 UNIDADES NA JLCPCB E PCBWAY

	JLCPCB	PCBWay
Confecção	US\$ 127,23	US\$ 330,92
Montagem	US\$ 78,02	US\$ 88,00
Total	US\$ 205,25	US\$ 418,92

FONTE: O autor.

TABELA 6 – CUSTOS DE CONFECÇÃO E MONTAGEM DE 10.000 UNIDADES NA JLCPCB E PCBWAY

	JLCPCB	PCBWay
Confecção	US\$ 9.175,02	US\$ 2.027,25
Montagem	US\$ 9.511,04	US\$ 4.594,78
Total	US\$ 18.686,06	US\$ 6.622,03

FONTE: O autor.

Conclusões relevantes que podem ser tiradas das tabelas são como o efeito da miniaturização das PCBs contribui com o custo final de produção em massa. Isso era esperado, uma vez que os processos de confecção envolvem painéis de PCB com tamanhos pré-determinados por cada fábrica. Quanto menor o tamanho da placa, maior a quantidade de placas por painel (EURO CIRCUITS, 2013). O valor final da JLCPCB para 10.000 unidades foi de US\$ 18.686,06 contra US\$ 6.622,03 da PCBWay, representando uma economia de 64,56%. Contudo, para 5 unidades, o valor pela JLCPCB foi de US\$ 205,25 contra US\$ 418,92 da PCBWay, um aumento de 104,1%. Isto se deve ao preço mais elevado dos processos de fabricação de PCBs HDI, que se torna mais visível em volume menor.

Outro fato chamativo é o custo de confecção das PCBs contra o de montagem. Em quantidades menores, a fabricação das placas é mais cara, com os custos de montagem tornando-se mais expressivos em maiores volumes. Fatores que influenciam essa mudança são o trabalho mais moroso para carregar componentes em uma máquina *pick-and-place* e eventuais retrabalhos quando problemas de soldagem ocorrem, como *tombstoning*, curtos-circuitos provenientes de pontes de solda e componentes mal-posicionados (PETERSON, 2024).

7 CONCLUSÃO

A tendência de miniaturização de dispositivos tem sido uma das locomotivas dos avanços tecnológicos no ramo da eletrônica desde o século XX. A diminuição nas dimensões de PCBs a fim de abarcar cada vez mais funcionalidades em um pequeno espaço levou à evolução de técnicas de projeto e de processos de manufatura e montagem que pudessem atingir requisitos rigorosos com confiança. Projetistas de RF ainda têm o desafio de lidar com componentes parasitas, integridade de sinal e interferência eletromagnética em placas de pequenas dimensões, nas quais é mais difícil garantir que os circuitos de alta frequência estejam devidamente isolados dos demais.

Este trabalho apresentou um estudo sobre os impactos que a miniaturização causa em PCBs voltadas principalmente para RF. Dois projetos de micro-PCBs foram relatados neste trabalho, inseridos no projeto μ C32RFBR, cujo objetivo é a entrega de um SiP BLE que embarque o microcontrolador brasileiro de 32 bits e o circuito de rádio com antena embarcada. A primeiro projeto da micro-PCB tinha como finalidade validar o circuito de RF e o fluxo de comunicação entre o microcontrolador e o transceptor BLE, não sendo necessária a sua miniaturização imediata. Duas versões dessa micro-PCB foram concebidas: uma com a área de *clearance* da antena desenhada conforme as orientações do fabricante e outra sem *clearance*, com dimensões 29,06 x 23,11 mm e 25,53 x 23,11 mm respectivamente.

Após a fabricação e montagem da primeira micro-PCB, testes foram conduzidos para avaliar seu desempenho em termos de RF e em aplicações BLE. Foram traçados os diagramas de radiação das placas com e sem *clearance* para verificar os efeitos acarretados pela redução de espaço decorrente. Medidas em campo de RSSI, latência e *throughput* também são apresentados para as duas placas. Um erro de projeto foi identificado durante as medidas de impedância da antena, o qual deslocava sua frequência de sintonia para fora da banda do BLE. A causa do erro foi encontrada e providências foram tomadas para o projeto seguinte.

Com novas estratégias de design traçadas a partir dos resultados das medições, a segunda versão da micro-PCB foi projetada, almejando a miniaturização do sistema

de modo a não comprometer seu funcionamento. As duas versões das micro-PCBs serviram como base para um estudo das vantagens e desafios advindos da redução das dimensões da placa e de seus componentes.

A análise dos impactos de miniaturização levou em conta fatores como a complexidade do projeto, gerenciamento da distribuição de calor, integridade de sinal, desempenho em altas frequências e custo de fabricação. Foram apontados compromissos e estratégias de design que viabilizam a miniaturização de PCBs para RF sem comprometer seu funcionamento. Entre esses, listam-se a influência das áreas de *clearance* para a devida radiação de antenas em chip e como os benefícios econômicos de placas pequenas tornam-se visíveis em grandes volumes de amostras.

Trabalhos futuros baseados neste estudo são promissores. Uma posição mais conservadora em placas HDI foi tomada durante o fluxo de projeto, com CIs em encapsulamento QFN sendo majoritariamente utilizados alinhando-se com os objetivos do projeto μ C32RFBR. Todavia, as conclusões reunidas com as micro-PCBs apresentadas podem ser aplicadas em projetos com potencial de miniaturização ainda maior. Encapsulamentos BGA, CSP e tecnologias *flip-chip* permitem uma compacidade extrema para PCBs, além da possibilidade de usar os próprios *dies* dos CIs, em diferentes disposições espaciais, quando o volume desejado for alto o suficiente para tornar a opção viável.

O estudo de diferentes configurações de área de *clearance* para a antena também pode ser grandemente expandido a partir deste trabalho. Apesar de cada antena em chip apresentar requisitos diferentes para sua radiação, dependentes da geometria interna do elemento radiador, metodologias para o dimensionamento do *clearance* podem ser elaboradas, possibilitando sua customização e auxiliando projetistas na economia de espaço em PCBs.

REFERÊNCIAS

ADAM, I. P. et al. Effect of Ground Clearance Reduction in Chip Antenna for IoT Micro-PCBs. In: 2024 8th International Symposium on Instrumentation Systems, Circuits and Transducers (INSCIT). [S.l.: s.n.], 2024. P. 1–6. Citado nas pp. 46, 71, 73, 74, 84, 85.

ADAM, Ivan et al. **Relatório μ C32RFBR: Meta Física 3 (MF-3) - Projeto de RF e do SiP: Etapa 3.** [S.l.], 2024. Citado nas pp. 70, 77, 79, 81, 83.

ADAM, Ivan et al. **Relatório μ C32RFBR: Meta Física 3 (MF-3) - Projeto de RF e do SiP: Etapa 4.** [S.l.], 2024. Citado na p. 94.

ALTIUM. **Altium Designer Features.** [S.l.: s.n.], 2024. Disponível em: <<https://www.altium.com/altium-designer/features>>. Citado na p. 16.

ANDÚJAR, Aurora; ANGUERA, Jaume; MATEOS, Rosa. Multiband non-resonant antenna system with reduced ground clearance. In: 2017 11th European Conference on Antennas and Propagation (EUCAP). [S.l.: s.n.], 2017. P. 3086–3089. Citado na p. 31.

ANSYS. **0201 and 01005 Adoption in Industry.** [S.l.], 2022. Citado na p. 16.

ARAR, Steve. **Common PCB Stackups for a Four-Layer Board.** [S.l.: s.n.], 2019. Disponível em: <<https://www.allaboutcircuits.com/technical-articles/common-layer-stack-ups-for-a-four-layer-board/>>. Citado na p. 55.

BALANIS, Constantine A. Integrated Antennas for Wireless Personal Communications. In: MODERN Antenna Handbook. Hoboken, NJ, EUA: John Wiley & Sons, 2008. P. 1110–1134. Citado nas pp. 29, 30.

BLUEPIXEL TECHNOLOGIES. **Website da Bluepixel Technologies.** [S.l.: s.n.], 2024. Disponível em: <<https://www.bluepixeltech.com/>>. Citado na p. 70.

BLUETOOTH SIG. **Bluetooth Technology Overview.** [S.l.: s.n.], 2024. Disponível em: <<https://www.bluetooth.com/learn-about-bluetooth/tech-overview/>>. Citado na p. 39.

BLUETOOTH SIG. **Understanding Bluetooth Internet Gateways for IoT Solutions.** [S.l.: s.n.], 2023. Disponível em: <<https://www.bluetooth.com/bluetooth-resources/understanding-bluetooth-internet-gateways-for-iot-solutions/>>. Citado na p. 20.

BOGATIN, Eric. **Signal and Power Integrity Simplified**. 3. ed. New York, NY: Pearson Education, 2018. Citado nas pp. 19, 31–33.

BURGESS, Larry. Radiated Power and Field Strength from UHF ISM Transmitters. **High Frequency Design**, p. 16–24, 2006. Citado na p. 72.

CADENCE. **Cadence SiP Design**. [S.l.], 2011. Citado na p. 28.

CADENCE. **Deep Dive Into Near End Crosstalk (NEXT)**. [S.l.: s.n.], 2024. Disponível em: <<https://resources.pcb.cadence.com/blog/deep-dive-into-near-end-crosstalk-next>>. Citado na p. 103.

CADENCE. **Via-in-Pad Myths and Realities**. [S.l.: s.n.], 2024. Disponível em: <<https://resources.pcb.cadence.com/blog/via-in-pad-myths-and-realities>>. Citado na p. 25.

ESPRESSIF. **ESP32-C3-DevKitC-02**. [S.l.], 2024. Disponível em: <<https://docs.espressif.com/projects/esp-dev-kits/en/latest/esp32c3/esp32-c3-devkitc-02/index.html>>. Citado na p. 78.

EUROCIRCUITS. **Eurocircuits - how to make a 4-layer PCB (full version)**. [S.l.: s.n.], 2013. Disponível em: <https://www.youtube.com/watch?v=sIV0icM_Ujo>. Citado na p. 118.

FENG, Ross. **5 Practical Strategies to Address PCB Miniaturization Challenges**. [S.l.: s.n.], 2024. Disponível em: <<https://www.electronicdesign.com/technologies/eda/printed-circuit-boards/article/55056611/viasion-technology-top-5-miniaturization-challenges-in-pcb-assembly-and-their-solutions>>. Citado na p. 19.

GHOSH, Poulomi. **Design and Manufacture of Staggered and Stacked Vias in PCBs**. [S.l.: s.n.], 2022. Disponível em: <<https://www.protoexpress.com/blog/design-manufacture-staggered-and-stacked-vias/>>. Citado nas pp. 23–25.

GILLIS, Alexander S. **Internet of Things (IoT)**. [S.l.: s.n.], 2023. Disponível em: <<https://www.techtarget.com/iotagenda/definition/Internet-of-Things-IoT>>. Citado na p. 18.

GOOGLE. **Centro Politécnico da UFPR**. [S.l.: s.n.], 2024. Disponível em: <https://www.google.com/maps/@-25.4493341,-49.2315059,103m/data=!3m1!1e3!5m1!1e4?entry=ttu&g_ep=EgoyMDIOMTEwOC4wIKXMDSoASAFQAw%3D%3D>. Citado na p. 75.

HAGEMAN, Steve. **Via spacing on high-performance PCBs**. [S.l.: s.n.], 2013. Disponível em: <<https://www.edn.com/via-spacing-on-high-performance-pcb/>>. Citado nas pp. 60, 102.

HUANG, YK. **A Comprehensive Guide on Different Bluetooth Versions**. [S.l.: s.n.], 2024. Disponível em: <<https://www.mokosmart.com/guide-on-different-bluetooth-versions/>>. Citado na p. 38.

INTOSCA, Lucy. **PCB West 2018: New 1-Mil Trace and Space Patented Technology**. [S.l.: s.n.], 2018. Disponível em: <<https://www.protoexpress.com/blog/pcb-west-2018-new-1-mil-trace-space-patented-technology/>>. Citado na p. 16.

JLCPCB. **PCB Manufacturing & Assembly Capabilities**. [S.l.: s.n.], 2024. Disponível em: <<https://jlcpcb.com/capabilities/pcb-capabilities>>. Citado na p. 54.

JLCPCB. **Website da JLCPCB**. [S.l.: s.n.], 2024. Disponível em: <<https://cart.jlcpcb.com/quote?spm=Jlcpcb.Homepage.1006>>. Citado nas pp. 54, 116.

JOHANSON TECHNOLOGY. **Understanding Chip Antennas**. [S.l.: s.n.], 2024. Disponível em: <<https://www.johansontechnology.com/tech-notes/understanding-chip-antennas/>>. Citado nas pp. 29, 45.

KAUNE, Bill. Quality Factor, Bandwidth, and Harmonic Attenuation of Pi Networks. **QEX**, p. 29–34, 2015. Citado na p. 53.

KELLEHER, Ann B. Celebrating 75 years of the transistor: A look at the evolution of Moore's Law innovation. In: 2022 International Electron Devices Meeting (IEDM). [S.l.: s.n.], 2022. P. 1.1.1–1.1.5. Citado na p. 15.

LI, A.; SINGH, S.; SIEVENPIPER, D. Metasurfaces and their applications. **Nanophotonics**, v. 7, n. 6, 2017. Citado na p. 31.

LUO, Rongfeng et al. A novel TSV interposer based System-in-Package for RF applications. In: 2018 7th Electronic System-Integration Technology Conference (ESTC). [S.l.: s.n.], 2018. P. 1–5. Citado na p. 29.

MARINESCU, Dan C. Parallel processing and distributed computing. In: CLOUD Computing. Burlington, MA, EUA: Morgan Kaufmann, 2023. P. 41–94. Citado na p. 17.

MCLELLAN, Paul. **System in Package? How to Plan and Build It**. [S.l.: s.n.], 2019. Disponível em: <https://community.cadence.com/cadence_blogs_8/b/breakfast-bytes/posts/chiplet3>. Citado na p. 28.

MOLINS-BENLLIURE, Jaime et al. Effect of the ground plane in UHF Chip antenna efficiency. In: 2020 14th European Conference on Antennas and Propagation (EuCAP). [S.l.: s.n.], 2020. P. 1–5. Citado nas pp. 19, 31.

MOORE, Gordon E. Cramming more components onto integrated circuits. **Electronics**, v. 38, n. 8, 1965. Citado na p. 15.

MORDOR INTELLIGENCE. **IoT Market Size & Share Analysis - Growth Trends & Forecasts (2024 - 2029)**. [S.l.], 2024. Citado na p. 18.

MOUSER ELECTRONICS. **Website da Mouser Electronics**. [S.l.: s.n.], 2024. Disponível em: <<https://br.mouser.com/>>. Citado na p. 45.

MURATA. **Design Support Software "SimSurfing"**. [S.l.], 2024. Disponível em: <<https://ds.murata.co.jp/simsurfing/?lcid=en-us>>. Citado na p. 89.

OSTMANN, Andreas et al. High Density Interconnect Processes for Panel Level Packaging. In: 2018 7th Electronic System-Integration Technology Conference (ESTC). [S.l.: s.n.], 2018. P. 1–5. Citado na p. 23.

PARTICLE. **A 2024 guide to IoT protocols and standards**. [S.l.: s.n.], 2024. Disponível em: <<https://www.particle.io/iot-guides-and-resources/iot-protocols-and-standards/>>. Citado na p. 18.

PCBWAY. **Advanced High-quality PCB Capabilities**. [S.l.: s.n.], 2024. Disponível em: <<https://www.pcbway.com/advanced-pcb-capabilities.html>>. Citado na p. 16.

PCBWAY. **PCB Assembly Services**. [S.l.: s.n.], 2024. Disponível em: <<https://www.pcbway.com/assembly-capabilities.html>>. Citado na p. 16.

PCBWAY. **Website da PCBWay**. [S.l.: s.n.], 2024. Disponível em: <<https://www.pcbway.com/orderonline.aspx>>. Citado nas pp. 54, 116.

PETERSON, Zachariah. **2+N+2 PCB Stackup Design for HDI Boards**. [S.l.: s.n.], 2022. Disponível em: <<https://resources.altium.com/p/2n2-pcb-stackup-design-hdi-boards>>. Citado na p. 26.

PETERSON, Zachariah. **Crosstalk Analysis, Reduction, and Elimination Techniques in PCB Design**. [S.l.: s.n.], 2023. Disponível em: <<https://resources.altium.com/p/crosstalk-elimination-techniques-in-altium-designer>>. Citado na p. 103.

PETERSON, Zachariah. **Protecting Your PCB Design From Machine Assembly Defects**. [S.l.: s.n.], 2024. Disponível em:

<<https://resources.altium.com/p/protecting-your-pcb-design-machine-assembly-defects>>. Citado na p. 118.

PETERSON, Zachariah. **Thermal Vias Management for PCBs**. [S.l.: s.n.], 2021. Disponível em: <<https://resources.altium.com/p/management-of-thermal-vias>>. Citado na p. 112.

PETERSON, Zachariah. **What's HDI? Design Basics and the HDI PCB Manufacturing Process**. [S.l.: s.n.], 2021. Disponível em: <<https://resources.altium.com/p/design-basics-for-hdi>>. Citado nas pp. 23–25, 27.

PNC. **The Impact Of Miniaturization In Design And PCB Assembly**. [S.l.: s.n.], 2023. Disponível em: <<https://medium.com/@pnconlinenj/the-impact-of-miniaturization-in-design-and-pcb-assembly-34d26cca437d>>. Citado na p. 17.

POZAR, David M. **Microwave Engineering**. 4. ed. Hoboken, NJ: John Wiley & Sons, Inc., 2012. Citado nas pp. 32, 34, 36, 37.

PRADHAN, Manjari et al. Optimal stacking of SOCs in a 3D-SIC for post-bond testing. In: 2013 IEEE International 3D Systems Integration Conference (3DIC). [S.l.: s.n.], 2013. P. 1–5. Citado na p. 28.

ROBLEDO, Edwin. **The History of PCBs from 1870 to Today**. [S.l.: s.n.], 2022. Disponível em: <<https://www.autodesk.com/products/fusion-360/blog/history-of-pcbs/>>. Citado na p. 15.

ROMANI, Bruno. **'A inteligência artificial vai mudar os smartphones', diz inventor do celular**. [S.l.: s.n.], 2023. Disponível em: <<https://www.estadao.com.br/link/cultura-digital/martin-cooper-inventor-telefone-celular/>>. Citado na p. 17.

SCHIAVONE, Pasquale Davide et al. Quentin: an Ultra-Low-Power PULPissimo SoC in 22nm FDX. In: 2018 IEEE SOI-3D-Subthreshold Microelectronics Technology Unified Conference (S3S). [S.l.: s.n.], 2018. P. 1–3. Citado na p. 43.

SCHULTEIS, Geoff; DUMONT, Robert. **Using chip antennas in pcb design**. [S.l.: s.n.], 2020. Disponível em: <<https://www.ept.ca/features/using-chip-antennas-in-pcb-design/>>. Citado na p. 19.

SHIRVANI, Alireza; WOOLEY, Bruce A. **Design and Control of RF Power Amplifiers**. 1. ed. Berlim/Heidelberg, Alemanha: Springer Science+Business Media, 2003. Citado nas pp. 34–36.

SIERRA ASSEMBLY. **Why PCB Miniaturization are Important and Its Impact in PCB Assembly**. [S.l.: s.n.], 2023. Disponível em:

<<https://www.sierraassembly.com/blog/why-pcb-miniaturization-are-important-and-impact-in-pcb-assembly/>>. Citado na p. 16.

SIERRA CIRCUITS. **HDI Printed Circuit Boards for Smaller, Faster, Extremely Reliable Products**. [S.l.: s.n.], 2024. Disponível em:

<<https://www.protoexpress.com/products/hdi-printed-circuit-boards/>>. Citado na p. 16.

SIERRA CIRCUITS. **PCB Assembly in Silicon Valley**. [S.l.: s.n.], 2024. Disponível em: <<https://www.protoexpress.com/products/pcb-assembly/>>. Citado na p. 16.

SILICON LABS. **AN1275: Impedance Matching Network Architectures**. [S.l.], 2024.

Disponível em: <<https://www.silabs.com/documents/public/application-notes/an1275-imp-match-for-network-arch.pdf>>. Citado na p. 92.

STOUFFER, Keith et al. **Guide to Operational Technology (OT) Security**. [S.l.], 2023. Citado na p. 85.

SU, Hao-hang; FU, Shuai. The design of a voltage conversion SIP based on electrothermal coupling method. In: 2021 22nd International Conference on Electronic Packaging Technology (ICEPT). [S.l.: s.n.], 2021. P. 1–5. Citado na p. 29.

SÜLI, Frank. Types. In: ELECTRONIC Enclosures, Housings and Packages. Sawston, Cambridge, Reino Unido: Woodhead, 2019. P. 131–190. Citado na p. 18.

TARANOVICH, Steve. **Vacuum tube technology resurrected**. [S.l.: s.n.], 2016.

Disponível em: <<https://www.edn.com/vacuum-tube-technology-resurrected/>>. Citado na p. 15.

TOSI, Jacopo et al. Performance Evaluation of Bluetooth Low Energy: A Systematic Review. **Sensors**, v. 17, n. 2898, 2017. Citado nas pp. 41, 42.

TSAI, Mike et al. Innovative Packaging Solutions of 3D Double Side Molding with System in Package for IoT and 5G Application. In: 2019 IEEE 69th Electronic Components and Technology Conference (ECTC). [S.l.: s.n.], 2019. P. 700–706. Citado na p. 29.

TTM TECHNOLOGIES. **High-Density Interconnect (HDI) PCB**. [S.l.: s.n.], 2024.

Disponível em:

<<https://www.ttm.com/en/solutions/printed-circuit-boards/hdi-pcb>>. Citado na p. 16.

WHEELER, H.A. Formulas for the Skin Effect. **Proceedings of the IRE**, v. 30, n. 9, p. 412–424, 1942. Citado na p. 116.

WONG, K. L. Antennas for WLAN Applications. In: **PLANAR Antennas for Wireless Communications**. Hoboken, NJ, EUA: John Wiley & Sons, 2003. P. 216–226. Citado nas pp. 20, 31.

WOOLLEY, Martin. **The Bluetooth® Low Energy Primer**. [S.l.], 2023. Citado nas pp. 39, 40.

YANG, Zheng; LI, Shenglong; GAO, Yingke. Design and Analysis of Microsystem SiP for on-Board Embedded Computer. In: **2023 5th International Conference on Circuits and Systems (ICCS)**. [S.l.: s.n.], 2023. P. 288–293. Citado na p. 29.