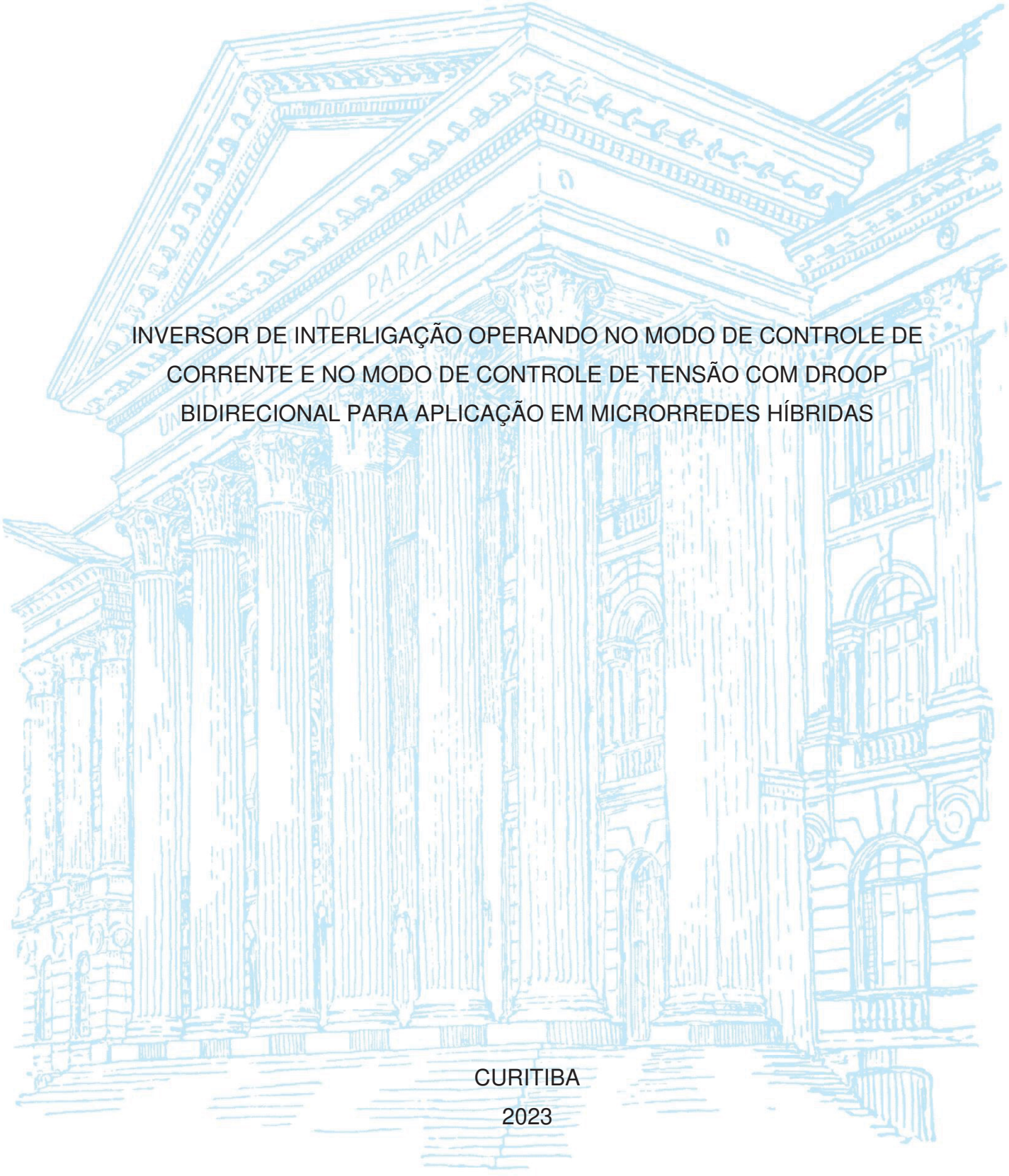
UNIVERSIDADE FEDERAL DO PARANÁ

ANDRE DE SOUZA LEONE



INVERSOR DE INTERLIGAÇÃO OPERANDO NO MODO DE CONTROLE DE CORRENTE E NO MODO DE CONTROLE DE TENSÃO COM DROOP BIDIRECIONAL PARA APLICAÇÃO EM MICRORREDES HÍBRIDAS

CURITIBA

2023

ANDRE DE SOUZA LEONE

INVERSOR DE INTERLIGAÇÃO OPERANDO NO MODO DE CONTROLE DE CORRENTE E NO MODO DE CONTROLE DE TENSÃO COM DROOP BIDIRECIONAL PARA APLICAÇÃO EM MICRORREDES HÍBRIDAS

Tese apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, Área de Concentração em Sistemas de Energia, Departamento de Engenharia Elétrica, Setor de Tecnologia, Universidade Federal do Paraná como parte das exigências para obtenção do título de Doutor em Engenharia Elétrica.

Orientador: Prof. Dr. João Américo Vilela Junior

CURITIBA

2023

DADOS INTERNACIONAIS DE CATALOGAÇÃO NA PUBLICAÇÃO (CIP)
UNIVERSIDADE FEDERAL DO PARANÁ
SISTEMA DE BIBLIOTECAS – BIBLIOTECA CIÊNCIA E TECNOLOGIA

Leone, Andre de Souza
Inversor de interligação operando no modo de controle de corrente e no modo de controle de tensão com *droop* bidirecional para aplicação em microrredes híbridas. / Andre de Souza Leone. – Curitiba, 2023.
1 recurso on-line : PDF.

Tese (Doutorado) - Universidade Federal do Paraná, Setor de Tecnologia, Programa de Pós-Graduação em Engenharia Elétrica.

Orientador: Prof. Dr. João Américo Vilela Junior

1. Inversores elétricos 2. Conversores elétricos 3. Controle de potência descentralizado. I. Vilela Junior, João Américo. II. Universidade Federal do Paraná. Programa de Pós-Graduação em Engenharia Elétrica. III. Título.

Bibliotecária: Roseny Rivelini Morciani CRB-9/1585

TERMO DE APROVAÇÃO

Os membros da Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação ENGENHARIA ELÉTRICA da Universidade Federal do Paraná foram convocados para realizar a arguição da tese de Doutorado de **ANDRÉ DE SOUZA LEONE** intitulada: **INVERSOR DE INTERLIGAÇÃO OPERANDO NO MODO DE CONTROLE DE CORRENTE E NO MODO DE CONTROLE DE TENSÃO COM DROOP BIDIRECIONAL PARA APLICAÇÃO EM MICRORREDES HÍBRIDAS**, sob orientação do Prof. Dr. JOAO AMERICO VILELA JUNIOR, que após terem inquirido o aluno e realizada a avaliação do trabalho, são de parecer pela sua APROVAÇÃO no rito de defesa.

A outorga do título de doutor está sujeita à homologação pelo colegiado, ao atendimento de todas as indicações e correções solicitadas pela banca e ao pleno atendimento das demandas regimentais do Programa de Pós-Graduação.

Curitiba, 27 de Outubro de 2023.

Assinatura Eletrônica
13/11/2023 15:03:21.0
JOAO AMERICO VILELA JUNIOR
Presidente da Banca Examinadora

Assinatura Eletrônica
13/11/2023 13:11:53.0
ALCEU ANDRÉ BADIN
Avaliador Externo (UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ)

Assinatura Eletrônica
14/11/2023 17:34:14.0
GUSTAVO HENRIQUE DA COSTA OLIVEIRA
Avaliador Interno (UNIVERSIDADE FEDERAL DO PARANÁ)

Assinatura Eletrônica
18/11/2023 09:59:03.0
JANAÍNA GONÇALVES DE OLIVEIRA
Avaliador Externo (UNIVERSIDADE FEDERAL DE JUIZ DE FORA)

Para Livia

AGRADECIMENTOS

Gostaria de agradecer aos meus pais, Eugênio e Emília, que sempre foram meu exemplo de vida, dedicação e humildade. Aos meus irmãos, Roberta e Diogo, pelo aprendizado enquanto crescíamos juntos.

A minha esposa Vanessa que sempre me apoiou e que dividiu seu tempo comigo para eu poder me dedicar a este projeto.

Ao professor João Américo pela orientação, por compartilhar seu conhecimento e pelo incentivo nos momentos difíceis.

Aos Professores João Rebelatto e Glauber Brante pela confiança.

Aos meus colegas de laboratório pela troca de conhecimento e momentos de descontração e para colega Tania que contribuiu com sua pesquisa em inversores bidirecionais comerciais.

A minha família e aos meus amigos que me acompanharam durante essa jornada.

“There’s Always a demand for anyone who can do a good piece of work”.

(CLARKE, EDITH, 1948)

RESUMO

Este trabalho propõe estratégias de controle para o inversor de interligação para estabelecer a operação de diferentes configurações da microrrede híbrida. As microrredes híbridas são formadas por uma sub-rede CC, uma sub-rede CA e pelo inversor de interligação. O inversor de interligação controla a potência entre as sub-redes e pode assumir o papel de formador de rede da sub-rede CA ou da sub-rede CC. As diferentes configurações das microrredes híbridas são decorrentes da presença ou não de fontes com capacidade de formar a tensão das sub-redes, sendo que, a operação da microrrede híbrida depende da manutenção da magnitude da tensão da sub-rede CC e da magnitude e frequência da sub-rede CA. A abordagem da proposta deste trabalho considera o inversor de interligação operando no modo de controle de corrente, no modo de controle de tensão CA e no modo de controle de tensão CC e utiliza as técnicas descentralizadas de *droop* para definir o controle da potência entre as sub-redes. Para complementar a flexibilidade no controle do inversor de interligação, uma nova abordagem de controle *droop* bidirecional para o modo de controle da tensão CC é proposta neste trabalho, sendo, ela baseada nas técnicas de controle *droop* bidirecional já existentes para o modo de controle de corrente e para o modo de controle de tensão CA. Para validar as estratégias de controle do inversor de interligação é realizada a simulação das configurações da microrrede híbrida e, em seguida, um protótipo do inversor de interligação com filtro LCL e modulação vetorial é construído para os ensaios experimentais. O protótipo do inversor de interligação apresenta uma potência nominal de 30 kW, tensão nominal do lado CC de 725 V e tensão nominal do lado CA de 400 V. As estratégias de controle propostas contribuem para o desenvolvimento das microrredes híbridas, pois, habilita o uso do inversor de interligação em diferentes configurações da microrrede híbrida.

Palavras-chave: inversor de interligação; conversor CC/CA de interligação; controle *droop* bidirecional; controle de potência descentralizado; microrredes híbridas.

ABSTRACT

This paper proposes control strategies for interlinking inverter to establish stable operation in different hybrid AC/DC microgrid. Hybrid AC/DC microgrids contains a DC sub-grid, an AC sub-grid and the Interlinking inverter that controls the power between the sub-grids, besides that, the Interlinking inverter can assume the role of forming the sub-grid voltage of the AC sub-grid or DC sub-grid. The different configurations of the hybrid microgrids are due to the presence or not of sources capable of forming the voltage of the sub-grids, and a stable operation of the hybrid microgrid depends on maintaining the magnitude of the DC sub-grid voltage and the magnitude and frequency of the AC sub-grid voltage. The approach proposed in this work considers the interlinking inverter operating in current control mode, in AC voltage control mode and in DC voltage control mode and uses decentralized droop techniques to define power control between the sub-grids. To complement the flexibility in controlling of the interlinking inverter, a new bidirectional droop control for the DC voltage control mode is proposed in this work, being based on the existing bidirectional droop control techniques for the current control mode. and for AC voltage control mode. To validate the control strategy of the interlinking inverter, a simulation of the different configurations of the hybrid AC/DC microgrid are established and then, a prototype of the interlinking inverter with LCL filter and space vector modulation is built for the experimental tests. The interlinking inverter prototype has a nominal power of 30 kW, nominal voltage on the DC side of 725 V and nominal voltage on the AC side of 400 V. The proposed control strategies contribute to the development of hybrid AC/DC microgrids, as they enable the use of the interlinking inverter in different hybrid AC/DC microgrid configurations.

Keywords: interlinking inverter; interlinking AC/DC converter; bidirectional droop control; decentralized power control; hybrid AC/DC microgrids.

LISTA DE FIGURAS

FIGURA 1 – PROJEÇÃO DA CAPACIDADE E DE INVESTIMENTOS EM MICRORREDES 17
FIGURA 2 – NÚMERO DE ARTIGOS PUBLICADOS RELACIONADOS COM MICRORREDES EM PERIÓDICOS NA ÚLTIMA DÉCADA 18
FIGURA 3 – EXEMPLO DE MICRORREDE HÍBRIDA 20
FIGURA 4 – TOPOLOGIA DO INVERSOR DE TENSÃO 46
FIGURA 5 – MALHA DE CONTROLE DE CORRENTE COM MODULAÇÃO VETORIAL 50
FIGURA 6 – FORMAS DE ONDA DA MODULAÇÃO VETORIAL 52
FIGURA 7 – ESPECTRO DAS HARMÔNICAS PRODUZIDO PELA MODULAÇÃO VETORIAL 53
FIGURA 8 – ESTRUTURA BÁSICA DO CONTROLE DE PLL 54
FIGURA 9 – MALHA DE CONTROLE DO SRF-PLL 55
FIGURA 10 – MALHA DE CONTROLE SRF-PLL COM PRÉ-FILTRO SOGI 56
FIGURA 11 – MICRORREDE HÍBRIDA COM CONTROLE DROOP 57
FIGURA 12 – CURVA DROOP CA 60
FIGURA 13 – CURVA DROOP INVERSO CA 61
FIGURA 14 – CURVA DROOP CC 63
FIGURA 15 – CURVA DROOP INVERSO CC 64
FIGURA 16 – CURVA DROOP BIDIRECIONAL DE CORRENTE 66
FIGURA 17 – CURVA DROOP BIDIRECIONAL DE TENSÃO CA 68
FIGURA 18 – CURVA DROOP BIDIRECIONAL DE TENSÃO CC 70
FIGURA 19 – CIRCUITO DO INVERSOR DE INTERLIGAÇÃO COM FILTROS 75
FIGURA 20 – CIRCUITO EQUIVALENTE DO FILTRO LCL 77
FIGURA 21 – LIMITES DAS HARMÔNICAS DE ORDEM ÍMPAR 77
FIGURA 22 – RESPOSTA EM FREQUÊNCIA DO FILTRO LCL 79
FIGURA 23 – CIRCUITO EQUIVALENTE DO FILTRO LCL COM RESISTOR DE AMORTECIMENTO 81
FIGURA 24 – COMPARAÇÃO DA RESPOSTA EM FREQUÊNCIA DO FILTRO LCL 82
FIGURA 25 – INVERSOR DE INTERLIGAÇÃO COM FILTRO LCL E SENSORES 83

FIGURA 26 – DIAGRAMA DE BLOCOS DO INVERSOR DE INTERLIGAÇÃO COM FILTRO LCL 85
FIGURA 27 – DIAGRAMA DE BLOCOS DA MALHA DE CONTROLE DE CORRENTE 86
FIGURA 28 – DIAGRAMA DE BLOCOS SIMPLIFICADO DA MALHA DE CONTROLE DE CORRENTE 87
FIGURA 29 – DIAGRAMA DE BLOCOS DA MALHA DE CONTROLE DE CORRENTE COM REALIMENTAÇÃO DO GANHO DE ACOPLAMENTO 88
FIGURA 30 – DIAGRAMA DE BLOCOS DA MALHA DE CONTROLE DE CORRENTE DESACOPLADA 89
FIGURA 31 – DETALHE DA AMOSTRAGEM DE CORRENTE E DA PORTADORA DO PWM 90
FIGURA 32 – MALHA DE CONTROLE DE CORRENTE COM ATRASO COMPUTACIONAL 91
FIGURA 33 – MODELO QUE REPRESENTA A MALHA DE CONTROLE DE CORRENTE 91
FIGURA 34 –INVERSOR DE INTERLIGAÇÃO COM MALHA DE CONTROLE DE CORRENTE 93
FIGURA 35 – MODELO EM DIAGRAMA DE BLOCOS DA MALHA DE CONTROLE DE TENSÃO CA 95
FIGURA 36 –INVERSOR DE INTERLIGAÇÃO COM MALHA DE CONTROLE DE TENSÃO CA 97
FIGURA 37 –FLUXOGRAMA ALGORITMO SINAL OSCILANTE DE 0 A 2π 99
FIGURA 38 – MODELO EM DIAGRAMA DE BLOCOS DA MALHA DE CONTROLE DE TENSÃO CC 100
FIGURA 39 –INVERSOR DE INTERLIGAÇÃO COM MALHA DE CONTROLE DE TENSÃO CC 102
FIGURA 40 – INVERSOR DE INTERLIGAÇÃO NO VCM CC E COM MALHA DE CONTROLE DROOP CC 106
FIGURA 41 – INVERSOR DE INTERLIGAÇÃO NO CCM CC COM MALHA DE CONTROLE DROOP INVERSO CC 108
FIGURA 42 – INVERSOR DE INTERLIGAÇÃO NO VCM CC COM MALHA DE CONTROLE DROOP BIDIRECIONAL DE TENSÃO CC 110

FIGURA 43 – INVERSOR DE INTERLIGAÇÃO NO VCM COM MALHA DE CONTROLE DROOP BIDIRECIONAL DE TENSÃO CA 113
FIGURA 44 – INVERSOR DE INTERLIGAÇÃO NO CCM COM MALHA DE CONTROLE DROOP BIDIRECIONAL DE CORRENTE.....117
FIGURA 45 – MICRORREDE HÍBRIDA PARA SIMULAÇÃO 123
FIGURA 46 – CONFIGURAÇÃO 1 E 4: MICRORREDE HÍBRIDA PARA SIMULAÇÃO.....129
FIGURA 47 – RESULTADO DE SIMULAÇÃO 1 PARA CONFIGURAÇÃO 1 E 4...130
FIGURA 48 – RESULTADO DE SIMULAÇÃO 2 PARA CONFIGURAÇÃO 1 E 4...131
FIGURA 49 – CONFIGURAÇÃO 2 E 3: MICRORREDE HÍBRIDA PARA SIMULAÇÃO.....132
FIGURA 50 – RESULTADO DE SIMULAÇÃO 1 PARA CONFIGURAÇÃO 2 E 3...133
FIGURA 51 – RESULTADO DE SIMULAÇÃO 2 PARA CONFIGURAÇÃO 2 E 3...134
FIGURA 52 – CONFIGURAÇÃO 5: MICRORREDE HÍBRIDA PARA SIMULAÇÃO 136
FIGURA 53 – RESULTADO DE SIMULAÇÃO 1 PARA CONFIGURAÇÃO 5 137
FIGURA 54 – RESULTADO DE SIMULAÇÃO 2 PARA CONFIGURAÇÃO 5 137
FIGURA 55 – CONFIGURAÇÃO 6: MICRORREDE HÍBRIDA PARA SIMULAÇÃO 141
FIGURA 56 – RESULTADO DE SIMULAÇÃO 1 PARA CONFIGURAÇÃO 6 141
FIGURA 57 – RESULTADO DE SIMULAÇÃO 2 PARA CONFIGURAÇÃO 6 142
FIGURA 58 – CONFIGURAÇÃO 7: MICRORREDE HÍBRIDA PARA SIMULAÇÃO 145
FIGURA 59 – RESULTADOS DE SIMULAÇÃO 1 PARA CONFIGURAÇÃO 7.....146
FIGURA 60 – RESULTADOS DE SIMULAÇÃO 2 PARA CONFIGURAÇÃO 7.....146
FIGURA 61 – DIAGRAMA ESQUEMÁTICO DO PROTÓTIPO DO INVERSOR DE INTERLIGAÇÃO 153
FIGURA 62 – PROTÓTIPO DO INVERSOR DE INTERLIGAÇÃO 155
FIGURA 63 – PLACA DE SENSORES 157
FIGURA 64 – CIRCUITO DE CONDICIONAMENTO DOS SENSORES DA PLACA DE SENSORES 159
FIGURA 65 – CIRCUITO DE CONDICIONAMENTO DA TENSÃO CC DO MÓDULO DE POTÊNCIA.....160

FIGURA 66 – CIRCUITO DE CONDICIONAMENTO DO SINAL DIGITAL DO MÓDULO DE POTÊNCIA 161
FIGURA 67 – CIRCUITO DE CONDICIONAMENTO DO SINAL PWM DO MICROCONTROLADOR 162
FIGURA 68 – PLACA DE CONTROLE 164
FIGURA 69 – PLACA DE DESENVOLVIMENTO LAUNCHXL-F28379D 166
FIGURA 70 – CONFIGURAÇÃO DO MICROCONTROLADOR.....168
FIGURA 71 – FUNÇÃO PRINCIPAL DO ALGORITMO DE CONTROLE DO MICROCONTROLADOR 171
FIGURA 72 – FUNÇÃO DE INTERRUPÇÃO DO AD ESTÁGIO INICIAL 172
FIGURA 73 – FUNÇÃO DE INTERRUPÇÃO DO AD ESTÁGIO FINAL 174
FIGURA 74 – LABORATÓRIO DE GERAÇÃO DISTRIBUÍDA, DELT, UFPR.....177
FIGURA 75 – RESULTADO EXPERIMENTAL 1: ENSAIO 1 181
FIGURA 76 – RESULTADO EXPERIMENTAL 2: ENSAIO 1 182
FIGURA 77 – RESULTADO EXPERIMENTAL 3: ENSAIO 1 183
FIGURA 78 – RESULTADO EXPERIMENTAL 1: ENSAIO 2 185
FIGURA 79 – RESULTADO EXPERIMENTAL 2: ENSAIO 2 185
FIGURA 80 – RESULTADO EXPERIMENTAL 3: ENSAIO 2 186
FIGURA 81 – RESULTADO EXPERIMENTAL 4: ENSAIO 2 187
FIGURA 82 – RESULTADO EXPERIMENTAL 1: ENSAIO 3 189
FIGURA 83 – RESULTADO EXPERIMENTAL 2: ENSAIO 3 189
FIGURA 84 – RESULTADO EXPERIMENTAL 3: ENSAIO 3 191
FIGURA 85 – RESULTADO EXPERIMENTAL 4: ENSAIO 3 191
FIGURA 86 – NÚMERO DE ARTIGOS PUBLICADOS POR CONJUNTO DE PALAVRAS-CHAVES 207
FIGURA 87 – REPRESENTAÇÃO SISTEMA TRIFÁSICO NO PLANO ABC 209
FIGURA 88 – REPRESENTAÇÃO SISTEMA TRIFÁSICO NO PLANO αβ.....211
FIGURA 89 – REPRESENTAÇÃO SISTEMA TRIFÁSICO NO PLANO dq.....212
FIGURA 90 – VETORES RESULTANTES NA MODULAÇÃO VETORIAL 214
FIGURA 91 – SETORES DA SVM NO PLANO αβ 215
FIGURA 92 – PLANO αβ COM VETORES PARA IDENTIFICAR OS SETORES...215
FIGURA 93 – EXEMPLO DE VETOR REFERÊNCIA NO SETOR 1 DO PLANO αβ 217

FIGURA 94 – SEQUÊNCIA DE ACIONAMENTO PARA O VETOR REFERÊNCIA NO SETOR 1 219
FIGURA 95 – CIRCUITO MODULADOR 220
FIGURA 96 – PRÉ-FILTRO SOGI.....224
FIGURA 97 – RESULTADO EXPERIMENTAL DO PRÉ-FILTRO SOGI.....225
FIGURA 98 – RESPOSTA EM FREQUÊNCIA DA MALHA DE CONTROLE DO SRF-PLL.....227
FIGURA 99 – RESPOSTA NO TEMPO DO ALGORITMO DO SRF-PLL COM PRÉ-FILTRO SOGI 231
FIGURA 100 – ONDULAÇÃO NORMALIZADA DA CORRENTE NO INDUTOR L_i 233
FIGURA 101 – ESPECTRO DA FFT DA CORRENTE DO INDUTOR L_i.....236
FIGURA 102 – ESPECTRO DA FT DA TENSÃO DO INDUTOR L_i 237
FIGURA 103 – CORRENTE DO INDUTOR L_i E DO INDUTOR L_r.....238
FIGURA 104 – ESPECTRO DA FFT DA CORRENTE I_{ra}.....239
FIGURA 105 – RESPOSTA EM FREQUÊNCIA DO MODELO DA MALHA DE CONTROLE DE CORRENTE 249
FIGURA 106 – RESPOSTA AO DEGRAU DA MALHA DE CONTROLE DE CORRENTE.....250
FIGURA 107 – RESPOSTA EM FREQUÊNCIA DO MODELO DA MALHA DE CONTROLE DE TENSÃO CA.....253
FIGURA 108 – RESPOSTA AO DEGRAU DA MALHA DE CONTROLE DE TENSÃO CA 254
FIGURA 109 – RESPOSTA EM FREQUÊNCIA DO MODELO DA MALHA DE CONTROLE DE TENSÃO CC 257
FIGURA 110 – RESPOSTA AO DEGRAU DA MALHA DE CONTROLE DE TENSÃO CC.....257
FIGURA 111 – CIRCUITO DO INVERSOR DE INTERLIGAÇÃO COM SVM.....258
FIGURA 112 – MALHA DE CONTROLE DE CORRENTE COM SOGI-PLL.....260
FIGURA 113 – SIMULAÇÃO 1 PARA A MALHA DE CONTROLE DE CORRENTE 261
FIGURA 114 – SIMULAÇÃO 2 PARA A MALHA DE CONTROLE DE CORRENTE 262
FIGURA 115 – MALHA DE CONTROLE DE TENSÃO CA 263

FIGURA 116 – CORRENTE DO CAPACITOR E GERADOR DE FREQUÊNCIA ANGULAR.....264
FIGURA 117 – SIMULAÇÃO DA MALHA DE CONTROLE DE TENSÃO – CORRENTE E TENSÃO.....266
FIGURA 118 – SIMULAÇÃO DA MALHA DE CONTROLE DE TENSÃO – SINAL DE REFERÊNCIA E DE CONTROLE DE CORRENTE.....267
FIGURA 119 – MALHA DE CONTROLE DE TENSÃO CC.....268
FIGURA 120 – SIMULAÇÃO DA MALHA DE CONTROLE DE TENSÃO CC – DEGRAU.....269
FIGURA 121 – MÓDULO DE POTÊNCIA DO PROTÓTIPO DO INVERSOR DE INTERLIGAÇÃO 270
FIGURA 122 – FILTRO LCL DO PROTÓTIPO DO INVERSOR DE INTERLIGAÇÃO 273
FIGURA 123 – CURVAS DE CARGA DO CAPACITOR DO LADO CC.....275
FIGURA 124 – CIRCUITO DA FONTE SIMÉTRICA.....276
FIGURA 125 – TELA IHM COM A PROGRAMAÇÃO DE ACIONAMENTO DOS CONTATORES DE PRÉ-CARGA.....277
FIGURA 126 – MODELO DA CARGA CA COM ASSOCIAÇÃO DE RESISTORES 278
FIGURA 127 – MODELO DA FONTE GD_1 NO CCM E COM DROOP INVERSO CA 279
FIGURA 128 – MODELO DA FONTE GD_1 NO VCM E COM DROOP CA.....280
FIGURA 129 – MODELO DA CARGA CC COM POTÊNCIA CONSTANTE.....281
FIGURA 130 – MODELO DA FONTE GD_2 NO CCM CC E COM DROOP INVERSO CC.....282
FIGURA 131 – MODELO DA FONTE GD_2 NO VCM CC E COM DROOP CC 282
FIGURA 132 – DIAGRAMA DE INSTALAÇÃO DO SENSOR DE TENSÃO CA 284
FIGURA 133 – CIRCUITO DE CONDICIONAMENTO: SINAL DE TENSÃO CA 285
FIGURA 134 – DIAGRAMA DO AMPLIFICADOR OPERACIONAL LMV358.....286
FIGURA 135 – CIRCUITO GERADOR DE *OFFSET*. 287
FIGURA 136 – CIRCUITO *BUFFER*.....288
FIGURA 137 – DIAGRAMA DE INSTALAÇÃO DO SENSOR DE CORRENTE.....289
FIGURA 138 – CIRCUITO DE CONDICIONAMENTO: SINAL DE TENSÃO CC....290

FIGURA 139 – CIRCUITO DE CONDICIONAMENTO: SINAIS DIGITAIS DO MÓDULO 292

LISTA DE TABELAS

TABELA 1 – CONFIGURAÇÃO POSSÍVEIS DA MICRORREDE HÍBRIDA 22
TABELA 2 – RELAÇÃO DAS CONFIGURAÇÕES DA MICRORREDE HÍBRIDA COM AS ESTRATÉGIAS DE CONTROLE DO INVERSOR DE INTERLIGAÇÃO 33
TABELA 3 – COMPARAÇÃO ENTRE AS ESTRATÉGIAS DE CONTROLE DOS TRABALHOS CITADOS NA REVISÃO BIBLIOGRÁFICA COM AS ESTRATÉGIAS DE CONTROLE PROPOSTA NESTE TRABALHO .36
TABELA 4 – INVERSORES DE INTERLIGAÇÃO COMERCIAIS 42
TABELA 5 – CARACTERÍSTICAS DOS INVERSORES EM MICRORREDES.....47
TABELA 6 – CONTROLE *DROOP* PARA POTÊNCIA ATIVA DE DIFERENTES FONTES DE GDs 59
TABELA 7 – PARÂMETROS DO FILTRO LCL 78
TABELA 8 – MALHAS DE CONTROLE DO INVERSOR DE INTERLIGAÇÃO.....104
TABELA 9 – PARÂMETROS DO ÍNDICE DROOP CC 107
TABELA 10 – PARÂMETROS DO ÍNDICE DROOP BIDIRECIONAL DE TENSÃO CC 112
TABELA 11 – PARÂMETROS DO ÍNDICE DROOP BIDIRECIONAL DE TENSÃO CA 115
TABELA 12 – PARÂMETROS DO ÍNDICE DROOP BIDIRECIONAL DE CORRENTE 119
TABELA 13 – ÍNDICES DE DROOP DOS ELEMENTOS DA MICRORREDE HÍBRIDA 125
TABELA 14 – ESTRATÉGIAS DE CONTROLE DO INVERSOR DE INTERLIGAÇÃO PARA AS DIFERENTES CONFIGURAÇÕES DA MICRORREDE HÍBRIDA 127
TABELA 15 – CARACTERÍSTICAS ELÉTRICAS MICRORREDE HÍBRIDA DO DELT 151
TABELA 16 – ELEMENTOS DO CIRCUITO DE CONDICIONAMENTO DOS SINAIS DA PLACA DE SENSORES.....159
TABELA 17 – ELEMENTOS DO CIRCUITO DE CONDICIONAMENTO DOS SINAIS DO MÓDULO DE POTÊNCIA.....161

TABELA 18 – GANHO DOS SENSORES E DOS CIRCUITOS DE CONDICIONAMENTO 163
TABELA 19 – GANHO DE REALIMENTAÇÃO DAS MALHAS DE CONTROLE 163
TABELA 20 – SINAIS DE ENTRADA E SAÍDA DA PLACA DE CONTROLE 166
TABELA 21 – CARACTERISTICAS DO PROCESSADOR TMS30F28379D.....167
TABELA 22 – PARÂMETROS DE CONFIGURAÇÃO DO PWM 169
TABELA 23 – ENSAIOS EXPERIMENTAIS DO INVERSOR DE INTERLIGAÇÃO NO LABGD.....178
TABELA 24 – PARÂMETROS ELÉTRICOS DO PROTÓTIPO DO INVERSOR DE INTERLIGAÇÃO PARA ENSAIOS EM LABORATÓRIO.....179
TABELA 25 – ÍNDICE DE DROOP PARA OS ENSAIOS EXPERIMENTAIS.....180
TABELA 26 – RESULTADO DA PESQUISA DO MATERIAL BIBLIOGRÁFICO.....206
TABELA 27 – ETAPAS DE SELEÇÃO DO PORTIFÓLIO BIBLIOGRÁFICO.....207
TABELA 28 – MÉTRICAS DOS ARTIGOS SELECIONADOS 208
TABELA 29 – IDENTIFICAÇÃO DOS SETORES PELOS SINAIS DOS VETORES 216
TABELA 30 – TEMPO DE ACIONAMENTO DOS VETORES QUE DELIMITAM OS SETORES.....218
TABELA 31 – SEQUÊNCIA DE ACIONAMENTO DOS VETORES DOS SETORES 220
TABELA 32 – AMPLITUDE DAS HARMÔNICAS DE TENSÃO V_{Ca}.....225
TABELA 33 – PARÂMETROS DO PROJETO DO INDUTOR L_i 234
TABELA 34 – PARÂMETROS DO PROJETO DO INDUTOR L_r.....237
TABELA 35 – PARÂMETROS DO PROJETO DO COMPENSADOR DE CORRENTE 247
TABELA 36 – PARÂMETROS DO PROJETO DO COMPENSADOR DE TENSÃO CA.....252
TABELA 37 – PARÂMETROS DO PROJETO DO COMPENSADOR DE TENSÃO CC.....255
TABELA 38 – DADOS DO CIRCUITO PARA SIMULAÇÃO DO INVERSOR DE INTERLIGAÇÃO 259
TABELA 39 – CARACTERÍSTICAS ELÉTRICAS DO MÓDULO DE POTÊNCIA...271

LISTA DE ABREVIATURAS OU SIGLAS

AD	- Analógico-digital
ADC	- Analogic-Digital Converter
CA	- Corrente Alternada
CC	- Corrente Contínua
CCM	- Current Control Mode
CCS	- Code Composer Studio
CE	- Chave Estática
CIGRE	- Conselho Internacional de Grandes Sistemas Elétricos
CLA	- Control Law Accelerator
CLP	- Controlador Lógico Programável
DELT	- Departamento de Engenharia Elétrica
DSOGI-PLL	- Dual Second Order Generalised Integrator Phase-Locked Loop
ePWM	- Enhanced Pulse Width Modulation
FD	- Fonte Despachável
FFT	- Fast Fourier Transform
FPB	- Filtro Passa-baixa
GD	- Geração Distribuída
GPIO	- General Purpose Input/Output
HIL	- Hardware-in-the-loop
IEEE	- Institute of Electrical and Electronic Engineers
IHM	- Interface Homem-máquina
LABGD	- Laboratório de Geração Distribuída
MIPS	- Milhões de Instruções por Segundo
MPP	- Máximo Ponto de Potência
PCC	- Ponto de Conexão Comum
PLL	- Phase-Locked Loop
PnP	- Plug and Play
PWM	- Pulse Width Modulation
RED	- Rede Elétrica de Distribuição
SIN	- Sistema Interligado Nacional
SOGI	- Second Order Generalised Integrator
SPWM	- Sinusoidal Pulse Width Modulation

SRF-PLL	- Synchronous Reference Frame Phase-Locked Loop
SVM	- Space Vector Modulation
THD	- Total Harmonic Distortion
TRL	- Technology Readiness Level
UFPR	- Universidade Federal do Paraná
VCM	- Voltage Control Mode
VSI	- Voltage Source Inverter
ZOH	- Zero-Order Hold

LISTA DE SÍMBOLOS

A_1 - sensor de corrente do módulo de potência

A_2 - sensor de corrente da placa de sensores

abc/dq - transformada de Park

abc/αβ - transformada de Clarke

av_{Cx} - tensão no capacitor do ciclo anterior do AD

B_1 - barramento de conexão entre a placa de controle e do módulo de potência

B_2 - barramento de conexão entre a placa de controle e da placa de sensores

C - capacitor do filtro da sub-rede CC

C_{aa} - capacitor do filtro anti-*alising*

C_{buf} - capacitor do circuito de buffer

C_f - capacitor do filtro LCL

C_{rlx} - capacitor de filtro da fonte simétrica

D - matriz de acoplamento entre os eixos dq

D_{jx} - disjuntor do protótipo do inversor de interligação

D_x - sinais de comado dos interruptores (x = 1, 3 ou 5)

e_d - erro do controle *droop* bidirecional de corrente

e_d^* - referência do erro do controle do *droop* bidirecional de corrente

e_{dm} - valor máximo do erro do controle do *droop* bidirecional de corrente

f - frequência da sub-rede CA

f^* - referência da frequência da sub-rede CA

$f_{_pu}$ - frequência da sub-rede CA por unidade (pu)

f_a - frequência de amostragem

f_c - frequência de comutação dos interruptores

f_{cc} - frequência de corte do compensador de tensão CC

f_{ci} - frequência de corte do compensador de corrente

f_{cl} - frequência de *clock* do microcontrolador

f_{cv} - frequência de corte do compensador de tensão CA

f_m - frequência máxima da sub-rede CA

f_n - frequência nominal da sub-rede CA

f_n^* - frequência de referência para a frequência nominal da sub-rede CA

f_{n_max} - valor máximo da frequência nominal para a curva de droop

f_{n_min} - valor mínimo da frequência nominal para a curva de droop

f_r - frequência de ressonância do filtro LCL

F_x - fusíveis de proteção

G_{cc} - compensador da malha de controle de tensão CC utilizado na simulação

G_{ccn} - compensador da malha de controle de tensão CC utilizado no protótipo

G_h - ganho do *zero-order hold*

G_i - compensador da malha de controle de corrente utilizado na simulação

G_{in} - compensador da malha de controle de corrente utilizado no protótipo

G_v - compensador da malha de controle de tensão CA utilizado na simulação

G_{vn} - compensador da malha de controle de tensão CA utilizado no protótipo

H_{cc} - ganho de realimentação da tensão CC

H_{ir} - ganho de realimentação de corrente

H_{re} - ganho entre a corrente do lado CC e a corrente do lado CA

H_{vC} - ganho de realimentação de tensão CA

i_{Cx} - corrente do capacitor do filtro LCL (x = a, b, c, α, β, d ou q)

I_e - corrente do capacitor do filtro C

i_{i*x} - referência para a malha de controle de corrente do indutor Li (x = d ou q)

I_{ia} - amplitude da corrente da fase ‘a’ do indutor L_i

I_{iaf} - amplitude da corrente da fase ‘a’ na frequência fundamental do indutor L_i

i_{ix} - corrente do indutor do lado do inversor (x = a, b, c, α, β, d ou q)

i_{r*x} - referência para a malha de controle de corrente do indutor L_r (x = d ou q)

I_{ra} - amplitude da corrente no indutor Lr

I_{raf} - amplitude da corrente da fase ‘a’ na frequência fundamental do indutor L_r

i_{rx} - corrente do indutor do lado da rede (x = a, b, c, α, β, d ou q)

k_{cdi} - ganho de condicionamento de corrente

k_{cdv} - ganho de condicionamento de tensão CA

k_{cdvc} - ganho de condicionamento de tensão CC

K_D - ganho de desacoplamento dos sinais dq

k_{edPII} - índice do *droop* bidirecional de corrente

k_{fVe} - índice do *droop* bidirecional de tensão CC para relação frequência/tensão CC

K_{inv} - ganho do inversor de interligação

k_{Pf} - índice *droop* CA

k_{PIIf} - índice do *droop* bidirecional de tensão CA para relação potência/frequência

k_{PIIVe} - índice do *droop* bidirecional de tensão CC para a relação potência/tensão CC

k_{PVe} - índice *droop* CC

k_{si} - ganho do sensor de corrente

K_{sogi} - ganho do pré-filtro SOGI

k_{sv} - ganho do sensor de tensão CA

k_{svc} - ganho do sensor de tensão CC

k_{Vef} - índice do *droop* bidirecional de tensão CA para a relação tensão CC/frequência

K_x - contatores de pré-carga

L_i - indutor do lado do inversor do filtro LCL

L_r - indutor do lado da rede do filtro LCL

L_R - indutor equivalente ($L_i + L_r$)

MF - margem de fase dos compensadores

M_r - índice de modulação

N - neutro da sub-rede CA

N' - neutro do ramo do capacitor do filtro LCL

O - comum do lado CC da ponte completa

P_{CA} - potência da carga CA

P_{CC} - potência da carga CC

P_{GD} - potência ativa da fonte de geração distribuída

P_{II} - potência do inversor de interligação

P_{II_n} - potência nominal do inversor de interligação

P_{II_pu} - potência do inversor de interligação em pu

P_{RED} - potência da rede elétrica de distribuição

qV'_{Cx} - sinal filtrado em quadratura do pré-filtro SOGI (x = α ou β)

R_{aa} - resistor do filtro anti-*alising*

R_{buf} - resistor do circuito de buffer

R_{ca} - resistor de pré-carga CA

R_{cc} - resistor de pré-carga CC

R_{di} - resistor do circuito de condicionamento da tensão CC

R_{dx} - resistor do circuito de condicionamento de corrente e tensão CA

R_f - resistor de amortecimento do filtro LCL

R_M - resistor transdutor corrente para tensão

R_{ofx} - resistor do circuito de *off-set*

R_{pd} - resistor do circuito de condicionamento do sinal digital do módulo de potência

S_x - interruptor da ponte trifásica (x = 1, 2, 3, 4, 5 ou 6)

T_a - período de amostragem do AD

T_c - período de comutação dos interruptores

T_D - função de transferência de malha fechada da corrente com atraso

T_{Dcc} - função de transferência de malha fechada do controle de tensão CC

T_{Dv} - função de transferência de malha fechada do controle de tensão CA

T_{MF} - função de transferência de malha fechada da corrente

V'_{Cx} - sinal filtrado do pré-filtro SOGI (x = α ou β)

V'_{Dx} - sinal desacoplado da razão cíclica dos interruptores (x = d ou q)

V^{+}_{Cx} - sinal de sequência positiva na saída do pré-filtro SOGI (x = α ou β)

V_1 - sensor de tensão CA da placa de sensores

V_2 - sensor de tensão CC do módulo de potência

$v_C^*{}_x$ - referência para a malha de controle de tensão CA (x = d ou q)

v_{Cx} - tensão no capacitor do filtro LCL (x = a, b, c, α, β, d ou q)

v_d - tensão de coordenada d

V_{Dx} - tensões de referência para modulação vetorial

V_e - tensão da sub-rede CC

V_e^* - referência da tensão da sub-rede CC

V_{e_m} - valor máximo da tensão da sub-rede CC

V_{e_n} - tensão nominal da sub-rede CC

$V_{e_n}^*$ - referência para a tensão nominal da sub-rede CC

$V_{e_n_max}$ - valor máximo da tensão CC nominal para a curva de droop

$V_{e_n_min}$ - valor mínimo da tensão CC nominal para a curva de droop

V_{e_pu} - tensão da sub-rede CC por unidade (pu)

v_{ex} - sinal de saída do ganho do inversor de interligação (x = d ou q)

V_L - tensão de linha da sub-rede CA

V_m - valor de pico das tensões de fase do sistema trifásico

V_m^* - referência do valor de pico da tensão

V_{Mx} – vetor resultante modulação vetorial (x = a,b ou c)

v_q - tensão de coordenada q

V_R^* - vetor resultante da representação do sistema trifásico

V_{tri} – amplitude da triangular da modulação SVM

V_{xN} - tensões de fase na saída da ponte completa (x = a,b ou c)

V_{xO} - tensão nos interruptores (x = a, b ou c)

V_α - tensão de coordenada alfa

V_β - tensão de coordenada beta

X_i - sinal de fase de entrada do PLL

X_o - sinal de fase de saída do PLL

z^{-1} - atraso de amostragem no domínio de ‘z’

Z_{b_LCL} - impedância base do filtro LCL

δ_{Cf} - índice percentual de potência reativa no capacitor do filtro LCL

δf - flutuação da frequência da sub-rede CA

δ_{f_pu} - flutuação da frequência da sub-rede CA em pu

$\delta f'$ - flutuação da frequência da sub-rede CA exclusiva para o *droop* bidirecional

δ_h - coeficiente de atenuação das harmônicas

Δi_{Li} - ondulação na corrente do indutor L_i

Δi_x - ondulação da corrente normalizada no indutor L_i

δ_{ix_Li} - coeficiente de ondulação na corrente do indutor L_i

$\delta V'_e$ - flutuação da tensão da sub-rede CC exclusiva para o *droop* bidirecional

δV_e - flutuação da tensão da sub-rede CC

δV_{e_pu} - flutuação da tensão da sub-rede CC em pu

θ - fase das tensões trifásicas

$\omega't$ - sinal de saída do PLL subtraído em 90°

ω_h - frequência angular das harmônicas

ω_n - frequência angular nominal da sub-rede CA

$\omega_n t$ - deslocamento no tempo da frequência angular nominal

ωt - deslocamento no tempo da frequência angular da sub-rede CA

SUMÁRIO

1 INTRODUÇÃO 16
1.1 MICRORREDES 16
1.1.1 Microrredes Híbridas 19
1.2 MODO DE OPERAÇÃO E CONTROLE DE POTÊNCIA DO INVERSOR DE INTERLIGAÇÃO 23
1.3 REVISÃO BIBLIOGRÁFICA E PROPOSTA DAS ESTRATÉGIAS DE CONTROLE PARA O INVERSOR DE INTERLIGAÇÃO 25
1.3.1 Estratégias de Controle do Inversor de Interligação 26
1.3.2 Estratégias de Controle Proposta para o Inversor de Interligação 32
1.4 OBJETIVOS 38
1.5 PRINCIPAIS CONTRIBUIÇÕES 39
1.6 ORGANIZAÇÃO DO TRABALHO 42
1.7 CONSIDERAÇÕES FINAIS DO CAPÍTULO 43
2 FUNDAMENTAÇÃO TEÓRICA 45
2.1 OPERAÇÃO DO INVERSOR DE INTERLIGAÇÃO 45
2.2 CARACTERÍSTICAS DA MODULAÇÃO VETORIAL 49
2.3 MALHA DE SINCRONISMO DE FREQUÊNCIA 53
2.4 MALHA DE CONTROLE DROOP 57
2.4.1 Controle *Droop* CA e Controle *Droop* Inverso CA 60
2.4.2 Controle *Droop* CC e Controle *Droop* Inverso CC 62
2.4.3 Controle *Droop* Bidirecional. 65
2.5 CONSIDERAÇÕES FINAIS DO CAPÍTULO 72
3 PROJETO DO FILTRO LCL, MODELAGEM E CONTROLE DO INVERSOR DE INTERLIGAÇÃO 74
3.1 PROJETO DOS ELEMENTOS DO FILTRO LCL 76
3.1.1 Ressonância do Filtro LCL 79
3.2 MODELAGEM DO INVERSOR DE INTERLIGAÇÃO COM FILTRO LCL 82
3.3 MODELO DA MALHA DE CONTROLE DE CORRENTE 86
3.3.1 Circuito da Malha de Controle de Corrente 92
3.4 MODELO DA MALHA DE CONTROLE DE TENSÃO DA SUB-REDE CA 94
3.4.1 Circuito da Malha de Controle de Tensão CA 96
3.5 MODELO DA MALHA DE CONTROLE DE TENSÃO DA SUB-REDE CC 100

3.5.1 Circuito da Malha de Controle de Tensão CC 102
3.6 MALHA DE CONTROLE *DROOP* 103
3.6.1 Projeto da Malha de Controle *Droop* CC P_{II}-V_e 105
3.6.2 Projeto da Malha de Controle *Droop* Inverso CC V_e-P_{II} 107
3.6.3 Projeto da Malha de Controle *Droop* Bidirecional de Tensão CC (P_{II},f-V_e) 109
3.6.4 Projeto da Malha de Controle *Droop* Bidirecional de Tensão CA (P_{II},V_e-f) 113
3.6.5 Projeto da Malha de Controle *Droop* Bidirecional de Corrente (V_e,f_n-P_{II}) 116
3.7 CONSIDERAÇÕES FINAIS DO CAPÍTULO 119
4 SIMULAÇÃO DO INVERSOR DE INTERLIGAÇÃO EM DIFERENTES CONFIGURAÇÕES DA MICRORREDE HÍBRIDA 122
4.1 SIMULAÇÃO DA CONFIGURAÇÃO 1 E 4 DA MICRORREDE HÍBRIDA 128
4.2 SIMULAÇÃO DA CONFIGURAÇÃO 2 E 3 DA MICRORREDE HÍBRIDA 132
4.3 SIMULAÇÃO DA CONFIGURAÇÃO 5 DA MICRORREDE HÍBRIDA 135
4.4 SIMULAÇÃO DA CONFIGURAÇÃO 6 DA MICRORREDE HÍBRIDA 140
4.5 SIMULAÇÃO DA CONFIGURAÇÃO 7 DA MICRORREDE HÍBRIDA 145
4.6 CONSIDERAÇÕES FINAIS DO CAPÍTULO 149
5 PROJETO E IMPLEMENTAÇÃO DO PROTÓTIPO DO INVERSOR DE INTERLIGAÇÃO 151
5.1 PROJETO DO PROTÓTIPO INVERSOR DE INTERLIGAÇÃO 151
5.2 PLACA DE SENSORES E CIRCUITOS DE CONDICIONAMENTO 156
5.2.1 Placa de Sensores 156
5.2.2 Circuitos de Condicionamento de Sinal 158
5.2.3 Ganhos de Realimentação 162
5.3 PLACA DE CONTROLE 163
5.4 CONSIDERAÇÕES FINAIS DO CAPÍTULO 175
6 RESULTADOS EXPERIMENTAIS DO PROTÓTIPO DO INVERSOR DE INTERLIGAÇÃO 177
6.1 ENSAIO EXPERIMENTAL 1 – VCM CC COM *DROOP* BIDIRECIONAL DE TENSÃO CC 180
6.2 ENSAIO EXPERIMENTAL 2 – VCM COM *DROOP* BIDIRECIONAL DE TENSÃO CA 184
6.3 ENSAIO EXPERIMENTAL 3 – CCM COM DROOP BIDIRECIONAL DE CORRENTE 188
6.4 CONSIDERAÇÕES FINAIS DO CAPÍTULO 192

7 CONCLUSÕES FINAIS....194
7.1 SUGESTÕES DE TRABALHOS FUTUROS 197
REFERÊNCIAS....198
APÊNDICE 1 – PROCESSO DE SELEÇÃO DE PORTFÓLIO BIBLIOGRÁFICO .206
APÊNDICE 2 – REPRESENTAÇÃO DE SISTEMAS TRIFÁSICOS....209
APÊNDICE 3 – ALGORITMO DA MODULAÇÃO VETORIAL (SVM) 214
APÊNDICE 4 – PRÉ-FILTRO SOGI 224
APÊNDICE 5 – PROJETO DA MALHA DO SRF-PLL COM PRÉ-FILTRO SOGI..226
APÊNDICE 6 – PROJETO DOS ELEMENTOS DO FILTRO LCL....232
APÊNDICE 7 – OBTENÇÃO DO MODELO DQ A PARTIR DO MODELO ABC ...240
APÊNDICE 8 – PROJETO DOS COMPENSADORES DA MALHA DE CONTROLE DE CORRENTE E DE TENSÃO 245
APÊNDICE 9 – SIMULAÇÃO DAS MALHAS DE CONTROLE DE CORRENTE E TENSÃO 258
APÊNDICE 10 – PROJETO DOS CIRCUITOS DE POTÊNCIA DO PROTÓTIPO DO INVERSOR DE INTERLIGAÇÃO 270
APÊNDICE 11 – MODELO DE FONTES E CARGAS UTILIZADAS NA SIMULAÇÃO DA MICRORREDE HÍBRIDA 278
APÊNDICE 12 – CIRCUITOS DE CONDICIONAMENTO DE SINAL DOS SENSORES 284
APÊNDICE 13 – PROGRAMAÇÃO DO MICROCONTROLADOR 293
ANEXO 1 – FICHA DE DADOS DO MÓDULO DE POTÊNCIA 314

1 INTRODUÇÃO

O objetivo deste capítulo é contextualizar o tema em relação ao inversor de interligação e delimitar a proposta de trabalho.

O inversor de interligação está inserido no contexto das microrredes elétricas, especificamente em aplicações em microrrede híbridas. Dessa maneira, neste capítulo, as microrredes serão definidas e dados serão apresentados para demonstrar seu potencial econômico e de pesquisa acadêmica. Em seguida, a microrrede híbrida é caracterizada com um exemplo de projeto prático em implementação e as características e aplicação do inversor de interligação são descritas.

As próximas seções, deste capítulo, têm como objetivo delimitar e posicionar este trabalho em relação aos trabalhos correlatos existentes na literatura. Inicialmente, a proposta deste trabalho é descrita e posicionada através de artigos semelhantes. Em seguida, o objetivo principal, os objetivos específicos e as principais contribuições deste trabalho são listados. Por fim, a última seção é dedicada a descrever como está organizado os demais capítulos do presente trabalho.

1.1 MICRORREDES

Os sistemas de geração distribuída vêm crescendo ao longo dos anos como uma alternativa para suprir o aumento da demanda por energia elétrica. No ponto de vista das concessionárias de energia, a geração distribuída contribui para a expansão do sistema elétrico, evita ou reduz os investimentos em transmissão e distribuição e traz diversidade na matriz de energia elétrica. Enquanto para o consumidor, o uso de fontes de energias renováveis é considerado um atrativo com relação aos aspectos ambientais e econômicos, além disso, no Brasil, existe isenção de tarifas para distribuição, isenção de impostos para a produção em alguns estados, e a possibilidade de obtenção de créditos, em sistema de compensação que são revertidos do excedente da energia produzida.

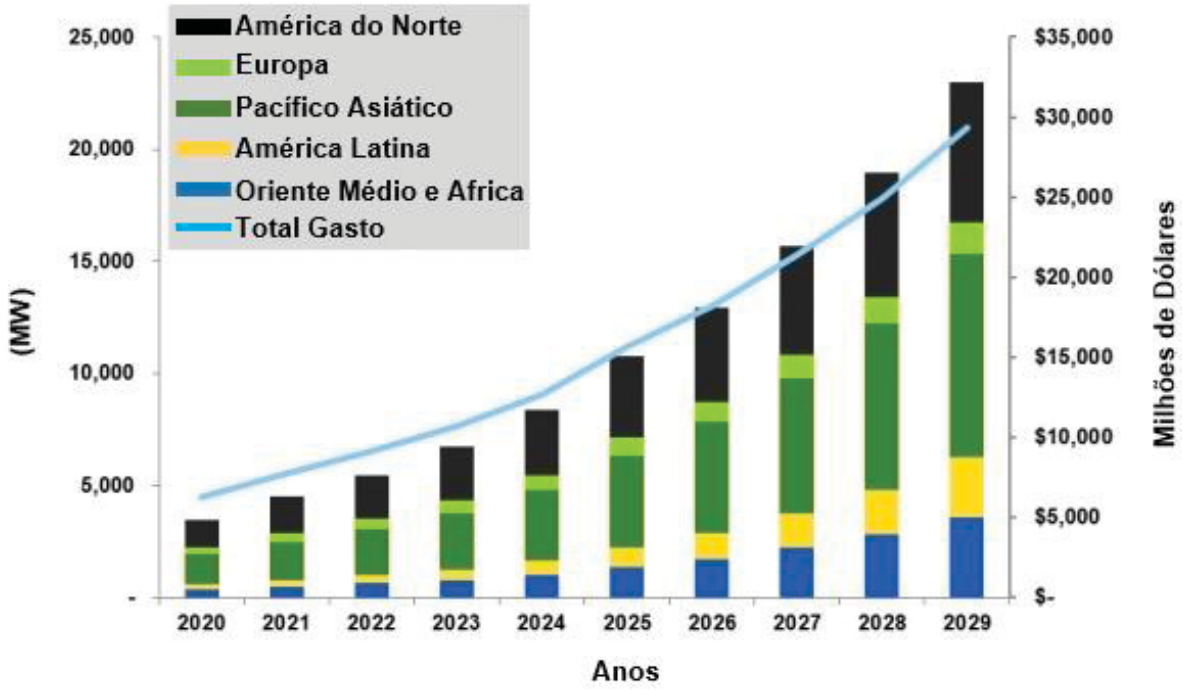
Uma alternativa para ampliar as vantagens do uso de geração distribuída são as microrredes elétricas. A microrrede é definida pelo Conselho Internacional de Grandes Sistemas Elétricos (CIGRE) como:

> “Sistemas de distribuição de eletricidade contendo cargas e recursos de energia distribuída (como geradores distribuídos, dispositivos de armazenamento ou cargas controláveis) que podem ser operados de forma controlada e coordenada enquanto conectados à rede elétrica principal ou enquanto isolados”. (CIGRE, 2015, p. 10).

O armazenamento de energia reduz os problemas de intermitência das fontes de energias renováveis e permite que a microrrede opere desconectada do sistema elétrico. Quando conectada, a microrrede pode ser vista como uma unidade geradora ou carga para o restante do sistema elétrico e, por ser controlável, contribui para a estabilidade e qualidade do Sistema Interligado Nacional (SIN).

Em pesquisa realizada pela empresa de consultoria Guidehouse Insights, e publicado pela Microgrid Knowledge em Cohn (2020), é apresentada a tendência de um crescimento exponencial da capacidade instalada, em microrredes elétricas, que utilizam, exclusivamente, fontes de energia renováveis. O estudo é resumido na FIGURA 1 e apresenta a previsão da capacidade instalada em cinco grandes regiões do mundo junto a projeção de investimentos global no setor.

FIGURA 1 – PROJEÇÃO DA CAPACIDADE E DE INVESTIMENTOS EM MICRORREDES

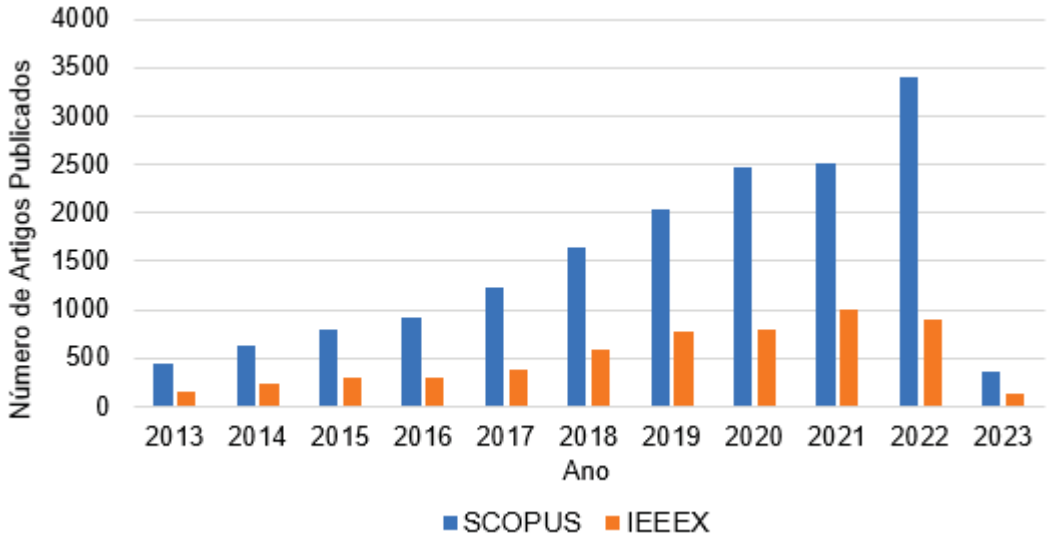


FONTE: Modificado de COHN (2020)

Na América Latina, até 2029, haverá mais de 5 GW de capacidade instalada utilizando fontes de energias renováveis em microrredes. O crescimento esperado na Europa, Ásia e na América do Norte é ainda maior e o total gasto no setor, em uma visão global, deve estar próximo de 30 bilhões de dólares em dez anos.

O interesse por microrredes não é somente econômico, na última década, ocorreu um aumento considerável no número de artigos acadêmicos publicados em periódicos. As microrredes estão sendo o foco de muitos estudos e, com isso, as tecnologias relacionadas estão em desenvolvimento. Na FIGURA 2 está o gráfico com as publicações nos últimos dez anos presentes em dois dos principais repositórios acadêmicos. Os artigos foram selecionados através da presença da palavra-chave *microgrid* e foram considerados somente publicações em periódicos.

FIGURA 2 – NÚMERO DE ARTIGOS PUBLICADOS RELACIONADOS COM MICRORREDES EM PERIÓDICOS NA ÚLTIMA DÉCADA



FONTE: O Autor (2023).

O crescimento no número de artigos publicados está alinhado com a tendência de investimentos em microrredes e, até o final de 2023, as publicações devem ultrapassar o número de artigos do ano de 2022.

As microrredes podem ser classificadas como de corrente alternada (CA), de corrente contínua (CC) ou híbrida (CA/CC). Uma microrrede é definida como de CC se suas fontes de geração estão fornecendo em CC para alimentar cargas em CC, sendo que, a mesma premissa é válida para as microrredes CA e microrredes híbridas. Para Sajid et al. (2019), o desenvolvimento das microrredes CA pode ser

justificado pela grande maioria de sistemas de geração, transmissão e distribuição em CA, enquanto, o interesse nas microrredes CC cresce embasada no aumento do uso de fontes de energia renovável que produzem em CC, no desenvolvimento de armazenadores e na grande quantidade de cargas eletrônicas que utilizam CC. A microrrede híbrida apresenta uma microrrede CA e uma microrrede CC em sua estrutura e, com isso, concatenam as características presentes em ambas as microrredes.

Sahoo, Sinha e Kishore, (2018) realizam uma revisão dos tipos de controle aplicados as microrredes CA, CC e hibridas e detalham suas características. Os autores destacam que as microrrede híbridas apresentam vantagens em relação as microrredes CA e as microrrede CC, pois, apresentam na sua estrutura duas sub-redes, uma em CA e uma em CC, o que favorece a sua aplicação junto à rede elétrica de distribuição, reduz as etapas de conversão e facilita a conexão de diferentes fontes de energia. Najafzadeh et al. 2021 reforçam que a microrrede híbrida melhor a eficiência e reduz o custo do sistema com menos conversores e, considerando os demais benefícios citados neste parágrafo, é a estrutura de microrrede mais promissora no futuro próximo.

1.1.1 Microrredes Híbridas

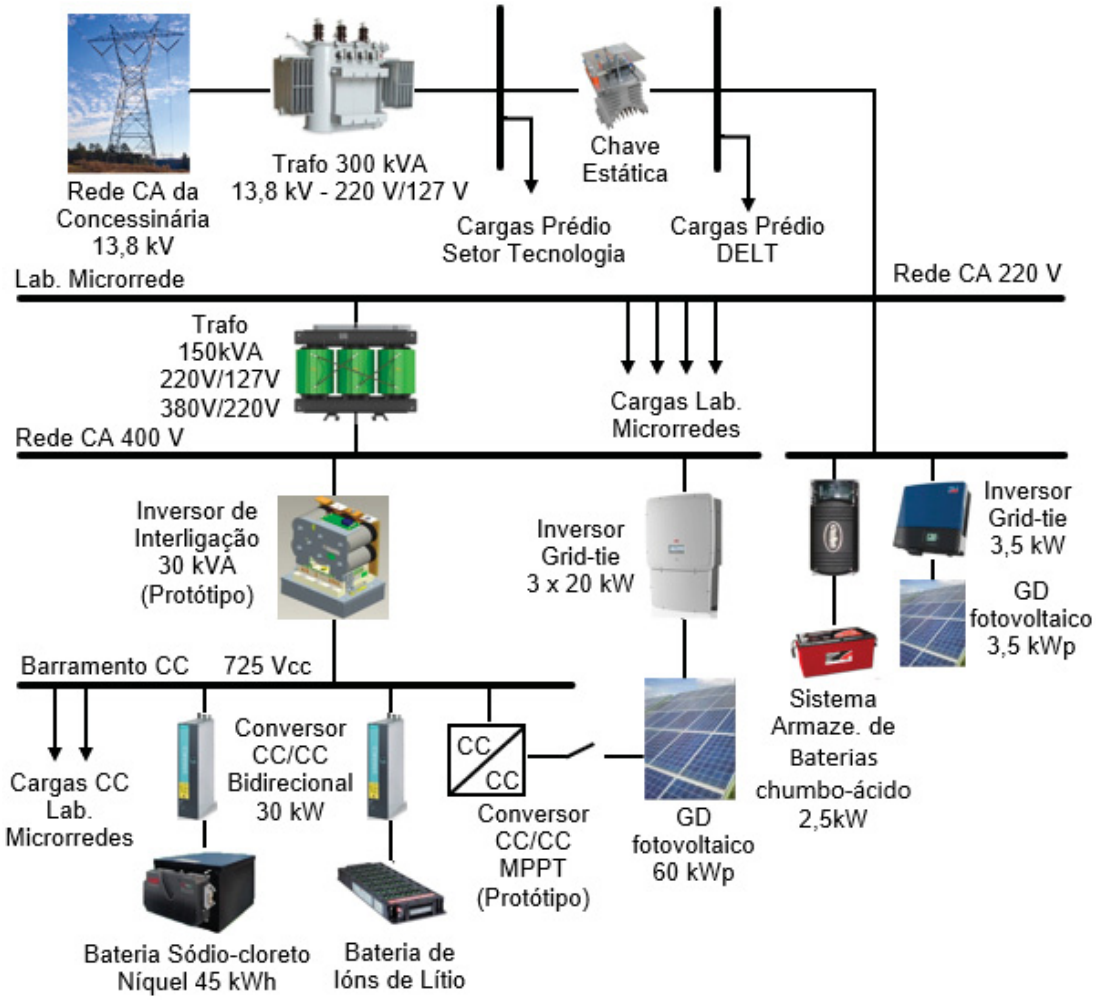
A microrrede híbrida é formada por uma microrrede CA, ou sub-rede CA, uma microrrede CC, ou sub-rede CC, e um inversor de interligação para coordenar o fluxo de potência entre as sub-redes. Com a presença das sub-redes, as fontes de energia renováveis, que geram em CC ou CA, são conectadas, respectivamente, na sub-rede CC e na sub rede CA, para alimentar as cargas correspondentes.

Na FIGURA 3 está um exemplo de microrrede híbrida, ela é detalhada no trabalho de Demonti et al. (2019) e está em implantação no bloco do Departamento de Engenharia Elétrica (DELT) da Universidade Federal do Paraná (UFPR).

Na sub-rede CA, estão presentes as cargas CA, um banco de baterias chumbo-ácido e duas fontes de geração fotovoltaica, além disso, a chave estática é representada no ponto de conexão comum (PCC) com a rede elétrica de distribuição. Na sub-rede CC estão presentes as cargas de CC e dois bancos de baterias, o primeiro com tecnologia de armazenamento através de íons de lítio e o segundo

através de sódio cloreto de níquel. Quando a chave estática é aberta, os armazenadores permitem que a microrrede do DELT opere ilhada da rede elétrica de distribuição, além disso, contribuem para sua estabilidade, qualidade de energia e confiabilidade. A conexão entre as sub-redes de CC e CA é realizada por um inversor bidirecional que é denominado como inversor de interligação.

FIGURA 3 – EXEMPLO DE MICRORREDE HÍBRIDA



FONTE: O autor (2023).

Em uma avaliação inicial, fica evidente que a microrrede híbrida apresenta maior integração em relação às microrredes CA, no que se refere, a conexão de fontes de geração distribuída que produzem em CC e diferentes tipos de cargas. Unamuno e Barrena (2015a) observam que os conversores CC/CC que conectam as baterias à sub-rede CC, não necessitam de malhas de controles de sincronização com a rede elétrica, o que seria necessário para operação em microrredes CA. A adequação dos

níveis de tensão em uma microrrede híbrida pode ser simplificada, em alguns casos, com a utilização de um conversor CC/CC para as cargas CC e de transformadores para as cargas em CA.

Considerando a microrrede híbrida do DELT, a energia produzida pelos painéis fotovoltaicos, presentes na sub-rede CA, pode ser direcionada para as cargas CA, cargas CC e o excedente pode carregar as baterias ou ser injetado na rede elétrica de distribuição. A mesma condição de operação pode ser alcançada pelas demais fontes e armazenadores presentes na microrrede híbrida, sejam eles conectados à sub-rede CC ou sub-rede CA. Essa flexibilidade, na operação é alcançada através do inversor de interligação que possibilita o controle bidirecional da potência.

As fontes despacháveis como as baterias podem operar como fonte de tensão ou como fonte de corrente, quando operando como fonte de tensão apresentam a capacidade de formar a tensão das sub-redes e são determinantes para a regulação de tensão e da frequência da microrrede híbrida. Enquanto as fontes não despacháveis como os painéis fotovoltaicos, normalmente, operam no máximo ponto de potência (MPP) e como fonte de corrente, portanto, contribuem com a injeção de potência.

A microrrede híbrida pode operar conectada ou desconectada (ilhada) da rede elétrica de distribuição. Quando conectada, a tensão da sub-rede CA é formada pelo Sistema Interligado Nacional (SIN), com magnitude da tensão e a frequência com valores fixos, e a tensão da sub-rede CC pode ser formada por uma fonte despachável operando como fonte de tensão (FD) conectada a ela. Na operação ilhada, ambas as tensões, da sub-rede CA e da sub-rede CC, devem ser formadas por FDs operando como fonte de tensão.

Na TABELA 1 está o resumo com as oito possíveis configurações da microrrede híbrida. Na segunda coluna é indicado se a sub-rede CA está conectada ou não à rede elétrica de distribuição, a terceira coluna define a presença de fonte despachável para formar a tensão em cada uma das sub-redes, e a quarta e quinta coluna estabelecem como a tensão das sub-redes podem ser formadas, dependendo da sua configuração. Se não houver uma FD formando a tensão da sub-rede CA ou da sub-rede CC, o inversor de interligação pode assumir como formador de rede.

Na TABELA 1, a rede elétrica de distribuição é descrita apenas como rede de distribuição com o objetivo de simplificar a nomenclatura e as fontes despacháveis operando como fonte de tensão como (FD).

TABELA 1 – CONFIGURAÇÃO POSSÍVEIS DA MICRORREDE HÍBRIDA

Config.	Modo de Operação (rede de distribuição)	Presença de Fonte Despachável Formadora de rede (FD)	Forma tensão da sub-rede CA	Forma tensão da sub-rede CC
1	Conectada	Sub-rede CA	Rede de distribuição	Inversor de interligação
2	Conectada	Sub-rede CC	Rede de distribuição	Inversor de interligação ou FD CC
3	Conectada	Sub-rede CA e CC	Rede de distribuição	Inversor de interligação ou FD CC
4	Conectada	Não Contém	Rede de distribuição	Inversor de interligação
5	Desconectada	Sub-rede CA	FD CA	Inversor de interligação
6	Desconectada	Sub-rede CC	Inversor de interligação	FD CC
7	Desconectada	Sub-rede CA e CC	Inversor de interligação ou FD CA	Inversor de interligação ou FD CC
8	Desconectada	Não Contém	Operação não viável	Operação não viável

FONTE: O Autor. (2023).

A presença apenas de uma fonte despachável formadora de rede na sub-rede CA caracteriza as configurações 1 e 5 da microrrede híbrida, sendo que, elas se diferenciam pela conexão da rede elétrica de distribuição na configuração 1. Na configuração 2 e 6, há apenas uma fonte despachável operando como fonte de tensão conectado à sub-rede CC, mais uma vez, a diferença entre essas configurações é a conexão ou não com a rede elétrica. A presença de fontes despacháveis formadoras de rede na sub-rede CA e na sub-rede CC é característica das configurações 3 e 7, enquanto, a ausência de fontes despacháveis formadoras de rede é característica das configurações 4 e 8.

Quando a sub-rede CA está conectada, a tensão da sub-rede CA é formada pela rede elétrica de distribuição, enquanto a tensão da sub-rede CC pode ser formada pelo inversor de interligação nas configurações 1, 2, 3 e 4, ou por uma FD conectada à sub-rede CC, configuração 2 e 3. Do ponto de vista da sub-rede CC, a rede elétrica de distribuição mais o inversor de interligação pode ser considerado uma fonte despachável conectada a ela e, com isso, formar a tensão da sub-rede CC nas

configurações 1 a 4. Na configuração 2 e 3 há a presença de uma FD CC que pode fazer o papel de formador de rede da sub-rede CC.

No modo de operação desconectada da rede de distribuição, as tensões das sub-redes devem ser mantidas por uma FD ou pelo inversor de interligação. Na configuração 5 há apenas uma FD conectada à sub-rede CA e na configuração 6 há apenas uma FD conectada à sub-rede CC, sendo necessário que, o equilíbrio de energia para regulação da tensão seja mantido em ambas as sub-redes pelo inversor de interligação. Na configuração 7 cada sub-rede contém uma FD, portanto, a tensão pode ser formada pelas respectivas FD conectadas a elas. Por fim, a configuração 8 não pode ser considerada viável, pois, contém apenas fontes intermitentes e sem função de formar a tensão.

As configurações 1, 4, 5 e 6 da microrrede híbrida somente são viáveis se o inversor de interligação apresentar a capacidade de formar as tensões das sub-redes, sendo que, não há fontes formadoras de rede em ambas as sub-redes. Dessa forma, diferentes estratégia de controle podem ser implementadas para o inversor de interligação para aumentar as opções de configurações para as microrrede híbrida.

Embora, o acoplamento das sub-redes utilizando um inversor de interligação seja uma configuração promissora, para que a microrrede híbrida permaneça operando de forma consistente, é importante que os limites operacionais de tensão e frequência sejam mantidos, independente da conexão ou não com a rede elétrica de distribuição. Para Nejabatkhah e Li (2015) e Ansari, Chadel e Tariq (2021), o gerenciamento da potência é o aspecto que deve ser investigado no estudo das microrredes híbridas, assim como, o controle das tensões e frequência das sub-redes com o equilíbrio de potência entre seus elementos. Portanto, as estratégias de controle adotada para o inversor de interligação devem incluir o controle da potência entre as sub-redes para garantir a manutenção dos níveis de tensão e frequência.

1.2 MODO DE OPERAÇÃO E CONTROLE DE POTÊNCIA DO INVERSOR DE INTERLIGAÇÃO

As estratégias de controle para o inversor de interligação são o objeto de estudo deste trabalho e são utilizadas para tornar as diferentes configurações da microrrede híbrida operacionais (TABELA 1). Portanto, dependendo da configuração

da microrrede híbrida, a estratégia de controle deve ser definida para o inversor de interligação, sendo que, cada estratégia de controle do inversor de interligação contempla um modo de operação mais uma de controle de potência.

Os modos de operação possíveis do inversor de interligação são o controle de corrente, controle de tensão CA e o controle de tensão CC.

O modo de controle de corrente é muitas vezes denominado como CCM, do inglês *Current Control Mode,* sendo que, através de uma malha de controle de corrente aplicada ao inversor de interligação é possível controlar a potência entre as sub-redes da microrrede híbrida. Enquanto, o modo de controle de tensão CA é denominado VCM, do inglês, *Voltage Control Mode* e utiliza uma malha de controle de tensão CA para formar a tensão da sub-rede CA.

Com a necessidade de formar a tensão da sub-rede CC, o modo de controle de tensão CC é implementado utilizando uma malha de controle de tensão CC e, dessa maneira, passa a ser denominado VCM CC. Por fim, quando o inversor de interligação está no modo de controle de corrente e a rede elétrica de distribuição está formando a tensão da sub-rede CA, configurações 2 e 3 da TABELA 1, o modo de operação é denominado como CCM CC.

Quando a estratégia de controle adotada pelo inversor de interligação apresenta o modo de operação VCM CC ou VCM, ele é denominado como formador de rede e quando a estratégia de controle contém os modos CCM e CCM CC ele é denominado como alimentador de rede ou apenas alimentador.

Para complementar, as estratégia de controle do inversor de interligação são implementadas malhas de controle de potência para permitir o compartilhamento de potência entre as fontes conectadas em diferentes sub-redes.

As metodologias de controle de potência em estudo neste trabalho são baseadas no controle descentralizado utilizando técnicas de *droop.* Dessa maneira, com a implementação do controle *droop* na estratégia de controle, o inversor de interligação pode compartilhar potência com uma fonte despachável operando com controle *droop* conectada à sub-rede CA ou à sub-rede CC.

As técnicas de controle *droop* CA e de *droop* CC já estão bem definidas na literatura, (WU et al, 2014), (ZHANG;LI;GUO,2020), e se forem implementadas junto a estratégia de controle do inversor de interligação permitem que ele compartilhe potência com as fontes despacháveis conectadas, respectivamente, à sub-rede CA e

à sub-rede CC. Contudo, as técnicas de controle *droop* bidirecional (LOH et al., 2013), (YANG et al., 2020) são a melhor alternativa para uso nas estratégia de controle do inverso de interligação, sendo que, essas técnicas consideram a condição de cargas de ambas as sub-redes para definir se o inversor de interligação irá compartilhar potência com a fonte despachável conectada na sub-rede CA ou na sub-rede CC.

A estratégia de controle do inversor de interligação é definida para tornar operacional as diferentes configurações da microrrede híbrida, considerando que o inversor de interligação pode operar como formador de rede. Além disso, o controle *droop* permite o compartilhamento de potência com fontes conectadas na sub-rede CA ou na sub-rede CC.

1.3 REVISÃO BIBLIOGRÁFICA E PROPOSTA DAS ESTRATÉGIAS DE CONTROLE PARA O INVERSOR DE INTERLIGAÇÃO

Uma revisão bibliográfica foi realizada com o objetivo de selecionar os trabalhos que apresentam estratégias de controle dos inversores de interligação. Com a identificação das principais características de cada projeto e das estratégias de controle aplicada é possível posicionar a proposta de projeto deste trabalho e sustentar as suas principais contribuições.

O processo de seleção dos trabalhos citados na revisão bibliográfica foi realizado no repositório Scopus através da busca de palavras-chaves, determinadas pelos eixos da pesquisa. A busca das palavras-chaves é realizada nos campos *title*, *abstract* e *Keywords*.

O primeiro eixo de pesquisa tem relação com a aplicação do inversor de interligação e contém a palavra-chave: *microgrid.* O segundo eixo de pesquisa tem relação com o elemento da microrrede que se deseja buscar e apresenta duas palavras-chaves: *inverter* e *converter*. Por último, o terceiro eixo de pesquisa é relacionado com o tipo de microrrede e apresenta as palavras-chaves: *hybrid* e *AC/DC*.

Os detalhes dos critérios para seleção e as métricas finais dos trabalhos selecionados estão descrita no Apêndice 1.

1.3.1 Estratégias de Controle do Inversor de Interligação

As estratégias de controle do inversor de interligação contêm duas malhas de controle. A primeira é denominada de malha de controle interna e define os modos de operação, CCM, VCM ou VCM CC, a segunda, sobreposta a primeira, é denominada malha de controle de potência ou de *droop*. A malha de controle interna que define a operação do inversor de interligação como CCM é a mesma que define a operação do inversor de interligação como CCM CC.

Loh et al. (2013) propõem o inversor de interligação operando no CCM e utilizando os conceitos do controle *droop* inverso. Dessa forma, estabelecem a magnitude e direção da potência ativa (P) comparando os valores normalizados da frequência (f) da sub-rede CA e a tensão (V_{cc}) da sub-rede CC. A magnitude da potência, que deve ser transferida de uma sub-rede para a outra, é definida através da comparação entre o valor da flutuação de f e de V_{cc} em relação aos seus valores nominais, enquanto, a direção da potência é definida pelo sinal resultante da mesma comparação.

Posteriormente, Ordono et al. (2019), classificam a estratégia proposta por Loh et al. (2013) de *e-droop*, sendo que, a comparação entre f e V_{cc} normalizados geram um erro que, por sua vez, é utilizado para gerar uma referência para a malha de controle de corrente.

Em outro artigo Loh, Li, Chai e Blaabjerg (2013) utilizam a mesma estratégia, mas, propõem uma topologia do inversor de interligação em dois estágios, o primeiro contém um conversor CC/CC bidirecional para conectar um banco de bateria à sub-rede CC, enquanto, o segundo estágio é composto pela ponte trifásica. Não há grandes alterações no controle bidirecional de potência, a diferença está na gestão em conjunto da energia do banco de baterias e do controle da potência entre as sub-redes.

Outros autores utilizaram a técnica de *droop* bidirecional proposta por Loh et al. (2013) para estabelecer diferentes topologias ou condições de operação da microrrede híbrida.

Eghtedarpour e Farjah (2014) estabelecem uma condição de carga-leve e de sobrecarga como regra para transferência de potência entre as sub-redes. A condição de carga leve previne a transferência de potência entre as sub-rede, caso não haja

demanda acima de um limite pré-estabelecido em uma delas, enquanto, a condição de sobrecarga impede que haja transferência de potência quando não há oferta de energia, ou seja, a energia produzida em ambas as sub-redes é somente suficiente para alimentar as cargas conectadas a ela.

Aryani e Song (2016) apresentam um inversor de interligação que utiliza o *e-droop* bidirecional conectado a uma microrrede híbrida, onde, considera que a sub-rede CA é formada por um gerador a diesel e a sub-rede CC por um banco de baterias. Um algoritmo aplicado a um controle centralizado hierárquico garante a gestão da energia armazenada na bateria.

Xia et al. (2016) define a operação de múltiplos inversores de interligação em paralelo operando no CCM. Os autores consideram que a microrrede híbrida contém somente fontes despacháveis na sub-rede CA (bateria) operando com o *droop* f/P e V/Q para formar a tensão na sub-rede CA, enquanto, o *e-droop* é utilizado para controle da potência entre as sub-redes.

Com o objetivo de integrar o *e-droop* com um controle centralizado, Montezapour e Lesani (2017) propõem o compartilhamento proporcional de potência. Os valores de f e V_{cc} normalizados são subtraídos e o resultado gera um valor de potência que é comparado com uma referência, o erro entre o valor gerado e a referência passam por um PI. A referência de potência pode ser variável e é determinada por uma malha de controle centralizada, operando em um nível acima da malha de controle do *droop* bidirecional.

O uso da tensão da sub-rede CC no *droop* bidirecional causam erros no compartilhamento de potência entre os conversores operando com o controle *droop* CC. Os erros são gerados pela impedância das linhas de conexão entre os conversores e o barramento comum da sub-rede CC.

Para eliminar a dependência da tensão V_{cc} no *droop* bidirecional, Peyghami, Mokhtari e Blaabjerg (2018) propõem que os sinais de entrada do *e-droop* sejam apenas sinais de frequência tanto na sub-rede CA quanto na sub-rede CC. Para isso, os autores propõem que um pequeno sinal de tensão CA, com flutuação no valor da frequência, seja imposto sobre a tensão da sub-rede CC. Dessa maneira, a malha de controle *droop* e de *e-droop* passariam a considerar o sinal a frequência na sub-rede CC e passariam a ter uma referência com valor global em todos os portos da sub-rede.

Com o mesmo propósito de reduzir o erro causado pelos diferentes valores de tensão na sub-rede CC, Baharizadeh, Karshenas e Guerrero (2018) propõem que a impedância de linha que conecta os conversores e o inversor de interligação à sub-rede CC seja incluída, respectivamente, na formulação do controle *droop* CC e do *droop* bidirecional. Para que a técnica funcione é necessário que as impedâncias sejam conhecidas, informação que nem sempre pode ser obtida de forma fácil. Para contornar esse problema, Wang, Deng; Li. (2022) propõem uma técnica para estimar as impedâncias de linha e, com isso, incluir na malha de controle *droop*.

Os desvios da tensão causados pela impedância de linha nem sempre são relevantes em relação aos desvios aplicados à tensão nas técnicas de controle *droop*, principalmente, se os valores de tensão forem elevados. Chen et al. (2014) explicam que se a relação entre os desvios causados pela impedância de linha e a flutuação do controle *droop* for pequena, os desvios causados pela impedância podem ser negligenciados.

A busca para eliminar os erros de compartilhamento de potência pela técnica *droop* motivaram Chang et al. (2020) a proporem um novo método para atingir o compartilhamento global de potência em microrredes híbridas. O controle da potência do inversor de interligação é definido pelo princípio da conservação de energia, ou seja, a potência entregue por ele é a potência da carga equivalente subtraída da soma da potência compartilhada por cada fonte geração distribuída, incluindo os elementos da sub-rede CA e da sub-rede CC. A técnica exige que um controle central atualize constantemente os parâmetros de potência da carga e fontes.

Até o momento, as metodologias de controle bidirecional citadas nesta seção somente apresentam a operação do inversor de interligação no CCM e não há preocupação em formar a tensão da sub-rede CA. Portanto, a operação da microrrede híbrida pode se tornar instável para uma configuração desconectada da rede elétrica de distribuição e sem uma fonte despachável conectada a sub-rede CA, configuração de número seis na TABELA 1 .

Com o inversor de interligação operando no VCM, normalmente, a malha de controle interna contém duas malhas de controle sobrepostas, a primeira é a malha de corrente que foi aplicada no CCM, e a segunda é a malha de controle de tensão que gera a referência de corrente para obter na saída do inversor de interligação a tensão desejada. A proteção do conversor, em caso de sobrecorrente, é a grande

vantagem de operar com malhas sobrepostas, ao contrário de uma única malha de tensão (ALSIRAJI; ELSHATSHAT; RADWAN, 2017).

Com a preocupação de formar a tensão na sub-rede CA, Luo, Loo e Lai (2016) propõem o inversor de interligação operando apenas no VCM. O *droop* CA f/P e V/Q é adotado para realizar a flutuação da tensão e da frequência na sub-rede CA, o conceito de *droop* bidirecional é incluído na relação f/P através da referência da frequência nominal. Dessa maneira, quando há demanda ou oferta de energia na sub-rede CC, indicada pela flutuação da tensão V_{cc}, a referência de frequência presente no *droop* f/P também flutua. Baharizadeh, Karshenas e Guerrero (2016) apresentam proposta semelhante ao que se refere ao controle *droop* bidirecional e inclui uma proteção contra sobrecarga no inversor de interligação. Enquanto, Sajid et al. (2019) apresentam um exemplo de aplicação do inversor de interligação operando no VCM e com o *droop* bidirecional.

Com o mesmo propósito, Li, Guo e Li, Y. (2017) estabelecem uma malha de potência para definir uma referência para o *droop* f/P. O sinal de referência é subtraído da potência ativa do inversor de interligação para gerar a flutuação adequada da frequência da sub-rede CA formada por ele. Uma proposta semelhante é apresentada por Wang, J., Jin e Wang, (2018), a diferença está na obtenção da referência de potência, que nesse caso é realizada através de um controle centralizado.

As propostas de Luo, Loo e Lai (2016), Baharizadeh, Karshenas e Guerrero (2016), Li, Guo e Li, Y. (2017) e Wang, J., Jin e Wang, (2018) apresentam a capacidade de formar a sub-rede CA e compartilhar a potência com as demais fontes despacháveis presentes nas sub-redes. Em contrapartida, as propostas consideram que a frequência flutua quando a microrrede híbrida está conectada à rede elétrica de distribuição, o que não ocorre na prática. O Sistema Interligado Nacional apresenta diversas unidades geradoras conectadas e, com isso, quase não apresenta variação de frequência. Todavia, em sistemas menores, a variação de frequência pode ser significativa e a proposta da estratégia de controle, com o inversor de interligação operando como VCM e com *droop* bidirecional, passa a ser válida quando a sub-rede CA está conectada à rede elétrica de distribuição.

Como alternativa para as malhas de controle de corrente e tensão sobrepostas, Zhang, Zhou e Sun (2015) propõem um inversor de interligação com uma malha interna de controle orientada por dados para controle da tensão de ambas as sub-

redes. O controle *droop* proposto é classificado como *Dual Droop* (ORDONO et al., 2019) e (ALSIRAJI; ELSHATSHAT; RADWAN, 2017). O princípio de funcionamento do *Dual Droop* é utilizar a malha de *droop* CC (P/V_{cc}), quando há necessidade de ajustar a tensão da sub-rede CC, e utilizar a malha de *droop* CA (f-P), quando o ajuste deve ser realizado na frequência da sub-rede CA. O algoritmo presente na malha de controle orientada por dados define qual das malhas de *droop* ficará ativa.

Embora, a proposta apresente uma estratégia de controle que integra a malha de controle interna com a malha de controle *droop*. Não é possível operar em paralelo com outra fonte formadora de rede que não apresente a mesma estratégia de controle. Além disso, o controle proposto não considera a possibilidade da presença de fontes de energia formadoras de rede conectadas as sub-redes, incluindo a conexão com a rede elétrica de distribuição e, com isso, a potência necessária para as sub-redes deve ser gerada por fontes despacháveis operando no CCM com *droop* inverso.

Yang et al. (2018) e Yang et al. (2020) apresentam uma alternativa para o controle *droop* bidirecional utilizando como parâmetros para a sub-rede CA o ângulo de fase e a tensão, para a sub-rede CC. Portanto, através da flutuação da sub-rede CC o ângulo de fase do inversor de interligação é ajustado para injetar ou absorver a potência da sub-rede CA. Embora a técnica permita que o inversor de interligação opere como fonte de tensão ativa em 100% do tempo, o controle *droop* através do ângulo de fase necessita, de forma precisa, o ângulo de referência da tensão da rede elétrica de distribuição. Como o inversor de interligação não regula a frequência, as fontes despacháveis com *droop* não operam através dessa condição e não contribuem para o controle de potência das sub-redes.

Com o inversor de interligação operando no VCM surge a dependência de que outras fontes de tensão despacháveis estejam operando com o controle *droop*. Portanto, se a microrrede híbrida está conectada com a rede elétrica de distribuição e sem fonte despachável na sub-rede CC, configuração 1 ou 4 da TABELA 1, o inversor de interligação no VCM não consegue absorver a potência da rede elétrica de distribuição utilizando o conceito do *droop* P/f, já que a rede elétrica de distribuição apresenta frequência constantes, com isso, a sub-rede CC não pode ser formada por ele.

Através dos trabalhos desenvolvidos com o inversor de interligação operando no CCM e no VCM fica evidente que existem diferentes estratégias de controle de

potência que garantem a regulação das tensões de cada sub-rede. Mas, nenhuma das preposições, presentes nos trabalhos citados, garante o funcionamento da microrrede híbrida nas sete configurações possíveis da TABELA 1.

Uma solução que tem como objetivo garantir a operação da microrrede híbrida em qualquer uma das setes configurações é apresentada por Zhang et al. (2013), Liu, Caldognetto e Buso (2018) e Liang, Kang e He (2018). A proposta base de todos os trabalhos é de operar o inversor de interligação no CCM, quando a microrrede híbrida está conectada à rede elétrica de distribuição, e utilizar o VCM, quando a microrrede híbrida está desconectada.

A proposta Zhang et al. (2013) utiliza a estratégia de controle centralizado, onde, um algoritmo define o controle de potência do inversor de interligação através da demanda de potência de cada elemento da microrrede híbrida. A comunicação entre todos os elementos com um controlador centralizado pode se tornar inviável caso a microrrede híbrida tenha muitas fontes de geração conectadas afastadas entre si. Bouzid, Guerrero, Cheriti (2015) reforçam que a dependência de um meio de comunicação pode aumentar consideravelmente os custos de implantação da microrrede e, durante sua operação, gerar informações corrompidas.

Liu, Caldognetto e Buso (2018) propõem um controle preditivo para as malhas de controle interna. Embora, o inversor de interligação proposto pode operar com a microrrede híbrida conectada ou desconectada da rede elétrica de distribuição, não há uma definição de uma malha de controle *droop*, ou qualquer outra preposição para controle da potência de forma bidirecional.

Liang, Kang e He (2018) definem três configurações para o inversor de interligação. Na primeira configuração, a microrrede híbrida contém fontes de tensão despacháveis em ambas as sub-redes e o inversor de interligação opera no CCM com uma malha PQ, ou seja, define a magnitude e direção da potência ativa e reativa. Na segunda configuração, o inversor de interligação opera no CCM com uma malha UQ, sendo que, a parcela de potência reativa permanece como no controle PQ, mas, o controle da potência ativa é definido pela tensão da sub-rede CC, dessa forma, é possível formar a tensão da sub-rede CC. Por fim, na terceira configuração o inversor de interligação opera no VCM com uma malha VF para formar a tensão da sub-rede CA quando a microrrede está desconectada da rede elétrica de distribuição.

A proposta garante que o inversor de interligação tenha a capacidade de operar a microrrede híbrida em relação ao controle da potência e formação das tensões das sub-redes, em qualquer configuração (TABELA 1). Em contrapartida não há controle descentralizado para compartilhamento de potência, sendo que, um controle centralizado deve informar ao inversor de interligação as referências para as malhas de controle de potência.

1.3.2 Estratégias de Controle Proposta para o Inversor de Interligação

Neste trabalho é apresentada as estratégias de controle para que o inversor de interligação opere como alimentador ou como formador de rede para suportar as diferentes configurações da microrrede híbrida listadas na TABELA 1. Cada estratégia de controle contêm um modo de operação, corrente ou tensão, e uma malha de controle *droop*.

Como premissa para as estratégias de controle do inversor de interligação, este trabalho considera que o compartilhamento de potência definido pelo uso das técnicas de controle *droop*, é sempre realizado entre um alimentador de rede (CCM ou CCM CC) com um formador de rede (VCM ou VCM CC). Portanto, se há uma fonte despachável operando como formador de rede, o inversor de interligação irá compartilhar potência com está fonte operando como alimentador rede, sendo que, a reciproca é verdade, ou seja, caso a fonte despachável esteja operando como alimentador de rede, o compartilhamento com o inversor de interligação será quando ele estiver operando como formador de rede.

Não há preposições neste trabalho na operação do inversor de interligação operar em paralelo como outro inversor de interligação.

Na TABELA 3 estão as sete configurações da microrrede híbrida relacionadas com as respectivas propostas de estratégias de controle do inversor de interligação. As fontes despacháveis formadoras de rede são denominadas como FD e estão utilizando estratégias de controle que incluem o modo de operação VCM com o *droop* CA, para a sub-rede CA, ou o modo VCM CC com *droop* CC, para a sub-rede CC.

TABELA 2 – RELAÇÃO DAS CONFIGURAÇÕES DA MICRORREDE HÍBRIDA COM AS ESTRATÉGIAS DE CONTROLE DO INVERSOR DE INTERLIGAÇÃO

Config.	*RED	Presença de Fonte Despachável (FD)	Forma a sub-rede CA	Forma a sub-rede CC	Estratégia de Controle
1	C	Sub-rede CA	RED	II**	VCM CC + DROOP CC
2	C	Sub-rede CC	RED	FD CC	CCM CC + DROOP CC INV.
3	C	Sub-rede CA e CC	RED	FD CC	CCM CC + DROOP CC INV.
4	C	Não Contém	RED	II**	VCM CC + DROOP CC
5	D	Sub-rede CA	FD CA	II**	VCM CC + DROOP BI. TENSÃO CC
6	D	Sub-rede CC	II**	FD CC	VCM + DROOP BI. TENSÃO CA
7	D	Sub-rede CA e CC	FD CA	FD CC	CCM + DROOP BI. CORRENTE

FONTE: O Autor. (2023).

NOTA: A TABELA 2 é uma extensão da TABELA 1, retirando a configuração 8

*A rede elétrica de distribuição é identificada como RED e a letra C indica que está conectada à sub-rede CA e a letra D que está desconectada.

**O inversor de interligação é denominado como II.

Quando a microrrede híbrida está conectada à rede elétrica de distribuição e não há fontes de tensão despacháveis na sub-rede CC, configuração 1 e 4, o inversor de interligação irá operar no modo VCM CC. Dessa maneira, a estratégia de controle do inversor de interligação inclui o *droop* CC.

O controle *droop* CC, relação potência CC/tensão CC, é incluído para garantir um compartilhamento de potência caso haja uma fonte despacháveis operando no modo CCM CC e com o *droop* inverso conectada à sub-rede CC.

Para as configurações 2 e 3 da microrrede híbrida, o inversor de interligação opera no CCM CC com a malha de controle de *droop* inverso CC e a FD está formando a tensão da sub-rede CC. Dessa forma, a fonte despachável adota em sua estratégia de controle o *droop* CC e, assim, o compartilhamento de potência =entre a FD e o inversor de interligação pode ser estabelecido.

Quando a microrrede híbrida está desconectada da rede elétrica de distribuição e há uma FD formando a tensão da sub-rede CA, como identificado na configuração 5 da TABELA 2. O inversor de interligação mantém a operação no VCM CC, mas, passa a operar com o *droop* bidirecional de tensão CC. A técnica de *droop* bidirecional de tensão CC é proposta neste trabalho e utiliza a relação da potência CC mais a frequência da sub-rede CA para estabelecer a tensão CC, ou seja, considera

a condição de ambas as sub-redes para determinar a magnitude da tensão da sub-rede CC.

Como o inversor de interligação está operando como formador de rede da sub-rede CC, caso haja uma fonte despachável operando no modo CCM CC com *droop* inverso CC na sub-rede CC, o compartilhamento de potência entre a FD e o inversor de interligação pode ser estabelecido.

Para a configuração 6 da microrrede híbrida, há apenas uma FD formando a tensão da sub-rede CC. Enquanto, o inversor de interligação opera no VCM para formar a tensão da sub-rede CA com o controle *droop* bidirecional de tensão CA, proposto por Baharizadeh, Karshenas e Guerrero (2016). Nessa configuração, o compartilhamento de potência pode ser realizado entre o inverso de interligação e uma FD operando no modo CCM e com *droop* inverso CA conectada à sub-rede CA.

Na configuração 7 da microrrede híbrida há a presença de FDs formadoras de rede em ambas as sub-redes, o inversor de interligação está operando no modo CCM e com o *droop* bidirecional de corrente, proposto por Loh et al., 2013. O *droop* bidirecional de corrente utiliza a frequência da sub-rede CA mais a tensão da sub-rede CC para definir a potência do inversor de interligação. Essa estratégia de controle permite que o inversor de interligação compartilhe potência com a FD formadora de rede da sub-rede CA que está operando no modo VCM e com *droop* CA ou com a FD formadora de rede da sub-rede CC que está operando no modo VCM CC com o controle *droop* CC.

As estratégias de controle, proposta neste trabalho, são definidas pelos diferentes modos de operação mais a malha de controle *droop* do inversor de interligação, como segue: VCM CC com *droop* CC, CCM CC com *droop* inverso CC, VCM CC com *droop* bidirecional de tensão CC, VCM com *droop* bidirecional de tensão CA e CCM com *droop* bidirecional de corrente.

Cada estratégia de controle adotada pelo inversor de interligação tem como objetivo tornar operacional uma ou mais configurações da microrrede híbrida. Por exemplo, as configurações 1, 4 e 5 somente são possíveis se o inversor de interligação formar a tensão da sub-rede CC, o mesmo ocorre na configuração 6, onde, o inversor de interligação deve formar a tensão CA. Enquanto, nas configurações 2, 3 e 7, o inversor de interligação tem o papel de transferir potência de uma sub-rede para a

outra e permitir que uma fonte conectada à sub-rede CA alimente uma carga conectada na sub-rede CC.

Além disso, as malhas de controle *droop* adotadas nas estratégias de controle são implementadas para que ocorra o compartilhamento de potência do inversor de interligação com fontes conectadas nas sub-redes.

A TABELA 3 apresenta uma comparação das estratégias de controle deste trabalho com as preposições descritas pela revisão bibliográfica. Para classificação foi considerada a capacidade de controle bidirecional da potência e de formar as tensões de ambas as sub-redes para as setes configurações da microrrede híbrida listadas na TABELA 2. Além disso, foram listados os métodos de validação dos resultados de cada trabalho e as principais características de cada inversor de interligação.

A segunda coluna da TABELA 3 identifica o autor principal do trabalho, em seguida, o modo de operação do inversor de interligação é identificado entre CCM, VCM ou ambos, sendo que, a operação no CCM remete a operação no CCM CC e na literatura o modo de operação VCM CC usa apenas a nomenclatura como retificador.

Na quinta coluna é identificado quais das diferentes configurações da microrrede híbrida, a estratégia proposta pode suportar em relação ao controle da potência, compartilhamento de potência e formando as tensões das sub-redes. Por fim, a última coluna é reservada para o tipo de método que foi utilizado para validação das técnicas propostas, sendo que, entre os métodos estão uso de simulação, protótipo e *hardware-in-the-loop* (HIL).

Os trabalhos que utilizam a simulação como metodologia de teste realizam os ensaios através da simulação *off-line* da microrrede híbrida com o inversor de interligação. No *hardware-in-the-loop* há a representação da microrrede híbrida, como ocorre na simulação, o objetivo dos trabalhos é testar as malhas de controle e os circuitos de atuação do inversor de interligação, dessa maneira, o algoritmo de controle é validado no próprio *hardware* do inversor de interligação, inserido dentro da simulação em tempo real da microrrede híbrida.

Embora, a construção do protótipo seja complicada, apresente um custo elevado e o seu uso em ambiente de laboratório somente reflita em partes uma microrrede híbrida. O protótipo realiza ensaios com o inversor de interligação injetando

e absorvendo potência e, ainda, inclui o comportamento do algoritmo de controle, do módulo de potência, filtros, circuitos de pré-carga, controlador e circuitos de aquisição.

TABELA 3 – COMPARAÇÃO ENTRE AS ESTRATÉGIAS DE CONTROLE DOS TRABALHOS CITADOS NA REVISÃO BIBLIOGRÁFICA COM AS ESTRATÉGIAS DE CONTROLE PROPOSTA NESTE TRABALHO

N°	Autor	* CCM	* VCM	Suporte a Config. da Microrrede Híbrida (TABELA 2)	Características Inversor de Interligação	Método de Validação
1	Loh et al., (2013)	X		2, 3 e 7	Reativo e compartilha pot.	Protótipo
2	Loh et al., (2013)	X		2, 3 e 7	SIC bateria	Protótipo
3	Eghtedarpour et al., (2014)	X		2, 3 e 7	Reativo e compartilha pot.	Simulação
4	Aryani et al.., (2016)	X		2, 3 e 7	Controle centralizado	Simulação
5	Xia et al., (2016)	X		2, 3 e 7	Compartilha pot.	HIL
6	Mortezapour et al. (2017)	X		2, 3 e 7	Impedâncias de linha	Simulação
7	Peyghami et al. (2018)	X		2, 3 e 7	*Droop* CC por frequência	Simulação
8	Baharizadeh et al. (2018)	X		2, 3 e 7	Impedâncias de linha	Simulação
9	Wang et al. (2022)	X		2, 3 e 7	Estimar impedância de linha	HIL
10	Chang et al. (2020)	X		2, 3 e 7	Impedância de linha	HIL
11	Luo et al. (2016)		X	6 e 7	Compartilha pot.	Simulação
12	Baharizadeh et al. (2016)		X	6 e 7	Proteção de Sobrecarga	Simulação
13	Sajid et al. (2019)		X	6 e 7	Aplicação da Técnica de DB	Simulação
14	Li et al. (2018)		X	6 e 7	Referencial αβ	Protótipo
15	Wang et al. (2018)		X	6 e 7	Controle Centralizado	HIL
16	Zhang et al. (2015)		X	6 e 7	*Dual Droop*	Protótipo
17	Yang et al. (2018)		X	2, 3, 6 e 7	*Droop* bidirecional fase/V_{cc}	HIL
18	Yang et al. (2020)		X	2, 3, 6 e 7	*Droop* bidirecional fase/V_{cc}	HIL
19	Zhang et al. (2013)	X	X	2, 3, 6 e 7	Controle Centralizado	Simulação
20	Liu et al. (2018)	X	X	2, 3, 6 e 7	Filtro LCL	Protótipo
21	Liang B. et al. (2018)	X	X	2, 3, 6 e 7	Controle PQ, UQ e VF	Simulação
22	O Autor	X	X	1, 2, 3, 4, 5, 6 e 7	Filtro LCL, Modulação Vetorial	Protótipo

FONTE: O Autor. (2023).

NOTA: O modo de operação de corrente é identificado como CCM e o método de controle de tensão CA como VCM.

Nos trabalhos de número um a dez listados na TABELA 2, o inversor de interligação somente opera no CCM e, como não forma a tensão da sub-rede CA, não é possível a operação quando não há uma FD formando a tensão da sub-rede CA. Portanto, a configuração seis da TABELA 2 não é realizável pelo controle definido

nesses trabalhos. Além disso, não há uma definição para a operação com a microrrede híbrida operando conectada à rede elétrica de distribuição, considerando uma frequência fixa. Portanto, as configurações um e quatro da microrrede híbrida ficam comprometidas em nove dos dez trabalhos, considerando a capacidade de formar a tensão da sub-rede CC.

Para contornar as restrições de configuração da microrrede híbrida identificadas nos trabalhos listados de um a dez. As estratégias de controle propostas neste trabalho contém: o modo de operação VCM com *droop* bidirecional de tensão CA para formar a tensão da sub-rede CA e suportar a configuração 6 da microrrede híbrida e o modo de operação VCM CC para formar a tensão da sub-rede CC permitindo operar com o *droop* CC ou com o *droop* bidirecional de tensão CC para suportar as configurações 1, 4 e 5 da microrrede híbrida.

Os trabalhos de onze a dezesseis não garantem a operação com a microrrede híbrida conectada à rede elétrica de distribuição ou quando não há um formador de rede da sub-rede CC. Nas propostas, o inversor de interligação está no VCM e operando com o *droop* bidirecional, dessa maneira, a operação como formador de rede da sub-rede CA não é necessária quando a sub-rede CA está conectada a rede elétrica de distribuição e não é possível a operação nas configurações da microrrede híbrida que não há um formador de rede da sub-rede CC.

As restrições dos trabalhos listados de onze a dezesseis são contornadas utilizando as estratégias de controle que contêm o modo VCM CC com *droop* CC ou o modo CCM CC com *droop* inverso CC para as configurações 1, 2, e 4 da microrrede híbrida e o modo VCM CC com *droop* bidirecional de tensão CC para a configuração 5 da microrrede híbrida.

Embora, as estratégias de controle propostas nos trabalhos dezessete e dezoito, que operam no VCM, apresentam a capacidade de operar em quatro configurações da microrrede híbrida (2, 3, 6 e 7). A técnica não considera a capacidade de formar a sub-rede CC e não é compatível com o controle *droop* CA, *droop* CC, ou bidirecional que utilizam, tradicionalmente, a flutuação da frequência CA. Dessa forma, o compartilhamento de potência somente é possível com os inversores conectados à sub-rede CA e que utilizam a mesma técnica e não há uma integração com os demais conversores da microrrede híbrida. Além disso, o controle

proposto utiliza uma rede de comunicação para obter a fase da rede elétrica de distribuição.

Os trabalhos dezenove a vinte um operam no modo CCM e VCM e apresentam a capacidade de operar em quatro configurações da microrrede híbrida (2, 3, 6 e 7). E, embora, as técnicas de compartilhamento de potência sejam compatíveis com o controle *droop*, não é considerada a capacidade de formar a tensão da sub-rede CC.

As estratégias de controle de potência adotada neste trabalho utilizam somente técnicas descentralizadas, ou seja, sem o uso de rede de comunicação. O objetivo é a redução de custos com infraestrutura e o aumento da confiabilidade na operação do inversor de interligação, sendo que, uma rede de dados pode ser interrompida, exigir manutenção e pode apresentar dados corrompidos. Além disso, o inversor de interligação compartilha potência com os demais conversores presentes na microrrede híbrida, através das variáveis, comumente, utilizadas no controle *droop* proposto.

As diferentes configurações da microrrede híbrida serão implementadas no programa PSIM para testar as diferentes estratégias de controle. Em seguida, um protótipo de 30 kVA, com filtro LCL e modulação vetorial, do inglês *Space Vector Modulation* (SVM), será construído para confirmação das estratégias de controle em ambiente de laboratório, através de fontes controladas que permitem a injeção e absorção de potência.

Embora, as técnicas de controle *droop* permitam o controle e compartilhamento de potência reativa, através da relação da magnitude de tensão da sub-rede CA, essas técnicas não são o foco deste trabalho e não serão aplicadas ao inversor de interligação. Outro ponto que não será discutido durante estre trabalho é a transição entre as estratégias de controle implementadas no inversor de interligação.

1.4 OBJETIVOS

Propor as estratégias de controle para que o inversor de interligação, operando como alimentador de rede ou como formador de rede, realize o compartilhamento de potência ativa entre as fontes da sub-rede CA ou da sub-rede

CC, através de técnicas de controle *droop,* para diferentes configurações da microrrede híbrida.

Como objetivos específicos, tem-se:

- Elaborar o controle *droop* bidirecional para o inversor de interligação operando como formador de rede da sub-rede CC;
- Analisar a resposta do uso do pré-filtro SOGI na implementação do algoritmo de PLL;
- Elaborar o algoritmo para o controle digital que define a frequência da tensão para o protótipo do inversor de interligação operando formador de rede da sub-rede CA;
- Calcular a corrente do indutor do lado do inversor do filtro LCL, através da tensão aquisitada do capacitor do filtro e da corrente aquisitada do indutor do lado da rede.
- Elaborar os modelos de fontes despacháveis com controle *droop* para a simulação das diferentes configurações da microrrede híbrida.
- Construir um protótipo do inversor de interligação incluindo os circuitos auxiliares e de pré-carga;
- Elaborar um algoritmo aplicável ao microcontrolador que contenha todas as estratégias de controle definidas para o protótipo do inversor de interligação.

1.5 PRINCIPAIS CONTRIBUIÇÕES

A principal contribuição deste trabalho está nas diferentes proposta das estratégias de controle para o inversor de interligação que permitem que a microrrede híbrida possa assumir diferentes configurações. Além disso, as malhas de *droop,* inseridas nas estratégias de controle, realizam o controle de potência entre as sub-redes tornando a microrredes híbridas uma unidade, assim, pode-se considerar que as cargas e fontes presentes nas duas sub-redes operam como se estivessem conectadas na mesma rede.

Comparando as estratégias de controle propostas neste trabalho com as citadas na revisão bibliográfica, não há nenhuma preposição entre os trabalhos citados que apresenta flexibilidade de operação, sendo que, ora são priorizadas a

operação do inversor de interligação como formador da rede da sub-rede CA, como nos trabalhos de Luo, Loo e Lai (2016), Baharizadeh, Karshenas e Guerrero (2016), Sajid et al. (2019), Li, Guo e Li Y. (2017), Wang, Jin e Wang, (2018) e Zhang, Zhou e Sun (2015). E ora são priorizadas a operação como fonte de corrente, transferindo potência sem papel de formador de rede, como nos trabalhos de Loh et al. (2013), Loh, Li, Chai e Blaabjerg (2013), Eghtedarpour e Farjah (2014), Aryani e Song (2016), Xia et al. (2016), Montezapour e Lesani (2017), Peyghami, Mokhtari e Blaabjerg (2018), Baharizadeh, Karshenas e Guerrero (2018), Wang, Deng e Li (2022) e Chang et al. (2020).

Quando há preocupação de operar em modos de operação diferentes como nos trabalhos de Yang et al. (2018), Yang et al. (2020), Zhang et al. (2013), Liu, Caldognetto e Buso (2018), Liang, Kang e He (2018), o uso da estratégia de controle não é baseado no controle *droop* o que impossibilita a integração do inversor de interligação com os demais conversores da microrrede híbrida através de um controle descentralizado.

Portanto, as diferentes estratégias de controle são consideradas a principal contribuição deste trabalho considerando os trabalhos citados na revisão bibliográfica.

As estratégias de controle para o inversor de interligação operando como formador de rede da sub-rede CA são bem representadas, principalmente, pelos trabalhos de Luo, Loo e Lai (2016), Baharizadeh, Karshenas e Guerrero (2016), onde, são aplicados o controle de *droop* bidirecional de tensão CA. Contudo, não há preposições para a operação como formador de rede da sub-rede CC com *droop* bidirecional e quando a frequência da sub-rede CA é constante.

Portanto, outra contribuição deste trabalho são as estratégias de controle do inversor de interligação operando no modo VCM CC:

- Quando a sub-rede CA está conectada à rede elétrica e apresenta frequência constante, a estratégia de controle proposta considera o modo de operação VCM CC e o uso da malha de controle *droop* CC para operação nas configurações 1 e 4 da microrrede híbrida.
- Se a sub-rede CA está desconectada da rede elétrica de distribuição, a estratégia de controle proposta inclui o controle *droop* bidirecional de tensão CC, sendo que, ele acrescenta mais uma opção de *droop*

bidirecional aos já existentes, identificados durante a revisão da bibliografia.

O desenvolvimento do protótipo do inversor de interligação para validação das estratégias de controle também define algumas contribuições, como:

- A construção do protótipo que contribui para validação do resultado através da injeção e absorção de potência, o que aproxima os resultados de uma operação real.
- O uso do filtro LCL e da modulação vetorial, que é considerado um diferencial na operação do protótipo, pois, tais soluções estão, respectivamente, a frente no que diz respeito a filtragem e modulação. Dessa forma, os resultados experimentais alcançados pelo protótipo validam a efetividade do filtro LCL e da modulação SVM.
- Para a malha de controle de tensão CA é realizado o cálculo da corrente do indutor do lado do inversor através da tensão do capacitor do filtro LCL. Essa premissa simplifica o projeto e reduz custos, pois, omite o uso de sensores de correntes, circuitos de condicionamento e entradas do conversor AD.
- A pesquisa bibliográfica do tema que atualizou o estado da arte no tema, sendo que, o último trabalho de revisão abrangente foi realizado por Ansari, Chadel e Tariq (2021).

O protótipo do inversor de interligação ainda pode ser comparado com os inversores de interligação comerciais que apresentam potência e faixa de tensão CA e CC equivalentes.

A TABELA 4 apresenta a lista de inversores de interligação comerciais, na primeira coluna está listado os fabricantes, na segunda coluna a tensão do lado CA, na terceira coluna a tensão do lado CC, a quarta coluna indica a potência do equipamento, a quinta coluna se apresenta capacidade de formar a tensão da sub-rede CA e a última coluna se apresenta controle *droop* CA.

Os inversores de interligação do fabricante Parker e Sungrow não apresentam o modo de operação como formador de rede, enquanto, apenas os inversores de interligação dos fabricantes Delta e da Trumpf apresentam controle *droop* CA. Portanto, não há equipamento comercial com as funções equivalentes e, assim, a

estrutura de controle proposta aplicada ao protótipo do inversor de interligação pode ser considerada uma contribuição deste trabalho.

TABELA 4 – INVERSORES DE INTERLIGAÇÃO COMERCIAIS

Fabricante/ Modelo	Tensão CA (V)	Tensão CC (V)	Potência (kW)	Formador de Tensão CA	Controle *Droop*
Delta / PCS 100	400	750-1000	100	Sim	*Droop* CA
Friem Hycon 10	400	604-885	70	Sim	N/A
Kstar GSE Series	400	400-850	100	Sim	N/A
Parker AC890PX	400	700-1100	132	Não	N/A
Sungrow SC50HV	400	580-1500	50	Não	N/A
Trumpf TruConvert AC3025	400-480	765-950	25	Sim	*Droop* CA

FONTE: O autor (2023).

1.6 ORGANIZAÇÃO DO TRABALHO

Este trabalho está organizado da seguinte forma:

O Capítulo 2 apresenta a fundamentação teórica que contribui para a compreensão da técnica aplicada às estratégias de controle e no projeto do protótipo do inversor de interligação. Entre os conceitos apresentados neste capítulo estão: as características do inversor de interligação, a técnica de sincronismo com a sub-rede CA, a modulação vetorial e as diferentes técnicas controle *droop*.

O Capítulo 3 contém o projeto do filtro LCL, modelagem do inversor de interligação no referencial síncrono dq, projeto da malha de controle de corrente, tensão CA e tensão CC e o projeto das malhas de controle *droop* que comtemplam as estratégias de controle do inversor de interligação.

O Capítulo 4 apresenta os resultados de simulação das estratégias de controle do inversor de interligação para cada diferente configuração da microrrede híbrida. Os resultados confirmam o projeto das malhas de controle do Capítulo 3 e permite uma compreensão do funcionamento do compartilhamento de potência definido pelo uso das técnicas de controle *droop*.

O Capítulo 5 é voltado para elaboração do protótipo do inversor de interligação. Inicialmente, os elementos que compõem o projeto são escolhidos mediante as especificações elétricas do protótipo, em seguida, os detalhes dos componentes e circuitos auxiliares são listados e, por fim, o protótipo é apresentado

como um todo. O algoritmo do controle digital desenvolvido para o microcontrolador é representado através de fluxogramas e a programação resultante é detalhada no Apêndice 13.

O Capítulo 6 contém os resultados experimentais para validação em ambiente de laboratório das estratégias de controle na operação do protótipo do inversor de interligação. O laboratório conta com: uma fonte de CA bidirecional com a capacidade de ajuste da frequência e que pode simular a rede elétrica de distribuição ou uma fonte despachável, uma fonte de CC que simula a sub-rede CC e uma carga RLC. Nesta etapa do desenvolvimento do protótipo do inversor de interligação a validação das malhas de controle é realizado em baixa potência.

Por fim, o Capítulo 7 apresenta as conclusões deste trabalho.

1.7 CONSIDERAÇÕES FINAIS DO CAPÍTULO

As estratégias de controle para o inversor de interligação consideram um cenário, onde, a microrrede híbrida contém ou não contém uma fonte formadora de rede na sub-rede CA e na sub-rede CC e se a sub-rede CA está ou não conectada à rede elétrica de distribuição. Essas condições produzem sete diferentes configurações possíveis da microrrede híbrida, considerando que o inversor de interligação apresenta a capacidade de formar as tensões da sub-rede CA ou da sub-rede CC.

Como exemplo, nas configurações 1, 4 e 5 há uma fonte formadora de rede conectada à sub-rede CA (FD despachável ou rede elétrica de distribuição) e não há uma fonte formadora de rede na sub-rede CC, nesse caso, as configurações 1, 4 e 5 somente serão operacionais, se o inversor de interligação assumir como formador de rede da sub-rede CC. O mesmo ocorre para a configuração 6 da microrrede híbrida, mas, nesse caso, o inversor de interligação assume o papel de formador de rede da sub-rede CA.

Portanto, o primeiro parâmetro para definir a estratégia de controle adotada para o inversor de interligação é observar qual a configuração da microrrede híbrida que ele está inserido e, dessa maneira, se ele deve assumir um papel como formador de uma ou de outra sub-rede. Em seguida, deve-se observar se a sub-rede CA está ou não conectada à rede elétrica de distribuição, configurações 1 a 4 da microrrede híbrida, caso esteja, o controle *droop* adotado para a estratégia de controle não deve

considerar a condição de carga da sub-rede CA. Por fim, para as configurações 5, 6 e 7, onde, a sub-rede CA está desconectada da rede elétrica de distribuição, as sub-redes estão operando como controle *droop* e, com isso, a malha de controle *droop* adotada para o inversor de interligação pode considerar a condição de carga de ambas as sub-redes.

O uso do protótipo do inversor de interligação para estabelecer os resultados experimentais submete, todos os elementos que o compõem, a potência transferida durante os ensaios e, embora, os testes sejam realizados em um ambiente de laboratório e com níveis menores de potência, o protótipo apresenta um nível quatro para cinco de maturidade tecnológica 4 para 5 (TRL 4 e TRL 5), do inglês *Technology Readiness Level* (TRL), sendo que, os ensaios realizados se aproximam do ambiente de aplicação.

2 FUNDAMENTAÇÃO TEÓRICA

Neste capítulo são apresentados os conceitos e as técnicas utilizadas na proposta das estratégias de controle e no desenvolvimento do protótipo do inversor de interligação.

Na primeira seção, o inversor de interligação é descrito e posicionado em relação aos demais conversores presentes em microrredes. Também são definidos os diferentes modos de operação e as técnicas de controle de potência utilizando a metodologia de *droop*.

Na seção seguinte, a modulação vetorial, denominada como *Space Vector Modulation* (SVM), e o algoritmo para sua implementação no controle digital são apresentados. Seguidos pela definição da malha de sincronismo com a rede elétrica, denominada como *Phase-Locked Loop* (PLL), que é utilizada na operação do inverso de interligação no CCM e CCM CC.

Por fim, na última seção, os conceitos do controle *droop* CA, controle *droop* CC e do controle *droop* bidirecional são apresentados, sendo que, as malhas de *droop* são implementadas para controle de potência de forma descentralizada e estão inseridas nas estratégias de controle do inversor de interligação proposta neste trabalho.

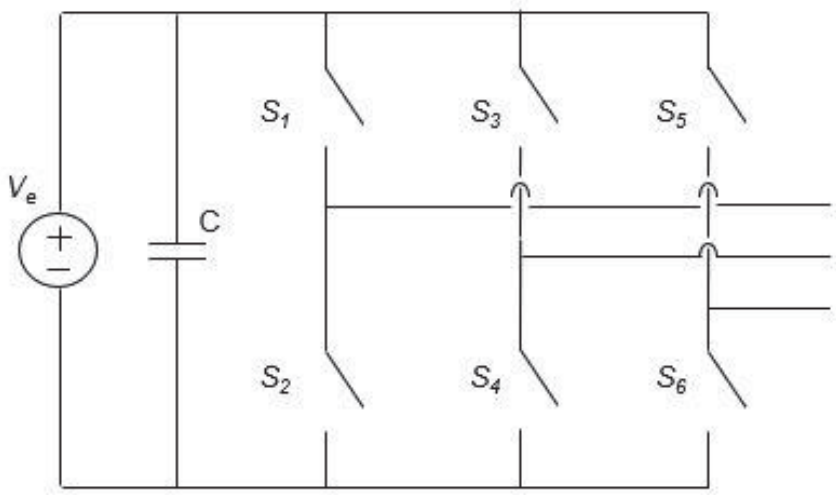
2.1 OPERAÇÃO DO INVERSOR DE INTERLIGAÇÃO

O inversor de interligação realiza a transferência de potência entre as sub-redes e, normalmente, apresenta uma configuração como um inversor de tensão, do inglês *Voltage Source Inverter* (VSI), sendo que, contém uma fonte de tensão conectada do lado CC da sua topologia. Para ilustrar o inversor de tensão, a FIGURA 4 apresenta a topologia em ponte trifásica, onde, a fonte de tensão conectada ao lado CC é identificada como V_e, os interruptores são identificados como S_1 a S_6 e o filtro capacitivo, em paralelo com a fonte de tensão, como C.

A topologia em ponte completa trifásica permite a operação como inversor e como retificador, ou seja, apresenta controle bidirecional de potência. Na operação como inversor, através de técnicas de modulação aplicadas aos interruptores, a tensão em CC (V_e) é convertida em três senoides caracterizando o sistema trifásico

em CA. Na operação como retificador, as três senoides são retificadas em uma tensão em CC.

FIGURA 4 – TOPOLOGIA DO INVERSOR DE TENSÃO



FONTE: O autor (2023).

As características do inversor de interligação podem ser destacadas comparando com os demais inversores que compõem uma microrrede. Com essa premissa, Ansari, Chadel e Tariq (2021) apresentam uma revisão dos conversores e as estratégias de controle para microrredes híbridas. Os autores incluem o inversor de interligação como uma nova categoria entre os inversores e destacam que não há um consenso nas estratégias de controle desse tipo de equipamento.

A TABELA 5 apresenta as características dos tipos de inversores presentes em microrredes.

O inversor operando no modo de controle de tensão tem um comportamento que se assemelha ao de uma fonte de tensão, assim como, na operação no modo de controle de corrente o comportamento se assemelha com uma fonte de corrente.

O inversor formador de rede da sub-rede CA controla a tensão e a frequência e, normalmente, é aplicado quando a sub-rede CA está desconectada da rede elétrica de distribuição. A potência pode ser absorvida ou injetada, o que justifica a direção da corrente como bidirecional, como exemplo, uma aplicação com um banco de baterias que pode carregar e descarregar pela operação do inversor.

TABELA 5 – CARACTERÍSTICAS DOS INVERSORES EM MICRORREDES

Função Microrredes	Inversor Formador de Rede	Inversor Alimentador de Rede	Inversor de Suporte à Rede	Inversor de Interligação
Modo de Operação	Tensão	Corrente	Tensão/Corrente *Droop*	Tensão/Corrente
Tipo de Controle	Controle da tensão e frequência	Controle potência ativa e potência reativa	frequência/potência ativa e tensão/potência reativa	*Droop* bidirecional
Tensão e Frequência	Fixa	Sincr. com a rede de distribuição	Regulada pelo controle *Droop*	Regulada pelo controle *Droop*
Principal Aplicação	Formar a tensão CA	Controle de potência	Compartilhamento de Potência	Controle de Potência
Direção da Corrente (Potência)	Bidirecional	Uma direção	Bidirecional	Bidirecional

FONTE: Modificado de ANSARI, CHADEL e TARIQ (2021).

Um conversor CC/CC operando no VCM também pode ser identificado como um formador de rede, mas, para a sub-rede CC. Dessa forma, a nomenclatura VCM CC é utilizada neste trabalho para identificar a operação de formador de rede da sub-rede CC.

O inversor alimentador de rede opera no CCM e, assim, controla a potência entre a fonte de geração distribuída e a sub-rede. Usualmente, o inversor alimentador de rede é aplicado em fontes não despacháveis operando no máximo ponto de potência. Para a sub-rede CC, um conversor CC/CC operando no CCM apresenta as mesmas características e controla a injeção de potência e, dessa forma, o termo CCM CC é utilizado neste trabalho para identificar a operação de alimentador de rede CC

Rocabert et al. (2012) apresentam estratégias de controle para os inversores, onde, incluem a operação como formador de rede e alimentador de rede. Para uma aplicação específica, Singh, Lopes e Nimad (2015) descrevem o funcionamento do inversor formador de rede junto ao banco de baterias e Mousavi et al. (2018) descreve a operação do inversor como alimentador de rede para compartilhamento de potência reativa.

O inversor de suporte à rede é caracterizado por operar como um inversor formador de rede ou como um inversor alimentador de rede, sendo que, a diferença está na presença de uma malha de controle *droop*. O controle *droop* foi inicialmente

utilizado para compartilhamento de potência entre geradores síncronos, através das grandezas comuns a eles, no caso a magnitude da tensão e a frequência, Chapman (2003) descreve a aplicação do controle *droop* em geradores síncronos operando em paralelo.

As técnicas que utilizam os conceitos do controle *droop* são denominadas como descentralizadas, pois, os parâmetros de entrada para o controle são obtidos através de sensores no ponto de conexão dos conversores estáticos com as sub-redes. Embora não seja a única ferramenta para controle de potência, o controle *droop* não depende da construção de uma rede de comunicação, como as técnicas centralizadas, descritas por Nejabatkhah e Li (2015) e Guerrero et al. (2013). As malhas de controle centralizadas ou hierárquicas elevam os custos de implementação da microrrede e podem apresentar falhas que não permitem a transmissão dos dados. Por fim, Unamuno e Barrena (2015b) lista como vantagem do controle *droop* a sua simples implementação e a possibilidade de incluir a função *Plug and Play* (PnP) aos conversores estáticos que utilizam esta técnica.

Quando o inversor de suporte à rede está operando no modo VCM, o controle *droop* regula a magnitude de tensão e a frequência em relação, respectivamente, a potência reativa e a potência ativa. Entretanto, se estiver operando no modo CCM, o *droop* inverso é utilizado e a potência ativa e a potência reativa são definidas, respectivamente, através da frequência e da tensão da rede elétrica.

Na operação de um conversor CC/CC como suporte à rede no modo VCM CC, a relação de *droop* é definida pela potência entregue pelo conversor que controla a tensão CC e, quando operando no CCM CC, a potência do conversor é definida através da magnitude da tensão CC.

O controle *droop* ainda permite o compartilhamento de potência, sendo que, o inversor de suporte à rede no VCM pode compartilhar potência com um inversor de suporte à rede no CCM, através do ajuste da frequência e da magnitude da tensão proporcionalmente a sua potência. Está técnica é relatada por Wu et al. (2014), onde, os autores descrevem a técnica de *droop* CA e de *droop* inverso CA para uma operação de compartilhamento de potência.

O mesmo pode ser alcançado por um conversor CC/CC operando no VCM CC que pode compartilhar potência com um conversor CC/CC operando no CCM CC. A

técnica do *droop* CC é descrita e aplicada na gestão da potência de uma microrrede CC por Zhang, Li e Guo (2020).

O inversor de interligação combina as características descritas do inversor de suporte à rede com as características descritas do conversor CC/CC, portanto, pode operar nos quatro modos: VCM, CCM, VCM CC e CCM CC. A operação nos quatro modos permite o uso das técnicas de *droop* CA e CC, mas, com a interligação entre as sub-redes é possível utilizar técnicas de controle do *droop* bidirecional.

Como ocorre na técnica de *droop* CA frequência/potência ou na técnica de *droop* CC tensão/potência, aplicada, respectivamente, ao inversor de suporte à rede e ao conversor CC/CC, o controle *droop* bidirecional permite que a potência ativa flua de forma bidirecional, mas, considera a condição de carga de ambas as sub-redes. Com isso, a capacidade do controle de potência ativa do inversor de interligação, com controle *droop* bidirecional, permite que as configurações da microrrede híbrida 5, 6 e 7 sejam mais eficientes. Ordono et al. (2019) resumem esta vantagem, quando afirmam que a aplicação do inversor de interligação com *droop* bidirecional reduz investimentos em sistemas de armazenamento e melhora a eficiência geral do sistema.

As características do inversor de interligação para operar em diferentes modos de operação com controle bidirecional de potência permitem a integração da sub-rede CC com a sub-rede CA. Entretanto, a eficácia do controle da potência, da regulação das tensões de ambas as sub-redes e a integração com os demais conversores e inversores, presentes na microrrede híbrida, irá depender da estratégia de controle adotada para o inversor de interligação.

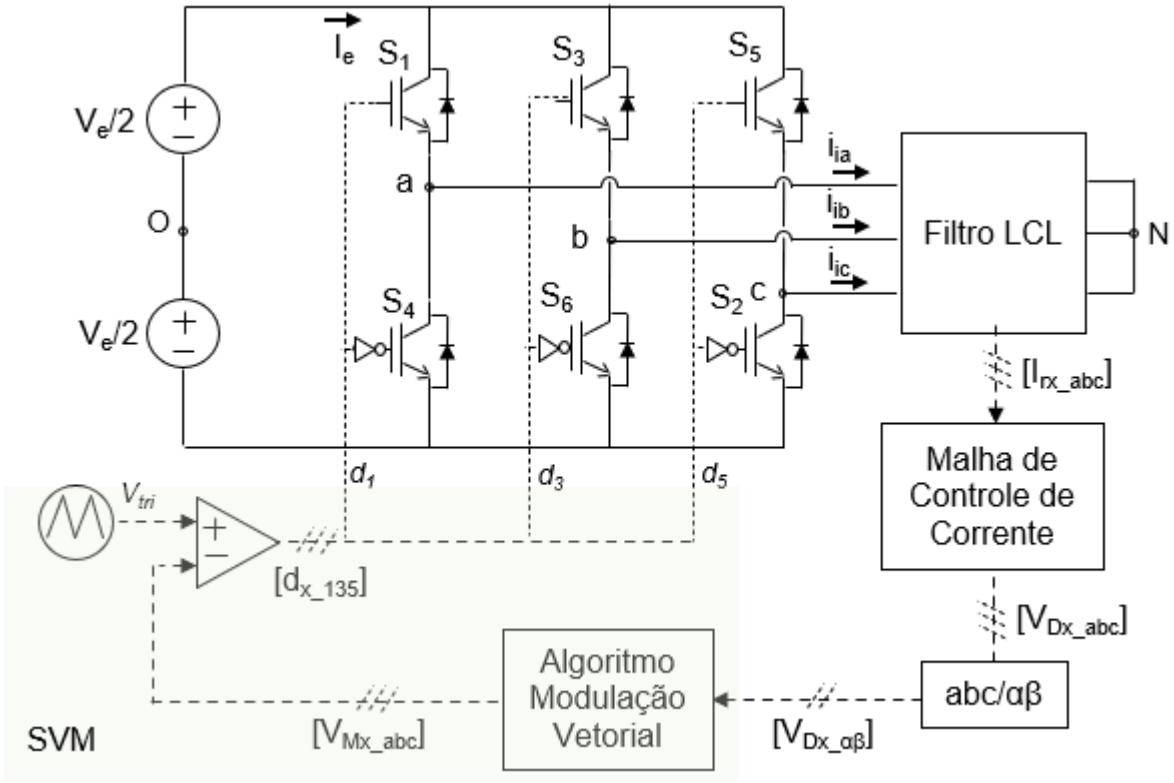
2.2 CARACTERÍSTICAS DA MODULAÇÃO VETORIAL

A modulação vetorial foi escolhida para sintetizar as tensões trifásicas no projeto do inversor de interligação. Em comparação com a tradicional modulação por largura de pulso senoidal, denominada *Sinusoidal Pulse Width Modulation* (SPWM) e descrita em Rashid (2011), a modulação vetorial apresenta um melhor aproveitamento da tensão do barramento CC, e pode reduzir as perdas por comutação, aplicando-se uma estratégia com um menor número de acionamentos dos interruptores, e tem fácil implementação do algoritmo em sistemas com controle digital. Além disso, segundo

Zhang e Qiu (2019) com a flexibilidade de escolha da sequência de acionamento dos vetores é possível diminuir os harmônicos produzidos pela modulação.

A FIGURA 5 apresenta o inversor de interligação em ponte trifásica com os seis interruptores identificados como S_1 a S_6. Uma malha de controle de corrente é exemplificada para ilustrar o uso do controle vetorial. Os sinais de corrente são aquisitados no indutor do filtro LCL, identificados como I_{ra}, I_{rb} e I_{rc}, e geram o vetor de referência para a modulação vetorial SVM.

FIGURA 5 – MALHA DE CONTROLE DE CORRENTE COM MODULAÇÃO VETORIAL



FONTE: O autor (2023).

Na entrada do bloco da SVM está o vetor de referência, de coordenadas ($V_{D\alpha}$, $V_{D\beta}$), que representa a corrente trifásica oscilando na frequência natural da rede elétrica. A transformada de Clarke é utilizada para transformar a tensões trifásicas do referencial estacionário abc para o referencial estacionário αβ e está descrita no Apêndice 2.

Os vetores resultantes, na saída do bloco do algoritmo da modulação vetorial, são representados pelas coordenadas (V_{Ma}, V_{Mb}, V_{Mc}) e são sintetizados na frequência

de comutação. Comparando os vetores resultantes com o sinal da portadora triangular (V_{tri}) são gerados os sinais de saída da modulação SVM que definem o comando dos interruptores identificados como d_1, d_3, d_5.

Os sinais de comando para os interruptores são complementares para os interruptores S_1 e S_4, S_3 e S_6 e S_5 e S_2, por exemplo, sendo o sinal de comando para o interruptor S_1 identificado como d_1 , o sinal de comando para o interruptor S_4 é identificado como $\overline{d_1}$. No circuito da FIGURA 5, o símbolo de negado antes do *gate* dos interruptores S4, S6 e S2 indicam que o sinal de comando é complementar.

A fonte de corrente contínua V_e, é dividida em duas fontes com amplitude $V_e/2$, com o objetivo de gerar um ponto comum (O).

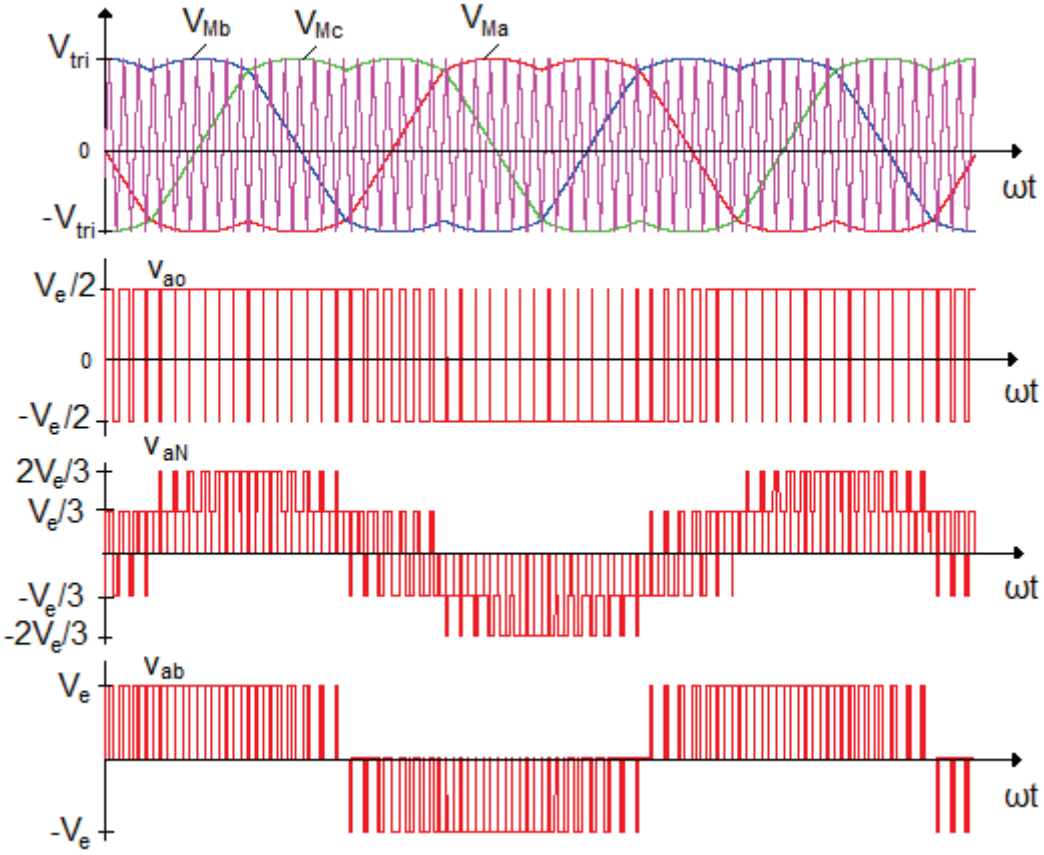
A SVM utiliza a transformada de Clarke, descrita no Apêndice 2, para representar as tensões de referência ou de controle trifásicas, (V_{Da}, V_{Db}, V_{Dc}), em um referencial estacionário αβ. Dessa maneira, a SVM parte do princípio de que qualquer vetor referência de coordenadas ($V_{D\alpha}$, $V_{D\beta}$) pode ser sintetizado através da combinação de vetores resultante de coordenadas (V_{Ma}, V_{Mb}, V_{Mc}).

A FIGURA 6 ilustra as formas de onda do circuito da FIGURA 5. Os sinais de tensão de fase resultantes da SVM apresentam um achatamento no pico da senoide, característico pela injeção do terceiro harmônico. Este achatamento permite um maior índice de modulação em relação a modulação SPWM, sendo que, por definição, o índice de modulação é a relação entre a amplitude dos sinais gerados pela modulação e a amplitude da portadora triangular. Para um sistema a três fios, a soma das tensões de fase é igual a zero, portanto, caso seja conectada uma carga na configuração estrela na saída do inversor da FIGURA 5, a magnitude da soma das tensões irá gerar um vetor resultante com amplitude de $4V_e/3$.

Ainda na FIGURA 6 é representada a forma de onda V_{aO} que identifica a tensão dos interruptores S_1 e S_4 conectados à fase ‘a’. Quando o interruptor S_1 está acionado $V_{aO} = V_e/2$ e, quando S_4 está acionado $V_{aO} = -V_e/2$. Em seguida é ilustrada a forma de onda V_{aN}, que representa a tensão da fase ‘a’. A amplitude máxima da tensão de fase é de 2/3 V_e.

A última forma de onda na FIGURA 6 é a tensão de linha V_{ab} com amplitude igual a V_e. Diferente da forma de onda da tensão de fase, a terceira harmônica não está presente, pois, ocorre o cancelamento da tensão de modo comum entre os braços da ponte trifásica.

FIGURA 6 – FORMAS DE ONDA DA MODULAÇÃO VETORIAL

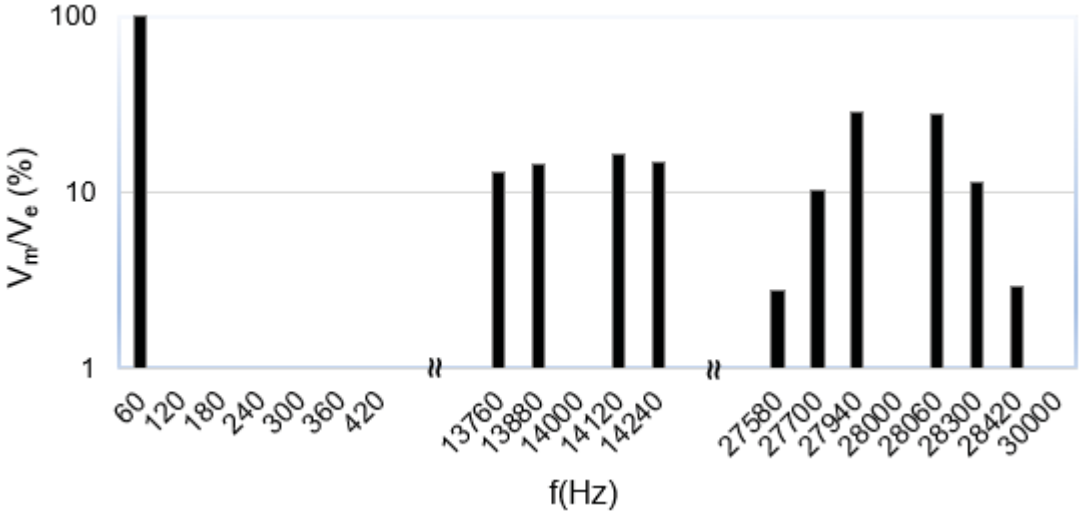


FONTE: O autor (2023).

Na FIGURA 7 está o espectro das harmônicas da modulação SVM durante a sintetização da tensão de linha V_{ab}. O espectro foi obtido através da equação que representa a solução analítica da modulação SVM definida por Holmes e Lipo (2003). O eixo ‘x’ é resumido nas frequências que há conteúdo harmônico relevante e o eixo ‘y’ está na escala logarítmica. Para o exemplo, a frequência nominal (f_n) do sistema é igual a 60 Hz, a frequência de comutação (f_c) igual a 14 kHz e frequência de amostragem (f_a) de 28 kHz.

As harmônicas dominantes estão presentes em torno da frequência de comutação e seus múltiplos. Dessa maneira, a análise do espectro das harmônicas é utilizada no projeto do filtro LCL que, por sua vez, deve garantir a apropriada atenuação das harmônicas dominantes.

FIGURA 7 – ESPECTRO DAS HARMÔNICAS PRODUZIDO PELA MODULAÇÃO VETORIAL



FONTE: ADAPTADO DE HOLMES, D; LIPO, T. (2003).

A frequência de amostragem com o dobro da frequência de comutação causa uma pequena assimetria entre os pares de harmônicas em torno da frequência de comutação e seus múltiplos.

A modulação vetorial apresenta um maior índice de modulação produzido pela presença da terceira harmônica nas tensões de fase. Um melhor aproveitamento da tensão do barramento CC torna a SVM mais atrativa para aplicação no projeto do inversor de interligação. Outra característica interessante, citada por Gu e Jin (2015), é a possibilidade de reduzir as perda por comutação, em relação a modulação SPWM, sendo, essa redução obtida através da ordem de acionamento dos interruptores.

A metodologia para desenvolvimento do algoritmo da SVM desenvolvido para o inversor de interligação está descrito no Apêndice 3.

2.3 MALHA DE SINCRONISMO DE FREQUÊNCIA

O inversor de interligação contém uma malha para sincronismo com a tensão da sub-rede CA, conhecida como PLL do inglês *Phase Locked Loop*, que tem a capacidade de obter a frequência, a fase e a amplitude do sinal de tensão. A malha de PLL é, comumente, utilizada para sincronizar a corrente em uma operação no modo de controle de corrente.

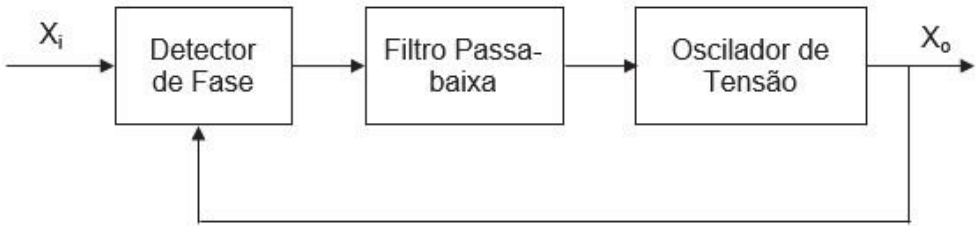
Quando a corrente injetada pelo inversor de interligação está em fase com a tensão na sub-rede CA é possível controlar a potência ativa e reativa que será

entregue por ele. Como demonstrado no trabalho de Golestan, Guerrero e Vasquez (2017), onde, os autores apresentam uma revisão dos PLLs em sistemas trifásicos que são aplicados em inversores para controle da potência injetada na rede elétrica de distribuição.

Uma estrutura básica do PLL pode ser vista na FIGURA 8, a malha de controle inclui um detector de fase, um filtro e um oscilador de tensão. O detector de fase acrescenta um ganho ao sinal resultante da comparação entre a fase do sinal de saída com a fase do sinal de entrada. Considera-se que o sinal de entrada X_i é uma de tensão senoidal e o sinal de saída X_o representa um sinal senoidal com frequência e fase iguais ao sinal de entrada.

O filtro passa-baixa elimina os componentes de alta frequência, provenientes da soma das fases dos sinais de entrada e saída. Por último, o oscilador apresenta um sinal igual em frequência e fase ao sinal de entrada.

FIGURA 8 – ESTRUTURA BÁSICA DO CONTROLE DE PLL



FONTE: O autor (2023).

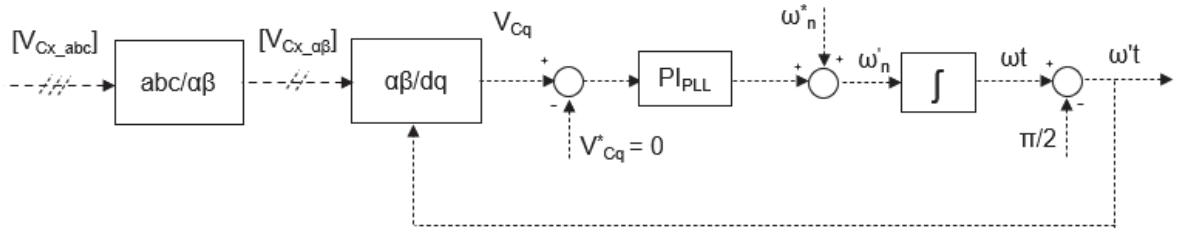
O sinal de saída apresenta uma pequena oscilação em torno dos valores de frequência e fase referentes ao sinal de entrada, Hsieh e Hung (1996) explicam que o ganho do oscilador de tensão determina a amplitude dessa oscilação. Além disso, o filtro passa-baixa pode introduzir um atraso no sinal de saída, sendo que, o atraso deve ser avaliado através da resposta dinâmica do PLL.

Através da transformada de Park, definida no Apêndice 2, é possível estabelecer o PLL conhecido como PLL de referencial síncrono (SRF-PLL), do inglês *Synchronous Reference Frame* PLL, sendo, comumente empregado em inversores trifásicos por sua simplicidade de implementação. As estruturas de PLL que utilizam como base o SRF-PLL são comuns e tem como objetivo melhorar a resposta dinâmica do PLL ou melhorar a resposta em regime permanente como demonstrado por Ciobotaru, Teodorescu e Blaabjerg (2006) e Youssef e Mohammed (2013).

A malha de controle do SRF-PLL é ilustrada na FIGURA 9, onde, $[V_{Cx_abc}] = [V_{Ca}\ V_{Cb}\ V_{Cc}]^T$ são os sinais de tensões trifásicas da sub-rede CA, $[V_{Cx_\alpha\beta}] = [V_{C\alpha}\ V_{C\beta}]^T$ são os sinais das tensões da sub-rede CA no referencial estacionário αβ, V_{Cq} é o sinal na coordenada 'q' do referencial síncrono dq e PI_{PLL} é o compensador proporcional integral. A transformada de Park descrita no Apêndice 2 é utilizada para transformar as tensões αβ para as tensões de referencial síncrono dq.

A estrutura básica de PLL, apresentada na FIGURA 8, pode ser identificada na estrutura da FIGURA 9, sendo que, a transformada de Park realiza o papel do detector de fase, o compensador PI_{PLL} a do filtro passa-baixa e o integrador faz o papel de oscilador de tensão.

FIGURA 9 – MALHA DE CONTROLE DO SRF-PLL



FONTE: O autor (2023).

A malha de controle SRF-PLL inicia com a aquisição das tensões trifásicas da sub-rede CA, a transformada de Clarke é utilizada para modificar os sinais de tensão para o referencial estacionário αβ e a transformada de Park para modificar para o referencial síncrono dq. O sinal V_{Cq} deve ser igual a zero para manter o vetor resultante em fase com o eixo 'd', sendo que, o compensador PI_{PLL} é utilizado para eliminar o erro em regime permanente.

O sinal de saída do compensador é acrescentado da referência da frequência angular do sistema ω^*_n o que irá gerar o sinal de entrada do integrador (ω'_n)

Por último, o oscilador realiza o passo de integração para gerar uma rampa que cresce de zero a 2π na velocidade angular ω'_n. O sinal de saída ωt ainda é subtraído de 90° para deslocar o eixo girante dq do referencial síncrono e manter o vetor resultante em fase com a fase 'a'.

Normalmente, a malha de PLL é avaliada através da resposta dinâmica e a capacidade de atenuar as harmônicas, o SRF-PLL apresenta boa resposta dinâmica,

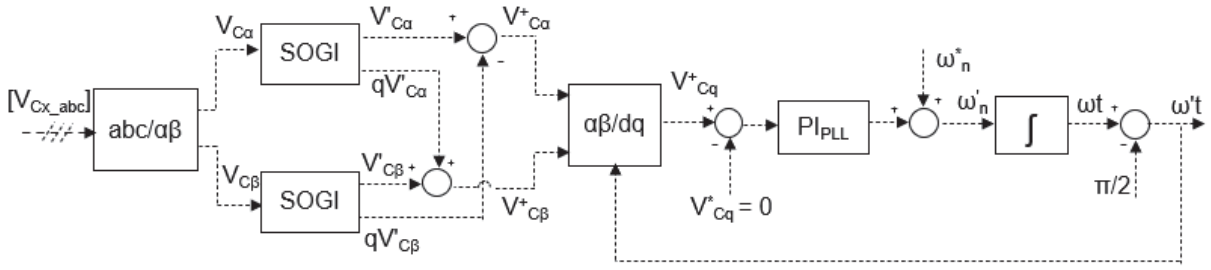
mas, incapacidade de atenuar as harmônicas da tensão, como apresentado por Nicastri e Nagliero (2010). Caso as tensões da sub-rede CA apresentem distorções harmônicas, a corrente produzida pelo inversor de interligação irá refletir essas harmônicas.

Para o protótipo do inversor de interligação foi definido o uso de um pré-filtro para o PLL, com o objetivo de melhorar a capacidade de atenuar as harmônicas do sinal de tensão na entrada do PLL. Com o uso do pré-filtro, o protótipo do inversor de interligação poderá ser conectado em uma sub-rede CA que apresente uma tensão com a presença de harmônicas sem prejudicar as estratégias de controle adotadas.

Aplicando-se o filtro conhecido como integrador generalizado de segunda ordem, do inglês *Second Order Generalised Integrator* (SOGI), junto ao SRF-PLL, obtém-se a estrutura do *Dual Second Order Generalised Integrator PLL (*DSOGI-PLL) proposto por Ciobotaru, Teodorescu e Blaabjerg (2006). No Apêndice 4 estão os detalhes do projeto e funcionamento do pré-filtro SOGI.

A FIGURA 10 ilustra o uso do pré-filtro SOGI junto a malha do SRF-PLL, os sinais ortogonais filtrados geram um sinal de sequência positiva, [$V^{+}_{C\alpha}$, $V^{+}_{C\beta}$], antes de entrar na malha do SRF-PLL.

FIGURA 10 – MALHA DE CONTROLE SRF-PLL COM PRÉ-FILTRO SOGI



FONTE: O autor (2023).

Os detalhes do projeto da malha do PLL que será utilizada na simulação e no protótipo do inversor de interligação estão no Apêndice 5, incluindo a modelagem da malha de controle do SRF-PLL, o projeto do compensador PI_{PLL} e o algoritmo que representa o PLL proposto.

. Os parâmetros que serão avaliados durante a operação do inversor de interligação no CCM são a resposta dinâmica e a THD da corrente injetada pelo inversor de interligação.

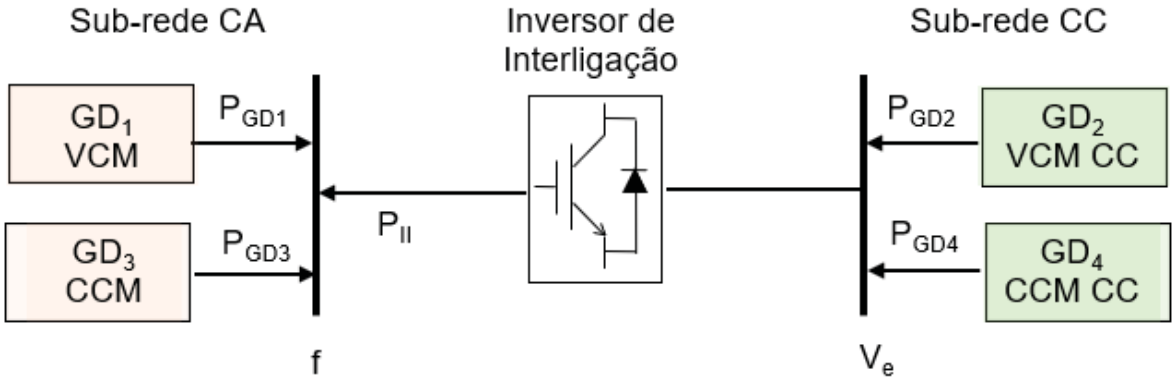
2.4 MALHA DE CONTROLE DROOP

O controle *droop* é um método descentralizado para compartilhamento de potência entre fontes operando em paralelo. Tem sua consolidação nos sistemas elétricos de potência no paralelismo de geradores síncronos e, como destacado em (NUTKANI et al. 2014), pode ser utilizado para compartilhamento de potência entre as fontes de geração distribuída conectadas em uma microrrede.

A FIGURA 11 apresenta uma microrrede híbrida com o controle *droop* implementado nas fontes de geração distribuída e no inversor de interligação, onde, as fontes de geração distribuída são denominadas como GD_n, e o índice 'n' é utilizado para identificar as fontes de GD.

O controle *droop* aplicado aos elementos da sub-rede CA apresenta a capacidade de controle da potência reativa, contudo, esse não é o objetivo deste trabalho a malha de controle *droop* para potência reativa não será abordada.

FIGURA 11 – MICRORREDE HÍBRIDA COM CONTROLE DROOP



FONTE: O autor (2023).

As fontes GDs são compostas por fontes de geração de energia despacháveis com controle *droop* CA para a potência ativa na sub-rede CA e controle *droop* CC para a potência na sub-rede CC. O inversor de interligação opera no modo CCM, CCM CC, VCM e VCM CC e com o controle *droop* para a potência ativa (P_{II}). As setas indicam o sentido positivo da potência e as variáveis que são utilizadas no controle *droop* são identificadas junto ao barramento comum de cada sub-rede, onde, f é a frequência da sub-rede CA e V_e é a magnitude da tensão da sub-rede CC.

As fontes de GD operando no CCM e CCM CC definem a magnitude e a direção da potência através do controle de corrente, enquanto, na operação das fontes de GD operando no VCM e VCM CC, a demanda da potência é definida pela carga. Do ponto de vista da sub-rede CA, a sub-rede CC pode ser considerada uma carga ou uma fonte, dependendo da direção da potência entregue pelo inversor de interligação. Condição que também é válida para a sub-rede CC em relação a sub-rede CA.

A fonte identificada como GD_1 está operando no modo VCM e, com isso, o controle *droop* CA para potência é identificado como P_{GD1}/f, ou seja, a frequência da tensão formada pela fonte de GD_1 flutua seu valor dependendo da potência que está sendo entregue ou absorvida por ela.

A fonte GD_3 está operando no modo CCM e a malha de controle *droop* inverso CA é definida pela relação $f\text{-}P_{GD3}$, ou seja, a potência ativa entregue pela fonte GD_3 é determinada a partir da frequência da sub-rede CA.

As fontes de GD_2 e GD_4 presentes na sub-rede CC operam, respectivamente, no VCM CC e CCM CC. O controle *droop* CC para o VCM CC é representando pela relação $P_{GD2}\text{-}V_e$, ou seja, a tensão da sub-rede CC é determinada pela potência entregue pela fonte GD_2. Enquanto, o controle *droop* inverso CC, relação $V_e\text{-}P_{GD4}$, determina a potência da fonte GD_4 em relação a tensão da sub-rede CC.

O compartilhamento de potência ativa na sub-rede CA, entre a fonte GD_1 e a fonte GD_3, é realizado pela frequência imposta por GD_1 no controle droop CA, sendo que, a frequência da sub-rede CA determina o ponto de operação no controle *droop* inverso CA da fonte GD_3. A potência injetada ou absorvida pela fonte GD_3 irá gerar uma nova demanda de potência para a fonte GD_1 que, por sua vez, determina um novo valor para a frequência da sub-rede CA. Após um rápido transitório, a fonte de GD_1 e a fonte GD_3 entram em equilíbrio e irão compartilhar a potência da sub-rede CA.

A relação entre as fontes GD_1 e GD_3 descrita para a potência também é válida para a potência na sub-rede CC. As fontes GD_2 e GD_4 compartilham potência através da magnitude da tensão da sub-rede CC. A fonte GD_2, como formadora, ajusta o valor da tensão pelo valor da sua potência e a fonte GD_4 ajusta sua potência pela tensão da sub-rede CC.

Como o inversor de interligação pode operar no CCM, CCM CC, VCM e VCM CC, ele pode assumir a função de qualquer uma das fontes de GD_n da microrrede híbrida e, com isso, compartilhar potência com as demais fontes GD da sub-rede CA ou da sub-rede CC.

Para compartilhar potência, o inversor de interligação pode utilizar os conceitos do *droop* CA, inverso CA, CC e inverso CC. Por outro lado, como o inversor de interligação está conectado entre as duas sub-redes, o controle *droop* bidirecional pode ser adotado. Incluindo o *droop* bidirecional na estratégia de controle, o inversor de interligação irá considerar a condição de carga das duas sub-redes para definir se ele irá compartilhar potência com as fontes conectadas na sub-rede CC ou na sub-rede CA.

A nomenclatura adotada neste trabalho para as malhas de controle *droop* bidirecional na operação do inverso de interligação é descrita como: *droop* bidirecional de tensão CA para o modo VCM, *droop* bidirecional de corrente para o modo CCM e *droop* bidirecional de tensão CC para o modo VCM CC.

A TABELA 6 apresenta um resumo do controle *droop* para as fontes GDs e o inversor de interligação da microrrede híbrida da FIGURA 11. O tipo de controle *droop* adotado depende do modo de operação da fonte de GD, CCM, CCM CC, VCM ou VCM CC, e em qual sub-rede ela está conectada.

TABELA 6 – CONTROLE *DROOP* PARA POTÊNCIA ATIVA DE DIFERENTES FONTES DE GDs

Fonte	Modo	Droop	Entrada	Saída
GD1	VCM	CA	Potência	Frequência
GD2	VCM CC	CC	Potência	Tensão CC
GD3	CCM	Inverso CA	Frequência	Potência
GD4	CCM CC	Inverso CC	Potência	Frequência
II	VCM CC	Bidirecional Tensão CC	Potência, frequência	Tensão CC
II	VCM	Bidirecional de Tensão CA	Potência, tensão CC	Frequência
II	CCM	Bidirecional de Corrente	Frequência, tensão CC	Potência

FONTE: O autor (2023).

A diferença entre os métodos de controle *droop* está relacionada com a característica de cada modo de operação, sendo que, as variáveis que são utilizadas

no controle *droop* devem ser mantidas para que as fontes de GD e o inversor de interligação compartilhem a informação de demanda e oferta de potência.

A relação entre as variáveis de entrada e as variáveis de saída do controle *droop* é linear e é determinado por um índice de *droop*, sendo que, o valor do índice depende da capacidade de potência de cada fonte de GD e do inversor de interligação.

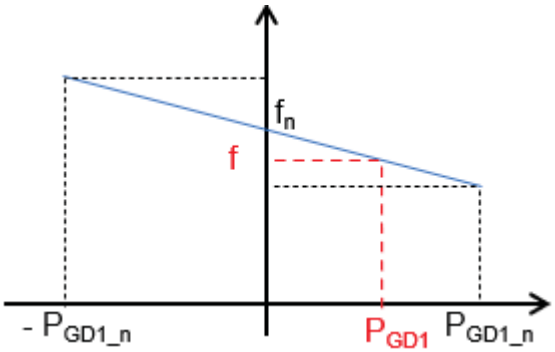
Com a implementação do controle *droop* no inversor de interligação é possível realizar o compartilhamento de potência com nas fontes GD conectadas na sub-rede CA ou na sub-rede CC e que estão operando como controle *droop*, respectivamente, CA, inverso CA, CC ou inverso CC.

2.4.1 Controle *Droop* CA e Controle *Droop* Inverso CA.

O controle *droop* CA é utilizado em fontes de GD operando no VCM e relaciona a potência com a frequência da sub-rede CA. O mesmo princípio da resposta dos geradores síncronos é observado no comportamento da fonte de GD. Chapman S. (2003) explicam que quando ocorre uma alteração na carga do gerador síncrono, ocorre uma mudança de velocidade e, com isso, uma alteração na frequência da tensão induzida. Essa caraterística é intrínseca ao sistema mecânico de geradores e é reproduzida em fontes de geração distribuída.

A FIGURA 12 apresenta a relação entre a potência e a frequência para um exemplo, onde, a fonte GD_1, representada na FIGURA 11, está injetando potência na sub-rede CA. A potência nominal da fonte GD_1 é identificada por P_{GD1_n}, a frequência nominal por f_n e a frequência da fonte GD_1 por f, sendo que, seu valor tem relação linear com a potência P_{GD1} que está sendo entregue por ela.

FIGURA 12 – CURVA DROOP CA



FONTE: O autor (2023).

Se a potência tem sinal positivo, a fonte GD_1 está injetando potência na sub-rede CA e a frequência da fonte GD_1 é menor que a frequência nominal. Caso a potência apresente sinal negativo, ela está sendo absorvida pela fonte GD_1 e a frequência é maior que a frequência nominal.

A equação (1) apresenta a relação entre a frequência e a potência, onde, k_{Pf} representa a inclinação da reta que relaciona P_{GD1}-f.

$$f = f_n - k_{Pf} P_{GD1} \tag{1}$$

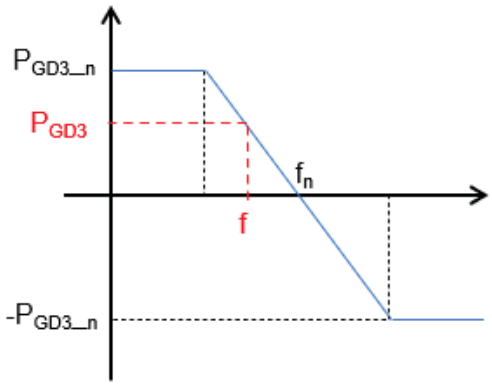
O índice *droop* k_{Pf} apresenta a unidade V/kW e é definido pela equação (2), onde, f_m é o valor máximo da frequência.

$$k_{Pf} = \frac{f_m - f_n}{P_{GD1_n}} \tag{2}$$

A flutuação de frequência causada pelo controle *droop* CA não gera erros no compartilhamento de potência, mas, pode ser sensível a alguns tipos de equipamentos que possam ser conectados à sub-rede CA.

Na operação da fonte GD_3 no CCM é implementado o *droop* inverso CA. A FIGURA 13 apresenta a relação entre a frequência e a potência nominal da fonte GD_3. No exemplo, a potência está sendo injetada pela fonte GD_3, portanto, a frequência da sub-rede CA está menor do que seu valor nominal (f_n).

FIGURA 13 – CURVA DROOP INVERSO CA



FONTE: O autor (2023).

Quando a frequência da sub-rede CA está abaixo do seu valor nominal, a fonte GD_3 injeta potência e quando a frequência está acima do seu valor nominal, a fonte GD_3 absorve potência.

A equação (3) que representa o controle *droop* inverso CA é obtida reordenando a equação (1) e substituindo a potência da fonte GD_1 pela potência da fonte GD_3.

$$P_{GD3} = \frac{1}{k_{Pf}} (f_n - f) \tag{3}$$

O índice de *droop* inverso CA é calculado pela equação (2), sendo ele, o inverso do índice do controle *droop* CA.

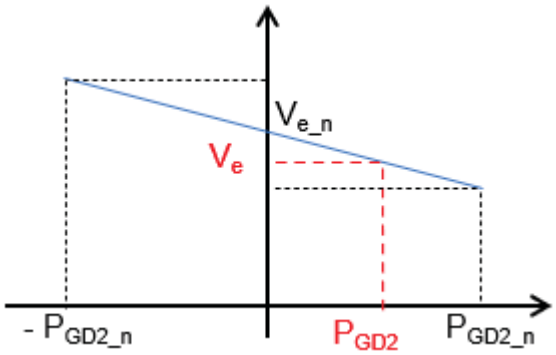
O controle *droop* CA pode ser utilizado na estratégia de controle do inversor de interligação quando ele está no modo de operação VCM e, com isso, ele pode compartilhar potência com as fontes GDs conectadas à sub-rede CA e que estão operando no modo CCM com o *droop* inverso CA. Enquanto, se o inversor de interligação está no modo CCM, o controle *droop* inverso CA pode ser implementado na sua estratégia de controle para que ele compartilhe potência com a fonte de GD conectada a sub-rede CA e que está operando como formadora (VCM) e com *droop* CA.

2.4.2 Controle *Droop* CC e Controle *Droop* Inverso CC

O controle *droop* CC é utilizando em fontes de GD conectadas à sub-rede CC e operando no VCM CC, como é o caso da fonte GD_2 representada na FIGURA 11. A FIGURA 14 apresenta a curva que relaciona a potência e a tensão para um exemplo, onde, a fonte GD_2 está injetando potência na sub-rede CC.

A potência nominal é identificada por P_{GD2_n}, a tensão nominal V_{e_n} e a tensão da fonte GD_2 por V_e. Se a potência tem sinal positivo, a fonte GD_2 está injetando potência na sub-rede CC e a tensão V_e é menor que o seu valor nominal. Caso, a potência seja absorvida pela fonte GD_3, o sinal da potência é negativo e tensão V_e é maior que o seu valor nominal.

FIGURA 14 – CURVA DROOP CC



FONTE: O autor (2023).

A equação (4) apresenta a relação entre a tensão e a potência, onde, k_{PVe} representa a inclinação da reta que relaciona P_{GD2}-V_e.

$$V_e = V_{e_n} - k_{PV_e} P_{GD2} \tag{4}$$

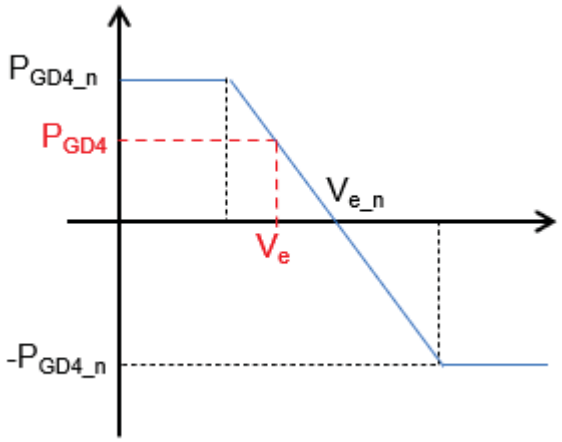
O índice *droop* k_{PVe} apresenta a unidade V/kW e é definido pela equação (5), onde, V_{e_m} é o valor máximo da tensão da sub-rede CC.

$$k_{PV_e} = \frac{V_{e_m} - V_{e_n}}{P_{GD2_n}} \tag{5}$$

A impedância de linha que conecta as diferentes fontes de GD ao barramento comum da sub-rede CC pode causar desvios na magnitude de tensão, mas, normalmente, os desvios são pequenos em relação a flutuação do controle *droop* e podem ser desprezados.

Na microrrede híbrida da FIGURA 11 está presente a Fonte GD_4 que opera no CCM CC com o controle *droop* inverso CC. A FIGURA 15 apresenta a relação entre a tensão e a potência, no exemplo, a fonte GD_4 está injetando potência da sub-rede CC.

FIGURA 15 – CURVA DROOP INVERSO CC



FONTE: O autor (2023).

Quando a tensão da sub-rede CC está abaixo do seu valor nominal, a fonte GD_4 injeta potência e quando a tensão da sub-rede CC está acima do seu valor nominal, a fonte GD_4 absorve potência.

A equação (6) que representa o controle *droop* inverso CC é obtida reordenando a equação (4) e substituindo a potência da fonte GD_2 pela potência da fonte GD_4.

$$P_{GD4} = \frac{1}{k_{PV_e}}(V_{e_n} - V_e) \tag{6}$$

O índice do controle *droop* inverso CC inverso é calculado pela equação (5), sendo ele, o inverso do índice do controle *droop* CC.

Quando o inversor de interligação está no CCM CC, o controle *droop* inverso CC pode ser implementado na sua estratégia de controle para que ele compartilhe potência com a fonte GD formadora de rede da sub-rede CC e que está operando com o *droop* CC. Enquanto, o controle *droop* CC pode ser utilizado pelo inversor de interligação no modo VCM CC quando ele tem a função de formador da sub-rede CC e, dessa maneira, o inversor de interligação pode compartilhar potência com a fonte GD conectada à sub-rede CC e que está no modo de operação CCM CC e com o controle *droop* inverso CC.

2.4.3 Controle *Droop* Bidirecional.

O controle *droop* bidirecional é utilizado junto ao inversor de interligação para obter o compartilhamento de potência entre as fontes de GD que estão em diferentes sub-redes. A abordagem é definida através da integração do controle *droop* CA com o controle *droop* CC, o que gera mais uma variável para o controle da potência.

Quando o inversor de interligação está operando com o *droop* bidirecional, o objetivo é identificar a demanda e a oferta de potência presente em cada sub-rede e, com isso, controlar a direção e magnitude da potência até que o sistema atinja um ponto de equilíbrio.

O controle bidirecional de potência depende da comparação das variáveis de cada sub-rede. No CCM, o inversor de interligação recebe como variáveis de entrada, para o controle *droop* bidirecional, a frequência da sub-rede CA e a tensão da sub-rede CC. Como resultado a direção e a magnitude da potência ativa é definida pela comparação, através dos valores em por unidade (pu), das variáveis de entrada.

A abordagem de Loh et al., 2013, conhecida como e-*droop*, apresenta uma metodologia simples e é utilizada como base neste trabalho. Nela os valores em pu da frequência ($f_{_pu}$) da sub-rede CA e da tensão da sub-rede CC (V_{e_pu}) são obtidos através da equação (7), onde, f é a frequência da sub-rede CA, f_n é a frequência nominal da sub-rede CA, f_m é o valor máximo da flutuação de frequência em relação ao seu valor nominal, V_e é a tensão da sub-rede CC, V_{e_n} é a tensão nominal da sub-rede CC e V_{e_m} é o valor do desvio da tensão em relação ao seu valor nominal.

$$f_{pu} = \frac{(f - f_n)}{(f_m - f_n)}$$
$$V_{e_pu} = \frac{(V_e - V_{e_n})}{(V_{e_m} - V_{e_n})} \quad (7)$$

Os valores em pu da frequência e da tensão são comparados entre si e, com isso, gera-se uma variável de erro (e_d) que, em seguida, é relacionada linearmente com a potência do inversor de interligação (P_{II}) através de um índice *droop*.

Vale destacar que quanto mais próximo a frequência estiver da frequência nominal, menor é o valor da frequência em pu. Dessa forma, a frequência em pu

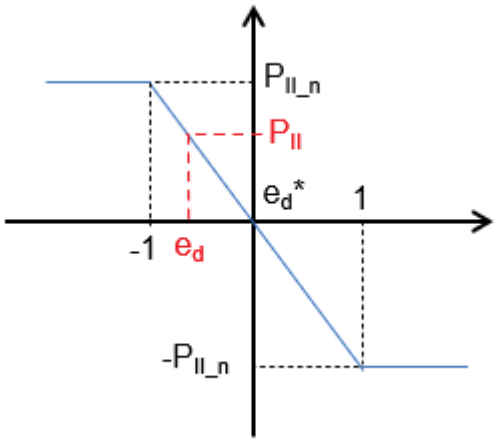
representa a flutuação de frequência, onde, f_{pu} = 1 ou f_{pu} = -1 quando o desvio for máximo. O mesmo conceito é aplicado para a tensão da sub-rede CC em pu.

A equação (8) identifica o cálculo do erro (e_d) entre a frequência da sub-rede CA e a tensão da sub-rede CC, sendo que, a variável de erro é dividida por dois para manter a escala em pu.

$$e_d = \frac{(f_{pu} - V_{e_pu})}{2} \tag{8}$$

A FIGURA 16 apresenta a relação entre a variável de erro e a potência do inversor de interligação, no exemplo, a direção da potência é da sub-rede CC para a sub-rede CA, indicando que V_{e_pu} é maior que f_{pu}. A potência nominal do inversor de interligação pode transferir entre as sub-redes é identificada como P_{II_n}.

FIGURA 16 – CURVA DROOP BIDIRECIONAL DE CORRENTE



FONTE: O autor (2023).

O erro de referência é igual a zero, ou seja, $e_d^* = 0$. Quando o erro e_d é igual ao erro de referência (e_d^*), f_{pu} é igual a V_{e_pu} e não há transferência de potência entre as sub-redes. Se a variável e_d for maior que zero, a frequência da sub-rede CA em pu é maior que a tensão da sub-rede CC em pu, portanto, a direção da potência do inversor de interligação é da sub-rede CA para a sub-rede CC e, por convenção, o seu sinal é negativo e, caso a variável e_d seja menor que zero, $V_{e_pu} > f_{pu}$, a direção da potência é da sub-rede CC para a sub-rede CA.

A equação (9) apresenta a relação entre o erro e a potência do inversor de interligação, onde, k_{edPII} representa a inclinação da reta da FIGURA 16, onde, $e_d^* = 0$.

$$P_{II} = \frac{1}{k_{e_d P_{II}}}(e_d^* - e_d) \tag{9}$$

O índice *droop* bidirecional k_{edPII} é definido pela equação (10), onde, e_{d_m} é o valor máximo da flutuação do erro e é igual a unidade, a referência do erro é igual a zero, ou seja, $e_d^* = 0$.

$$k_{e_d P_{II}} = \frac{e_{d_m}}{P_{II_n}} \tag{10}$$

Quando a estratégia de controle do inversor de interligação utiliza o modo de operação CCM e, há fontes GDs formadoras de rede e operando com controle *droop* em ambas as sub-redes, o *droop* bidirecional de corrente pode ser implementado junto a estratégia de controle do inversor de interligação. A aplicação da estratégia de controle que utiliza o modo CCM com *droop* bidirecional de corrente possibilita que o inversor de interligação compartilhe potência com a fonte GD conectada à sub-rede que apresenta a maior demanda por potência.

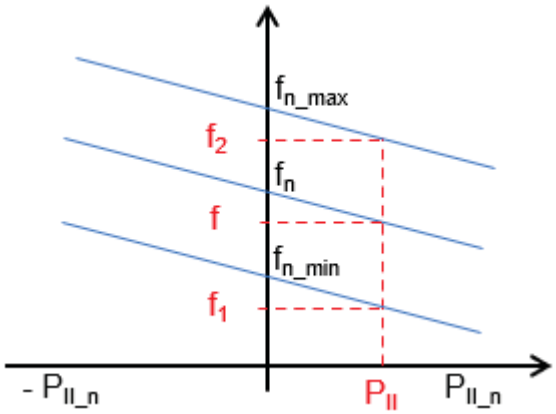
O controle *droop* bidirecional de corrente é aplicado ao inversor de interligação quando operando no CCM, entretanto, para a configuração da microrrede híbrida que necessita de um formador da sub-rede CA, a operação como VCM com *droop* bidirecional deve ser implementada. Dessa forma, Luo, Loo e Lai, 2016 e Baharizadeh, Karshenas e Guerrero (2016) apresentam uma abordagem de *droop* bidirecional para o inversor de interligação operando no VCM que é eficiente e de fácil implementação. A estratégia de controle desenvolvida pelos autores será utilizada como base para este trabalho e é identificada como controle *droop* bidirecional de tensão CA.

As variáveis de entrada da malha de controle *droop* bidirecional de tensão CA são a potência do inversor de interligação (P_{II}) e a tensão da sub-rede CC (V_e) e cada uma das variáveis de entrada está relacionada com a variável de saída , sendo, ela a frequência da sub-rede CA (f).

A potência do inversor de interligação apresenta uma relação linear com a frequência da tensão formada por ele, como ocorre no controle *droop* CA. Enquanto, a tensão da sub-rede CC apresenta uma relação linear com a referência da frequência da sub-rede CA. Dessa forma, o controle *droop* bidirecional de tensão CA pode ser entendido como um controle *droop* CA modificado.

A FIGURA 17 apresenta a relação entre a potência do inversor de interligação (P_{II}) e a frequência produzida por ele para formar a sub-rede CA. A frequência nominal da sub-rede CA (f_n) pode flutuar entre um valor máximo f_{n_max} e um valor mínimo f_{n_min} dependendo da tensão da sub-rede CC.

FIGURA 17 – CURVA DROOP BIDIRECIONAL DE TENSÃO CA



FONTE: O autor (2023).

Cada frequência nominal diferente produz um novo ponto de operação na relação entre a potência P_{II} e a frequência da tensão f. Se a tensão da sub-rede CC (V_e) é menor que a tensão nominal (V_{e_n}), a frequência nominal diminui em relação ao seu valor nominal e, com isso, a frequência f também reduz, considerando o mesmo valor de potência (P_{II}) .

No exemplo da FIGURA 17, se a tensão da sub-rede CC é menor que seu valor nominal e apresenta flutuação máxima, a frequência nominal assume seu valor mínimo (f_{n_min}) e a frequência passa a ser f_1. Em uma condição contrária, se a tensão da sub-rede CC é maior que a tensão nominal e a sua flutuação é máxima, a frequência nominal terá seu valor máximo (f_{n_max}) e a frequência passa a ser f_2.

A equação (11) é semelhante a equação (1) do controle *droop* CA e apresenta a relação entre a potência do inversor de interligação e a frequência da tensão

formada por ele. A frequência nominal f_n presente na equação (1) é substituída pela frequência nominal de referência f_n^*, sendo que, ela pode flutuar entre seu valor máximo e seu valor mínimo, dependendo da tensão da sub-rede CC.

$$f = f_n^* - k_{P_{II}f} P_{II} \tag{11}$$

O índice *droop* bidirecional k_{PIIf} é definido pela equação (12), onde, f_m é a flutuação máxima da frequência, a partir da frequência nominal f_n, e P_{II_n} é a potência nominal do inversor de interligação.

$$k_{P_{II}f} = \frac{f_m - f_n}{P_{II_n}} \tag{12}$$

A relação entre a tensão da sub-rede CC e a frequência de referência da sub-rede CA pode ser calculada pela equação (13), onde, V_e é a tensão da sub-rede CC, f_n representa a frequência nominal da sub-rede CA que pode flutuar entre seu valor máximo (f_{n_max}) e seu valor mínimo (f_{n_min}), f_n^* é o valor da frequência de referência e k_{Vef} é o índice *droop* que relaciona as duas grandezas e é obtido pela equação (14).

$$f_n^* = f_n + V_e k_{V_{ef}} \tag{13}$$

$$k_{V_{ef}} = \frac{f_m - f_n}{V_{e_m} - V_{e_n}} \tag{14}$$

Diferente do controle *droop* bidirecional de corrente que compartilha potência com as fontes GD formadoras de rede da sub-rede CA ou na sub-rede CC, o controle *droop* bidirecional de tensão CA compartilha potência apenas com a fonte GD que está conectada à sub-rede CA, operando no modo CCM e com *droop* inverso CA. Portanto, o *droop* bidirecional de tensão CA apresenta a mesma função do *droop* CA, contudo, ele considera a condição de carga da sub-rede CC, através da tensão da sub-rede CC, para realizar esse compartilhamento.

O controle *droop* bidirecional de tensão CA pode ser implementado a estratégia de controle do inversor de interligação quando ele está operando no modo VCM com a função de formar a tensão da sub-rede CA.

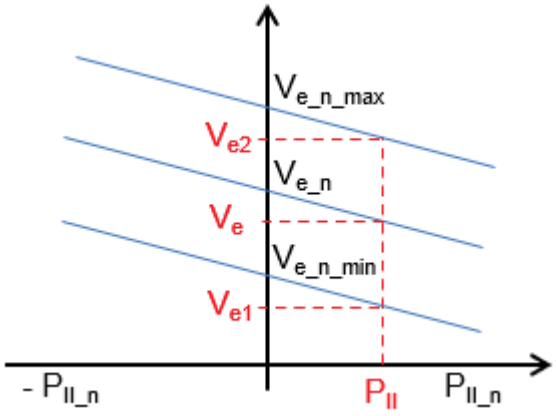
Para complementar as opções de controle *droop* bidirecional é proposto neste trabalho o controle *droop* bidirecional de tensão CC que é utilizado quando o inversor de interligação está operando no modo VCM CC.

As variáveis de entrada da malha de controle *droop* bidirecional de tensão CC são a potência do inversor de interligação (P_{II}) e a frequência da sub-rede CA (f) e cada uma das variáveis de entrada está relacionada com a variável de saída, sendo, ela a tensão da sub-rede CC (V_e).

A potência do inversor de interligação apresenta uma relação linear com a tensão da sub-rede CC formada por ele, como ocorre no controle *droop* CC. Enquanto, a frequência da sub-rede CA apresenta uma relação linear com a referência da tensão da sub-rede CC. Dessa forma, o controle *droop* bidirecional de tensão CC pode ser entendido como um controle *droop* CC modificado.

A FIGURA 18 apresenta a relação entre a potência do inversor de interligação (P_{II}) e a tensão CC produzida por ele para formar a sub-rede CC. A tensão nominal da sub-rede CC (V_{e_n}) pode flutuar entre um valor máximo $V_{e_n_max}$ e um valor mínimo $V_{e_n_min}$ dependendo da frequência da sub-rede CA.

FIGURA 18 – CURVA DROOP BIDIRECIONAL DE TENSÃO CC



FONTE: O autor (2023).

Cada tensão CC nominal diferente produz um novo ponto de operação na relação entre a potência P_{II} e a tensão CC V_e. Se a frequência da sub-rede CA (f) é

menor que a frequência nominal (f_n), a tensão CC nominal diminui seu valor em relação a V_{e_n}, diminuindo seu valor, a tensão V_e também reduz, considerando o mesmo valor de potência (P_{II}) .

No exemplo da FIGURA 18, se a frequência da sub-rede CA é menor que seu valor nominal e apresenta flutuação máxima, a tensão nominal CC assume seu valor mínimo ($V_{e_n_min}$) e a tensão CC passa a ser V_{e1}. Em uma condição contrária, se a frequência é maior que o seu valor nominal e a sua flutuação é máxima, a tensão CC nominal terá seu valor máximo ($V_{e_n_max}$) e a tensão CC passa a ser f_2.

A equação (15) é semelhante a equação (4) do controle *droop* CA e apresenta a relação entre a potência do inversor de interligação e a tensão CC formada por ele. A tensão CC nominal V_{e_n} presente na equação (4) é substituída pela tensão CC nominal de referência $V_{e_n}^*$, sendo que, ela pode flutuar entre seu valor máximo e seu valor mínimo, dependendo da frequência da sub-rede CA.

$$V_e = V_{e_n}^* - k_{P_{II}V_e} P_{II} \tag{15}$$

O índice *droop* bidirecional k_{PIIVe} é definido pela equação (16), onde, V_{e_m} é a flutuação máxima da tensão CC, a partir da tensão CC nominal V_{e_n}, e P_{II_n} é a potência nominal do inversor de interligação.

$$k_{P_{II}V_e} = \frac{V_{e_m} - V_{e_n}}{P_{II_n}} \tag{16}$$

A relação entre a frequência da sub-rede CA e a tensão CC de referência da sub-rede CC pode ser calculada pela equação (17), onde, f é a frequência da sub-rede CA, V_{e_n} representa a tensão nominal da sub-rede CC que pode flutuar entre seu valor máximo ($V_{e_n_max}$) e seu valor mínimo ($V_{e_n_min}$), $V_{e_n}^*$ é o valor da tensão CC de referência e k_{fVe} é o índice *droop* que relaciona as duas grandezas e é obtido pela equação (18).

$$V_{e_n}^* = V_{e_n} + f k_{fV_e} \tag{17}$$

$$k_{fV_e} = \frac{V_{e_m} - V_{e_n}}{f_m - f_n} \tag{18}$$

O controle *droop* bidirecional de tensão CC compartilha potência apenas com a fonte GD que está conectada à sub-rede CC, operando no modo CCM CC e com *droop* inverso CC. Portanto, o *droop* bidirecional de tensão CC apresenta a mesma função do *droop* CC, contudo, ele considera a condição de carga da sub-rede CA, através da frequência da sub-rede CA, para realizar esse compartilhamento.

O controle *droop* bidirecional de tensão CC pode ser implementado a estratégia de controle do inversor de interligação quando ele está operando no modo VCM CC com a função de formar a tensão da sub-rede CC.

2.5 CONSIDERAÇÕES FINAIS DO CAPÍTULO

Os conceitos estabelecidos neste capítulo têm como objetivo suportar o desenvolvimento do protótipo do inversor de interligação e as suas estratégias de controle.

As características do inversor de interligação são descritas na Seção 2.1. Na seção 2.2, a modulação vetorial denominada SVM é descrita, o algoritmo desenvolvido é implementado no projeto do inversor de interligação com o objetivo de obter um maior índice de modulação e, com isso, um melhor aproveitamento da tensão da sub-rede CC.

A descrição do PLL é estabelecida na seção 2.3 e sua implementação será junto a malha de controle de corrente, sendo que, a capacidade de obter a frequência, fase e amplitude da tensão no ponto de conexão é essencial para operação do inversor de interligação no CCM.

Por fim, na seção 2.4, os diferentes tipos de controle *droop* são descritos. O *droop* CA e o *droop* CC implementado para compartilhamento de potência entre as fontes de GD presentes, respectivamente, na sub-rede CA e na sub-rede CC e o *droop* bidirecional definido junto ao inversor de interligação para compartilhamento de potência entre as fontes de GD presentes em ambas as sub-redes.

O inversor de interligação contém a capacidade de operar como qualquer uma das malhas de controle *droop,* descritas na seção 2.4, o que confere a ele grande flexibilidade operativa.

O uso do inversor de interligação com o controle *droop* bidirecional contribui de maneira positiva com o equilíbrio de potência da microrrede híbrida, pois, as fontes de GD despacháveis conectadas à sub-rede CA podem alimentar as cargas na sub-rede CC, assim como, as fontes conectadas na sub-rede CC podem alimentar as cargas CA.

Em uma comparação com o uso do controle *droop* para apenas uma das sub-redes, o controle *droop* bidirecional proporciona uma operação mais flexível para a microrrede híbrida. Sendo que, o monitoramento de duas grandezas, uma em cada sub-rede, permite que condições de controle sejam estabelecidas quando há somente um sistema de armazenamento de energia conectado a uma das sub-redes.

3 PROJETO DO FILTRO LCL, MODELAGEM E CONTROLE DO INVERSOR DE INTERLIGAÇÃO

Neste capítulo é realizado o projeto dos elementos do filtro LCL para, posterior, modelagem do inversor de interligação e, por fim, o projeto dos compensadores das malhas de controle.

Para o projeto dos elementos do filtro LCL é considerado a condição de ressonância entre os elementos do filtro que podem ocasionar instabilidade no controle do inversor de interligação. A técnica passiva de amortecimento do pico de ressonância é adotada para o protótipo do inversor de interligação.

Na Seção 3.2, o inversor de interligação é modelado considerando o filtro LCL enquanto, na Seção 3.3, o modelo do compensador da malha de controle de corrente é projetado através do modelo do inversor de interligação como com controle de corrente.

Na Seção 3.4 e 3.5, os modelos do inversor de interligação para as malhas de controle de tensão, respectivamente, CA e CC, são definidos e através deles, os respectivos compensadores são projetados. As malha de controle de tensão são sobrepostas a malha de controle de corrente e apresentam frequências corte muitos menores que a frequência de corte da malha de controle de corrente. Portanto, os modelos do inversor de interligação para controle da tensão consideram o ganho estático da malha de controle de corrente.

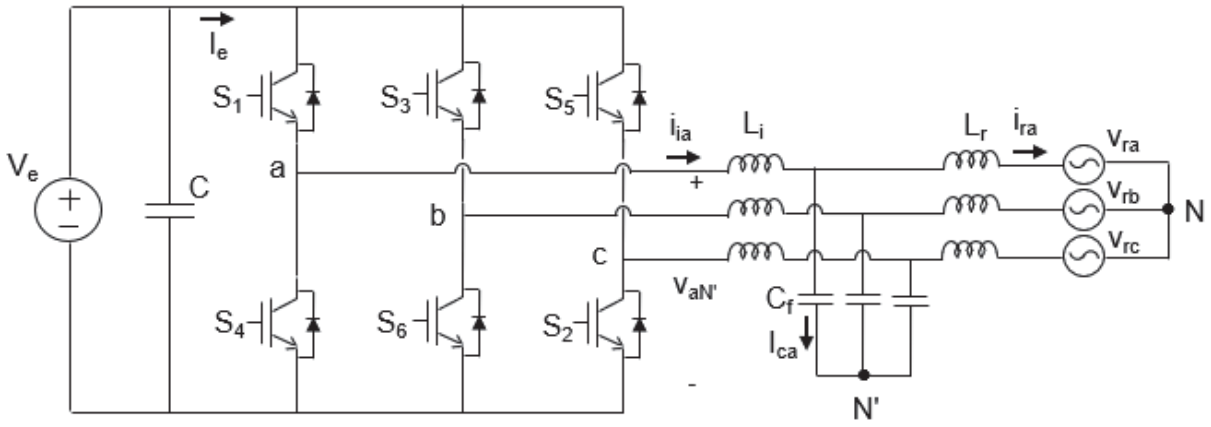
As malha de controle de corrente e tensão do inversor de interligação utilizam o referencial síncrono dq que é obtido através das transformadas de Clarke e Park descritas no Apêndice 2.

Na última seção deste capítulo, as malhas de controle *droop* são projetadas e os índices de *droop* definidos. Com as malhas de controle *droop*, o inversor de interligação realiza o controle de potência entre as sub-redes e compartilha a potência com os demais conversores presentes nas sub-redes e que contenham malhas de controle *droop*.

O inversor de interligação utiliza uma ponte trifásica completa com um filtro LCL para conexão com a sub-rede CA e com um filtro C para a conexão com a sub-rede CC, como apresentado no circuito da FIGURA 19. Para simplificar, as correntes

do filtro LCL e a tensão na saída do inversor de interligação, no lado CA, estão indicadas apenas para a fase ‘a’.

FIGURA 19 – CIRCUITO DO INVERSOR DE INTERLIGAÇÃO COM FILTROS



FONTE: O autor (2023).

A tensão da sub-rede CC é representada por V_e e está em paralelo com o filtro capacitivo C, as tensões de fase da sub-rede CA são representadas por v_{rx} e a tensão de fase do inversor de interligação, antes do filtro LCL como $v_{xN,}$ onde, ‘x’ define as fases ‘a’, ‘b’ ou ‘c’. O filtro LCL é formado por um indutor do lado do inversor (L_i), um indutor do lado da rede (L_r) e um capacitor (C_f).

As malhas de controle de corrente e de tensão devem ser projetadas considerando o modelo do inversor de interligação com o filtro LCL. O capacitor C_f está conectado em estrela, assim como as fontes que representam a sub-rede CA e, embora, não haja conexão física entre N’ e N, como o sistema é equilibrado, considera-se que N = N’.

O modelo do inversor de interligação com filtro LCL é definido para o referencial síncrono dq utilizando as transformadas de Clarke e de Park, com isso, a potência é controlada através da corrente de coordenada ‘d’ para a potência ativa.

Inicialmente, a malha de controle de corrente é estabelecida para o funcionamento do inversor de interligação no CCM e no CCM CC, em seguida, a malha de controle da tensão CA é projetada e permite a operação como formador de rede no VCM. Por fim, o projeto da malha de controle de tensão CC é realizado para permitir que o inversor de interligação forme a tensão da sub-rede CC na operação no VCM CC.

As estratégias de controle para o inversor de interligação propostas neste trabalho comtemplam um modo de operação mais uma malha de controle *droop*, sendo que, o objetivo é definir a melhor estratégia de controle para as sete diferentes configurações possíveis da microrrede híbrida.

3.1 PROJETO DOS ELEMENTOS DO FILTRO LCL

No lado CA do inversor de interligação é aplicado um filtro para atenuação das harmônicas de corrente injetadas na sub-rede CA. As harmônicas são geradas pela frequência de comutação dos interruptores através da modulação SVM. Com o objetivo de atenuar essas harmônicas é, usualmente, utilizado um filtro L ou um filtro LCL.

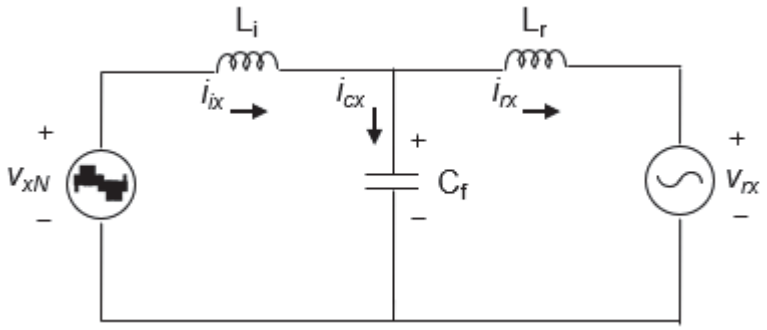
Wu et al. (2013) explicam que o filtro LCL apresenta um custo-benefício maior que o filtro L, pois, utiliza menores indutores para obter o mesmo nível de atenuação, além disso, o capacitor possibilita um caminho de baixa impedância e contribui com a filtragem das harmônicas de alta frequência.

O projeto do filtro LCL para o inversor de interligação estabelece os valores do indutor do lado do inversor (L_i), do indutor do lado da rede (L_r) e do capacitor (C_f). As premissas de projeto são: O uso da modulação SPWM com injeção de terceiro harmônico, pois, apresenta as mesmas características de resposta da SVM, a tensão da rede é considerada ideal, ou seja, tensão puramente senoidal e o sistema é a três fios equilibrado, dessa maneira, a análise é realizada em apenas uma fase.

O circuito equivalente do filtro LCL está na FIGURA 20, sendo que, ‘x’ pode ser substituído pela fase ‘a’,’ b’ ou ‘c’. A tensão modulada na saída do inversor de interligação, antes do filtro LCL, é identificada como v_{xN} e a tensão da rede elétrica como v_{rx}. A corrente que circula pelo indutor L_i é identificada como i_{ix}, a corrente do capacitor C_f, como i_{cx}, e a corrente do indutor L_r, como i_{rx}.

A corrente que circula no indutor L_i é a mesma que circula pelos interruptores da ponte trifásica, com isso, quanto maior a ondulação da corrente, maiores serão as perdas por condução no indutor e por comutação e condução nos interruptores. Portanto, o menor valor para o indutor L_i é definido através da máxima ondulação da corrente que irá circular por ele.

FIGURA 20 – CIRCUITO EQUIVALENTE DO FILTRO LCL



FONTE: O autor (2023).

O projeto do capacitor do filtro (C_f) considera a máxima potência reativa que será introduzida na sub-rede CA pela sua presença do capacitor no filtro LCL. Altos valores do capacitor contribuem com a filtragem das harmônicas, mas, em contrapartida, elevadas correntes circulam nos indutores e nos interruptores.

Enquanto, o valor da indutância do indutor do lado da rede (L_r) é definida através da atenuação das harmônicas geradas pela comutação, portanto, ele deve garantir que o filtro apresente uma THD, da corrente, gerada pelo inversor de interligação, dentro das normas estabelecidas.

As normas IEEE Standard 929 (2000) e IEEE Standard 1547 (2018) definem que a THD deve ser menor que 5% para inversores conectados na rede elétrica de distribuição. Além disso, os limites das harmônicas (h) de ordem ímpar devem estar dentro dos valores estabelecidos na FIGURA 21, em relação a frequência fundamental da rede elétrica de distribuição.

FIGURA 21 – LIMITES DAS HARMÔNICAS DE ORDEM ÍMPAR

Harmonic order h (odd harmonic)[a]	$h < 11$	$11 \leq h < 17$	$17 \leq h < 23$	$23 \leq h < 35$	$35 \leq h$	THD
Proportion to the rated grid-connected current (%)	4.0	2.0	1.5	0.6	0.3	5.0

FONTE: IEEE Standard 1547 (2018)

A TABELA 7 apresenta o resumo com as características do filtro LCL, incluindo a frequência de ressonância para os valores dos elementos calculados e para os valores definidos que serão utilizados no protótipo do inversor de interligação. A frequência de ressonância do filtro é definida pela equação (22).

TABELA 7 – PARÂMETROS DO FILTRO LCL

Parâmetros do Filtro LCL	Valor Calculado	Valor de Projeto
Indutor do Lado do Inversor (L_i)	1,31 mH	1,37 mH
Indutor do Lado da Rede (L_r)	31,1 µH	30 µH
Capacitor do Filtro (C_f)	24,9 µF	22,9 µF
Frequência de Ressonância do Filtro (f_r)	5,78 kHz	6,14 kHz

FONTE: O autor (2023).

Do circuito equivalente do inversor de interligação com filtro LCL e conectado à sub-rede CA, FIGURA 20, é obtida a função de transferência entre a corrente do indutor L_r (i_{rx}) e a tensão do inversor de interligação (v_{xN}). A equação (19) é o resultado da análise das malhas realizada no circuito da FIGURA 20, o sistema é considerado equilibrado e, com isso, a análise é realizada apenas na fase 'a'.

$$\begin{cases} v_{aN} - L_i \dfrac{di_{ia}}{dt} - \dfrac{1}{C_f}\displaystyle\int (i_{ia} - i_{ra})\, dt = 0 \\ v_{ra} - L_r \dfrac{di_{ra}}{dt} - \dfrac{1}{C_f}\displaystyle\int (i_{ra} - i_{ia})\, dt = 0 \end{cases} \tag{19}$$

Utilizando a transformada de Laplace na equação (19) e colocando em forma de um sistema linear obtém-se a equação (20).

$$\begin{bmatrix} L_i s + \dfrac{1}{C_f s} & -\dfrac{1}{C_f s} \\ -\dfrac{1}{C_f s} & L_r s + \dfrac{1}{C_f s} \end{bmatrix} \begin{bmatrix} I_{ia}(s) \\ I_{ra}(s) \end{bmatrix} = \begin{bmatrix} V_{aN}(s) \\ V_{ra}(s) \end{bmatrix} \tag{20}$$

A função de transferência do filtro LCL está na equação (21) e é obtida resolvendo o sistema linear da equação (20) pela regra de Cramer para a relação da corrente $i_{ra}(s)$ pela tensão $v_{aN}(s)$. A influência da tensão da rede na fase 'a' é desconsiderada, ou seja, ($v_{ra}(s) = 0$).

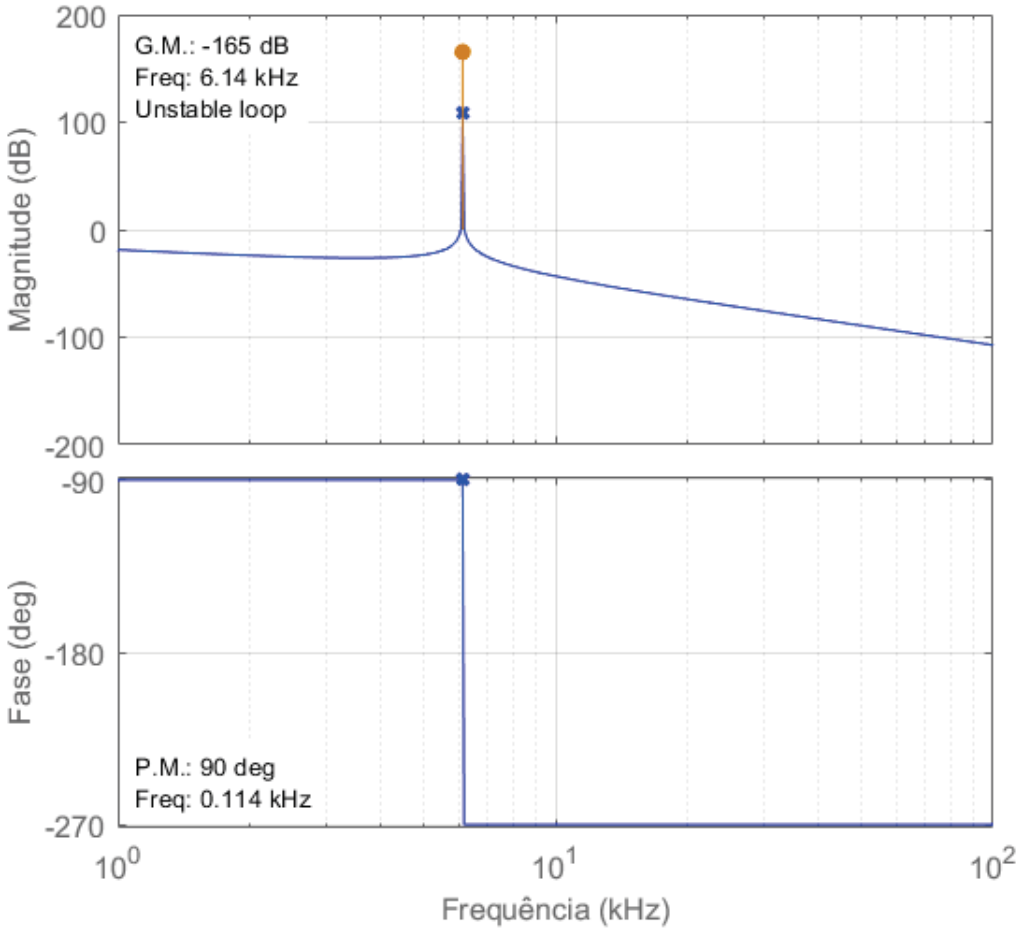
$$\frac{i_{ra}(s)}{v_{aN}(s)} = \frac{1}{L_i L_r C_f s^3 + (L_i + L_r)s} \tag{21}$$

Os detalhes da metodologia utilizada para o cálculo dos elementos do filtro LCL estão no Apêndice 6.

3.1.1 Ressonância do Filtro LCL

A FIGURA 22 mostra a resposta em frequência da função de transferência do filtro LCL descrita na equação (21), com os valores de projeto definidos da TABELA 7. Como principal característica, o filtro LCL apresenta uma frequência, onde, ocorre uma ressonância entre seus elementos, o que provoca um alto ganho e um decaimento da fase abaixo de 180°, ou seja, ultrapassa os limites de estabilidade. Caso ocorra a ressonância com a rede elétrica de distribuição, o ganho elevado e a margem de fase positiva podem levar a degradação do controle do inversor de interligação e a instabilidade da microrrede híbrida.

FIGURA 22 – RESPOSTA EM FREQUÊNCIA DO FILTRO LCL



FONTE: O autor (2023).

A frequência de ressonância (f_r) do filtro LCL pode ser calculada pela equação (22), definida em Reznik e Simões e Al-durra (2012). Para os elementos do filtro LCL que serão utilizados no protótipo do inversor de interligação, a f_r = 6,14 kHz, como observado no diagrama de Bode da FIGURA 22.

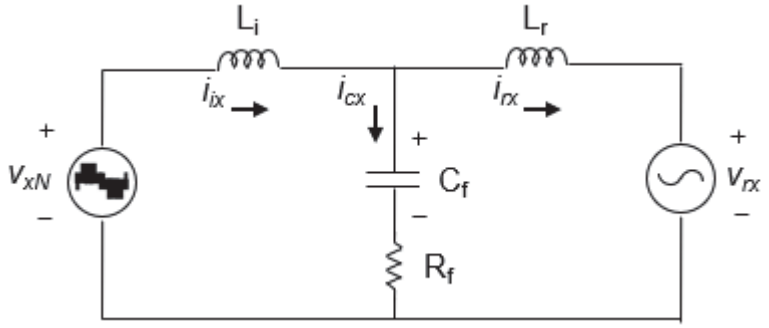
$$f_r = 2\pi \sqrt{\frac{L_i + L_r}{L_i L_r C_f}} \tag{22}$$

Para evitar os possíveis problemas de instabilidade do sistema, o pico de ressonância deve ser atenuado. Existem técnicas passiva e ativas para amortecimento do pico de ressonância.

A técnica ativa mais comum é realizada através da inclusão de uma malha de controle da corrente do capacitor do filtro LCL como demonstrado em Zhang, Tang e Yao (2014). Um ganho é adicionado na malha de controle para simular um resistor em paralelo com o capacitor. O amortecimento ativo torna a malha de controle mais complexa e necessita da inclusão de sensores de corrente para obter o sinal nos capacitores do filtro LCL. Em contrapartida, as técnicas de amortecimento passiva são mais simples para implementação, sendo que, a mais utilizada inclui um resistor em série como capacitor do filtro LCL, como demonstrado em Reznik e Simões e Al-durra (2012). O resistor em série com o capacitor introduz perdas ao filtro LCL, Pena-Alzola, Liserre e Blaabjerg (2013) explicam que caso as perdas forem relevantes em relação a potência nominal do inversor, um pequeno indutor pode ser introduzido em paralelo com o resistor como um caminho de menor impedância.

Para o protótipo do inversor de interligação optou-se pelo uso da técnica de amortecimento passivo, com a aplicação de um pequeno resistor (R_f) em série com o capacitor C_f do filtro LCL, como representado na FIGURA 23

FIGURA 23 – CIRCUITO EQUIVALENTE DO FILTRO LCL COM RESISTOR DE AMORTECIMENTO



FONTE: O autor (2023).

Utilizando o mesmo procedimento para obter a função de transferência sem o resistor de amortecimento do filtro LCL da Seção 3.1, a função de transferência do filtro LCL com o resistor de amortecimento é definida na equação (23).

$$\frac{i_{ra}(s)}{v_{aN}(s)} = \frac{C_f R_f s + 1}{L_i L_r C_f s^3 + C_f (L_i + L_r) R_f s^2 + (L_i + L_r) s} \tag{23}$$

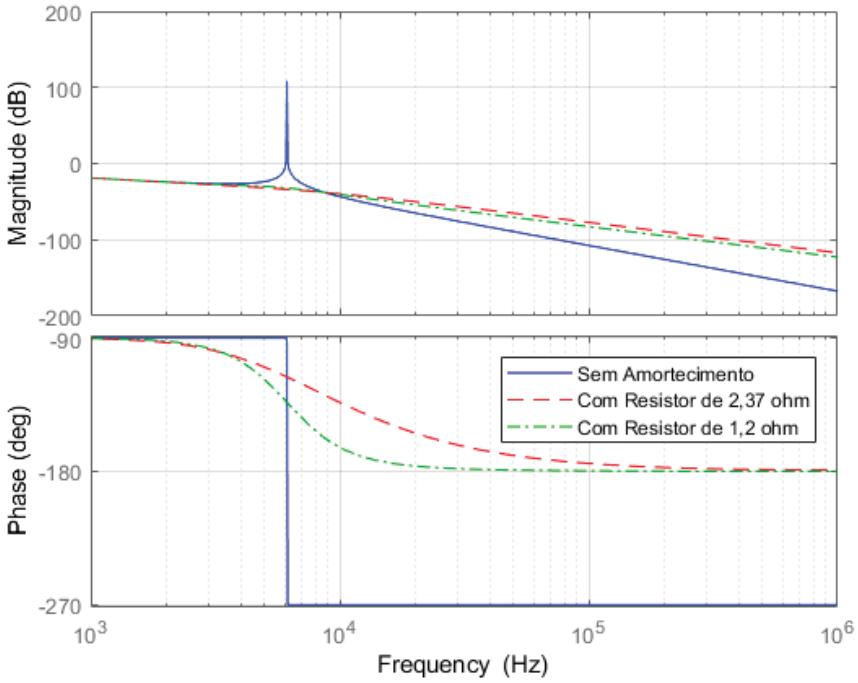
Reznik e Simões e Al-durra (2012) explicam que um bom valor para o resistor R_f não deve ter perdas relevantes em relação a potência nominal do inversor de interligação e, com isso, os autores sugerem que o resistor de amortecimento seja menor que um terço da impedância do capacitor na frequência de ressonância. A equação (24) define esse valor.

$$R_f = \frac{1}{3\omega_r C_f} \tag{24}$$

Para o capacitor do filtro de 22,9 µF e uma frequência de ressonância de 6,14 kHz, o valor de R_f é igual a 2,37 Ω. Com o objetivo de reduzir as perdas por dissipação de energia no resistor de amortecimento, para o protótipo do inversor de interligação foi definido um R_f = 1,2 Ω, o que corresponde a 0,2 % de perdas em cada fase em relação a sua potência nominal.

A resposta em frequência do filtro LCL com resistor de amortecimento é observada na FIGURA 24.

FIGURA 24 – COMPARAÇÃO DA RESPOSTA EM FREQUÊNCIA DO FILTRO LCL



FONTE: O autor (2023).

A linha contínua apresenta a resposta original do filtro LCL sem o resistor de amortecimento, a linha tracejada indica a resposta do filtro LCL com o resistor de amortecimento calculado de 2,37 Ω e a linha pontilhada com o resistor amortecimento definido para o projeto de 1,2 Ω. Os círculos sobre as linhas indicam a frequência nominal de 60 Hz da sub-rede CA.

No gráfico é possível visualizar que o resistor de 1,2 Ω é capaz de amortecer o pico de ressonância e, assim, evitar que ocorra uma possível interação com a tensão da rede elétrica e degradação da malha de controle.

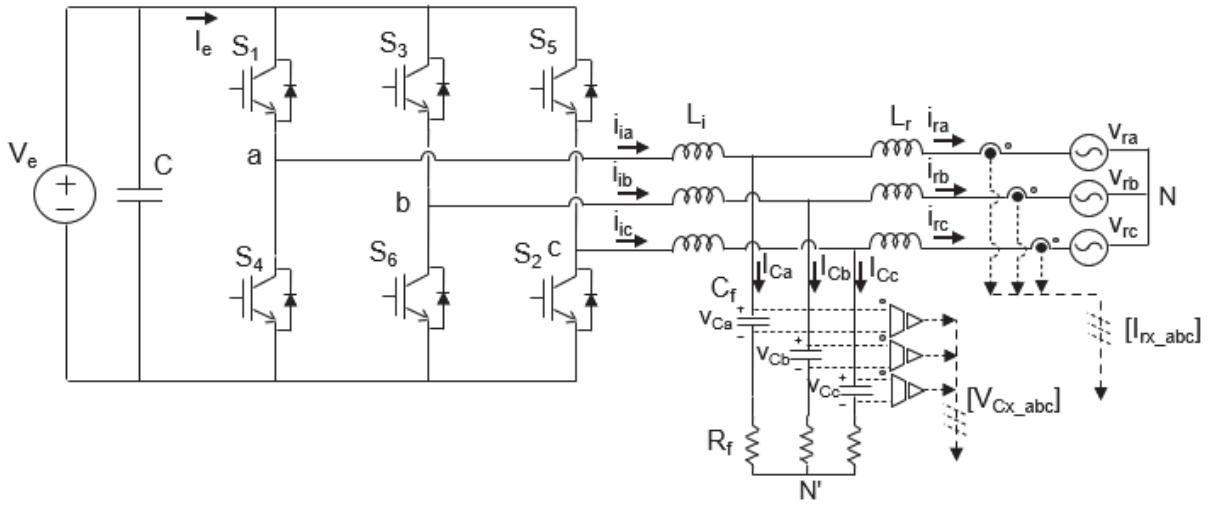
3.2 MODELAGEM DO INVERSOR DE INTERLIGAÇÃO COM FILTRO LCL

A FIGURA 25 apresenta o inversor de interligação com o filtro LCL com os sensores de tensão e de corrente. Os sinais da corrente do indutor L_r e da tensão no capacitor C_f são aquisitados e serão utilizados para controle da corrente e da tensão quando o inversor de interligação está operando, respectivamente, no CCM e no VCM.

A tensão da sub-rede CC é representada por V_e, as tensões trifásicas de fase da sub-rede CA por v_{ra}, v_{rb} e v_{rc}, as correntes trifásicas do indutor L_i por i_{ia}, i_{ib} e i_{ic}, as

correntes trifásicas do indutor L_r por i_{ra}, i_{rb} e i_{rc}, as correntes trifásicas do capacitor do filtro LCL por i_{Ca}, i_{Cb} e i_{Cc}, e as tensões no capacitor do filtro LCL por v_{Ca}, v_{Cb} e v_{Cc}.

FIGURA 25 – INVERSOR DE INTERLIGAÇÃO COM FILTRO LCL E SENSORES



FONTE: O autor (2023).

O ponto de neutro das fontes que representam a sub-rede CA é identificado como N, enquanto, o ponto comum entre os ramos que contém o capacitor do filtro LCL é identificado como N'. Considera-se que o sistema é equilibrado e, portanto, N = N'.

O modelo matemático do inversor de interligação, no referencial estacionário abc, é definido através da análise do circuito da FIGURA 25 e é apresentado na equação (25), desconsiderando o resistor de amortecimento.

$$\begin{aligned} \left[v_{xN_{abc}}(t)\right] &= \left[v_{Cx_{abc}}(t)\right] + L_i \frac{d[i_{ix_{abc}}(t)]}{dt} \\ \left[v_{Cx_{abc}}(t)\right] &= \left[v_{rx_{abc}}(t)\right] + v_{NN'}(t)[1\ 1\ 1]^T + L_r \frac{d[i_{rx_{abc}}(t)]}{dt} \\ \left[i_{ix_{abc}}(t)\right] &= \left[i_{rx_{abc}}(t)\right] + C_f \frac{d\left[v_{Cx_{abc}}(t)\right]}{dt} \end{aligned} \tag{25}$$

Onde, $[v_{xN_abc}(t)] = [v_{aN}(t), v_{bN}(t), v_{cN}(t)]^T$ são as tensões trifásicas geradas pelo inversor de interligação em relação ao ponto neutro N'. $[v_{Cx_abc}(t)] = [v_{Ca}(t), v_{Cb}(t), v_{Cc}(t)]^T$ são as tensões do capacitor do filtro em relação ao ponto neutro N'. $[v_{rx_abc}(t)]$

= $[v_{ra}(t), v_{rb}(t), v_{rc}(t)]^T$ são as tensões da sub-rede CA em relação ao ponto neutro N. $v_{NN'}(t)$ é a tensão entre o ponto neutro N e ponto neutro N', sendo que, para um sistema equilibrado $v_{NN'}(t) = 0$. $[i_{ix_abc}(t)] = [i_{ia}(t), i_{ib}(t), i_{ic}(t)]^T$ são as correntes do indutor do lado do inversor e $[i_{rx_abc}(t)] = [i_{ra}(t), i_{rb}(t), i_{rc}(t)]^T$ as correntes do indutor do lado da rede elétrica.

O objetivo do inversor de interligação é controlar a potência entre as sub-redes da microrrede híbrida e, para isso, o referencial síncrono dq é adotado para as malhas de controle. Dessa forma, o modelo do inversor interligação com filtro LCL no referencial síncrono dq é definido na equação (26) e é obtido aplicando-se a transformada de Clarke no modelo do inversor interligação no referencial estacionário abc da equação (25) e, em seguida aplicando-se a transformada de Park. Por fim, a transformada de Laplace é utilizada para representar o modelo no referencial síncrono dq no domínio de 's'.

Os detalhes para a obtenção do modelo do inversor interligação com filtro LCL no referencial síncrono dq, equação (26), estão no Apêndice 6. Enquanto os detalhes das transformadas de Clarke e Park estão no Apêndice 2.

$$\begin{aligned}\left[v_{ex_{dq}}(s)\right] &= \left[v_{Cx_{dq}}(s)\right] + L_i s\,[i_{ix_{dq}}(s)] + L_i[D][i_{ix_{dq}}(s)] \\ \left[v_{Cx_{dq}}(s)\right] &= \left[v_{rx_{dq}}(s)\right] + L_r s[i_{rx_{dq}}(s)] + L_r[D][i_{rx_{dq}}(s)] \\ \left[i_{ix_{dq}}(s)\right] &= \left[i_{rx_{dq}}(s)\right] + C_f s\left[v_{Cx_{dq}}(s)\right] + C_f[D][v_{Cx_{dq}}(s)]\end{aligned} \tag{26}$$

Onde, $[v_{ex_dq}(t)] = [v_{ed}(t), v_{eq}(t)]^T$ são as tensões geradas pelo inversor no referencial síncrono dq. $[v_{cx_dq}(t)] = [v_{cd}(t), v_{cq}(t)]^T$ são a tensões no capacitor do filtro LCL no referencial síncrono dq. $[v_{rx_dq}(t)] = [v_{rd}(t), v_{rq}(t)]^T$ são as tensões da sub-rede CA no referencial síncrono dq. $[i_{rx_dq}(t)] = [i_{rd}(t), i_{rq}(t)]^T$ são as correntes do indutor do lado da rede elétrica no referencial síncrono dq. $[i_{ix_dq}(t)] = [i_{id}(t), i_{iq}(t)]^T$ são as correntes do indutor do lado do inversor no referencial síncrono dq.

A matriz D está na equação (27) e determina o termo do acoplamento recíproco entre os eixos 'd' e 'q'.

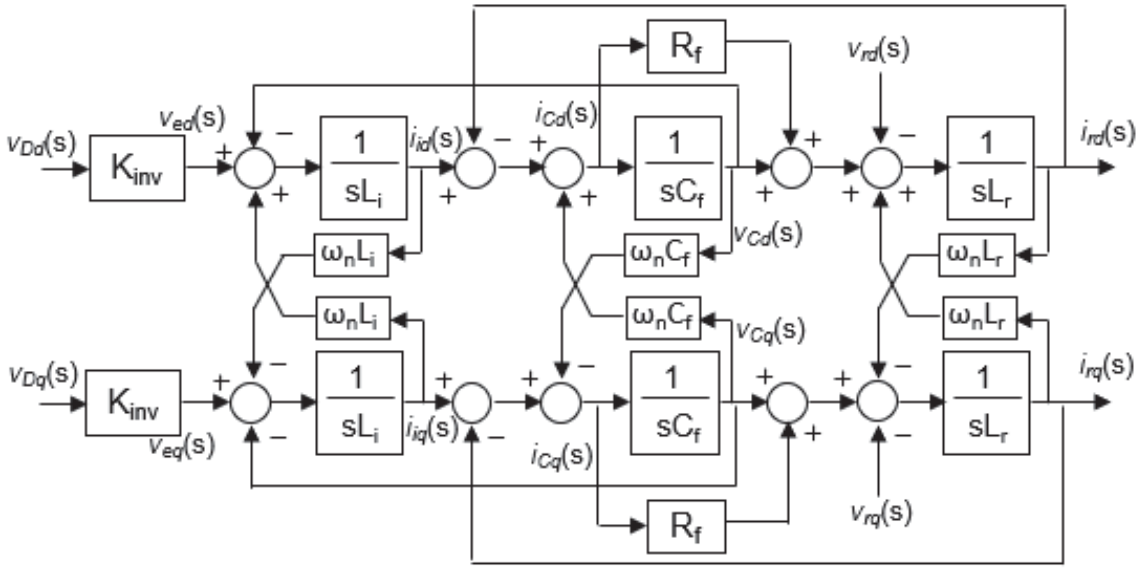
$$[D] = \omega_n \begin{bmatrix} 0 & -1 \\ 1 & 0 \end{bmatrix} \tag{27}$$

Através do modelo matemático do inversor de interligação no referencial síncrono dq é obtido o digrama de blocos da FIGURA 26. Onde, K_{inv} é o ganho estático do inversor de interligação e é formado pelo ganho da modulação PWM e pela tensão da sub-rede CC no ponto de conexão com o inversor de interligação (V_e), como descrito na equação (28), com V_{tri} representando a amplitude da portadora triangular.

$$K_{inv} = \frac{V_e}{2V_{tri}} \tag{28}$$

O bloco do ganho estático do inversor de interligação (K_{inv}) recebe como sinal de entrada a tensão que representa a razão cíclica (v_{Dx_dq}) e como saída apresenta a tensão produzida pelo inversor de interligação (v_{e_dq}), a tensão v_{e_dq} é subtraída da tensão do capacitor Cf (v_{Cx_dq}), desconsiderando a tensão do resistor de amortecimento, para, em seguida, ser aplicada sobre o indutor do L_i. A corrente na saída do indutor L_i (i_{ix_dq}) é subtraída da corrente do indutor L_r (i_{rx_dq}) para definir a corrente que circula pelo ramo que contém o capacitor C_f e o resistor de amortecimento R_f (i_{Cx_dq}). A tensão do capacitor C_f é subtraída da tensão da sub-rede CA (v_{rx_dq}), no ponto de conexão do inversor de interligação com a sub-rede CA, e é aplicada ao indutor L_r, o que resulta na corrente do indutor L_r.

FIGURA 26 – DIAGRAMA DE BLOCOS DO INVERSOR DE INTERLIGAÇÃO COM FILTRO LCL



FONTE: O autor (2023).

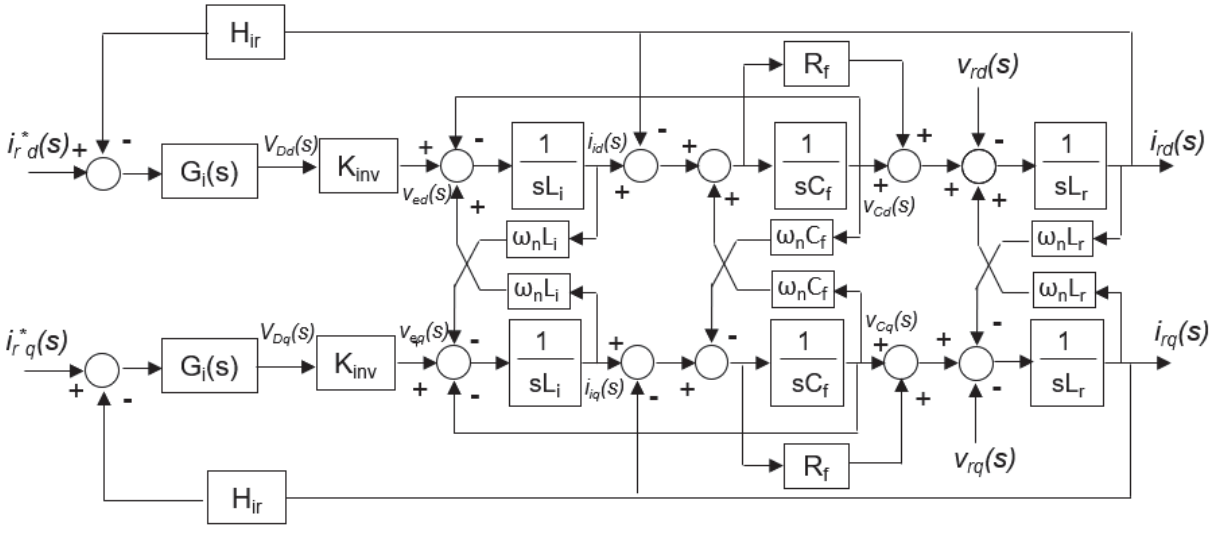
Na FIGURA 26 é possível observar os blocos que representam o acoplamento entre os eixos d e q, sendo que, o ganho dos acoplamentos são determinados pela frequência angular multiplicado pelo valor da indutância ou da capacitância dos elementos do filtro LCL.

No modelo apresentado na FIGURA 26 as resistências internas dos indutores e do capacitor do filtro LCL foram desconsideradas e, vale destacar, que com o uso do referencial síncrono dq, os sinais de controle são definidos pelo valor de pico das senoides no referencial estacionário abc ou αβ.

3.3 MODELO DA MALHA DE CONTROLE DE CORRENTE

No modelo do inversor de interligação com o filtro LCL, representado através de diagrama de blocos, é possível estabelecer a malha de controle de corrente realimentado o sinal da corrente i_{rd} e i_{rq} como representado na FIGURA 27. O ganho de realimentação (H_{ir}) e a função de transferência do compensador de corrente ($G_i(s)$) são incluídos no diagrama de blocos da FIGURA 26.

FIGURA 27 – DIAGRAMA DE BLOCOS DA MALHA DE CONTROLE DE CORRENTE



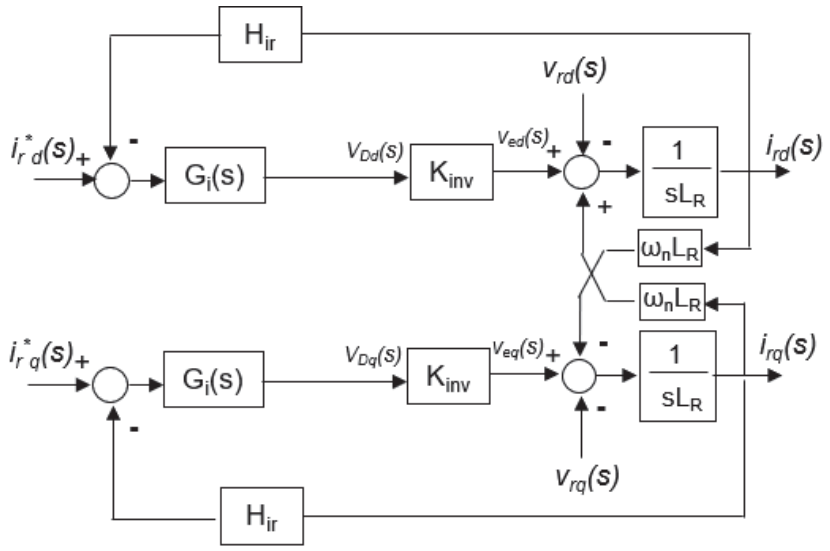
FONTE: O autor (2023).

Os sinais da corrente do indutor L_r recebem o ganho de realimentação e são comparados com um sinal de referência ($i_r^*{}_{x_dq}$). O compensador de corrente atua sobre a razão cíclica do inversor de interligação para eliminar o erro que foi produzido entre a comparação do sinal de referência de corrente com a corrente do indutor L_r.

O desafio do uso do referencial síncrono dq são os termos acoplados entre os eixos ‘d’ e ‘q’ e um modelo simplificado pode ser adotado. Ruan et al. (2018) explicam que a reatância do capacitor do filtro C_f é muito maior que a reatância do indutor do lado da rede L_r, considerando os valores das reatâncias na frequência de corte (f_{ci}) do compensador de corrente. Portanto, o ramo do capacitor pode ser considerado como um circuito aberto e, com isso, o filtro LCL passa a ser puramente indutivo.

O diagrama de blocos com o modelo simplificado do inversor de interligação com a malha de controle de corrente é representado pela FIGURA 28, onde, os indutores do filtro LCL são agrupados, ou seja, $L_R = L_i + L_r$.

FIGURA 28 – DIAGRAMA DE BLOCOS SIMPLIFICADO DA MALHA DE CONTROLE DE CORRENTE



FONTE: O autor (2023).

Para retirar a influência do acoplamento dos eixos ‘d’ e ‘q’, as correntes i_{rd} e i_{rq} são realimentadas e recebem o ganho de desacoplamento (K_D), em seguida, somam-se, respectivamente, ao sinal da tensão da razão cíclica v'_{Dq} e v'_{Dd}. O ganho do desacoplamento é representado na equação (29) e é formado pelo ganho de acoplamento ($\omega_n L_R$) e o ganho estático do inversor de interligação (K_{inv}).

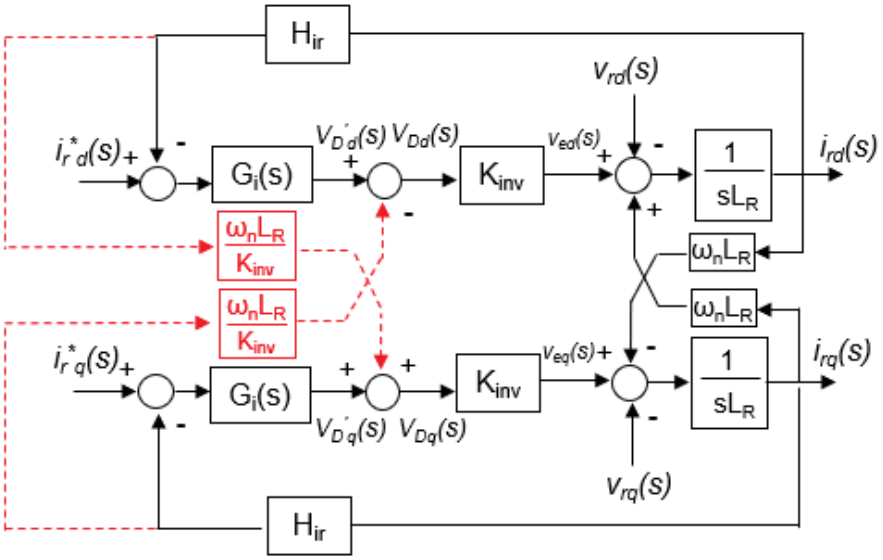
$$K_D = \frac{2\omega_n L_R V_{tri}}{V_e} \tag{29}$$

O resultado é um sinal de tensão para a razão cíclica desacoplado, como representado na equação (30).

$$v_{Dd}(s) = v_{D'd}(s) - K_D i_{qr}(s)$$
$$v_{Dq}(s) = v_{D'q}(s) + K_D i_{dr}(s) \quad (30)$$

A realimentação do ganho de acoplamento é representada no diagrama de blocos da FIGURA 29.

FIGURA 29 – DIAGRAMA DE BLOCOS DA MALHA DE CONTROLE DE CORRENTE COM REALIMENTAÇÃO DO GANHO DE ACOPLAMENTO



FONTE: O autor (2023).

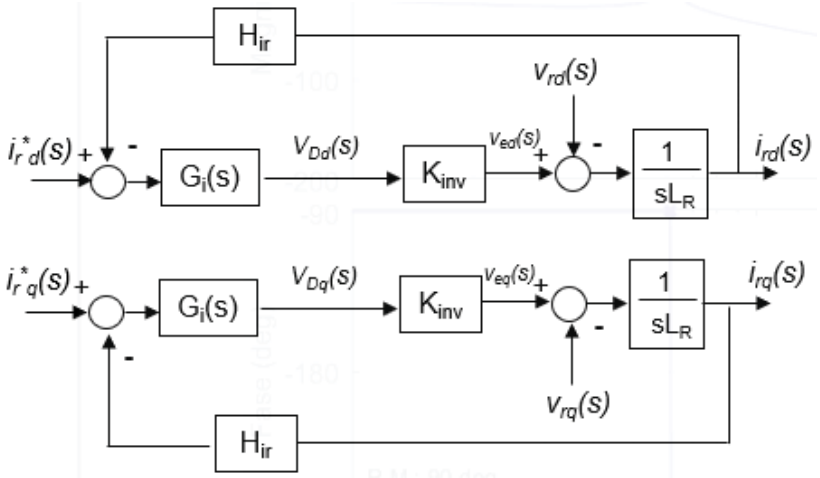
Com o desacoplando dos eixos ‘d’ e ‘q’, o diagrama de blocos simplificado que define a malha de controle de corrente do inversor de interligação é representado na FIGURA 30.

Através da representação em blocos da FIGURA 30, o modelo simplificado do inversor de interligação com filtro LCL pode ser definido pela função de transferência em malha fechada descrita na equação (31).

$$T_{MF}(s) = \frac{K_{inv} H_{ir} G_i(s)}{sL_R} \quad (31)$$

O projeto do inversor de interligação prevê o uso de um microcontrolador para implementação das malhas de controle, com isso, o atraso computacional deve ser considerado para o projeto do compensador de corrente.

FIGURA 30 – DIAGRAMA DE BLOCOS DA MALHA DE CONTROLE DE CORRENTE DESACOPLADA

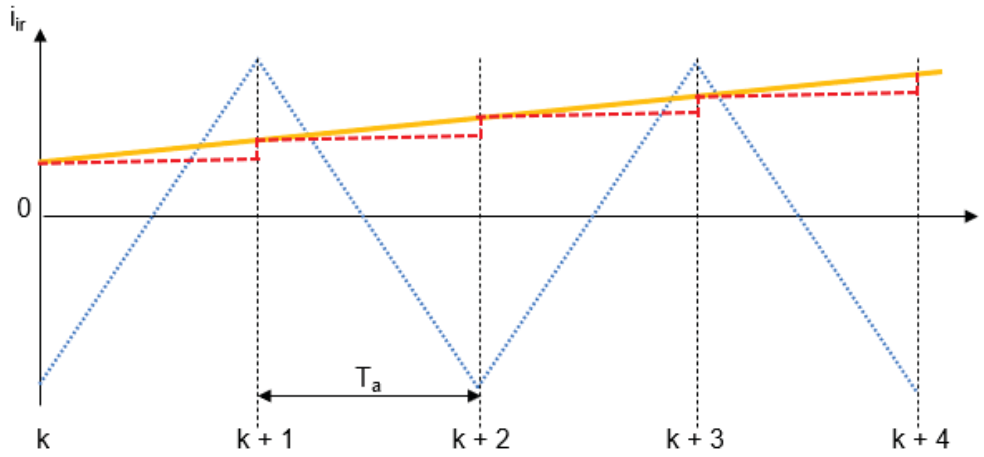


FONTE: O autor (2023).

O ganho de realimentação da corrente H_{ir} é utilizado na representação no modelo da malha de controle de corrente de com os sinais analógicos e para o modelo digitalizado, sendo que, o ganho do conversor AD é adicionado ao ganho de realimentação H_{ir}.

Como característica de projeto, o período de amostragem é a metade do período de comutação, o que pode ser observado na FIGURA 31. O sinal em linha contínua representa a corrente i_{rx_dq} e está na entrada do conversor analógico para digital (AD) do microcontrolador. A linha tracejada é o sinal que foi amostrado pelo AD em um período de amostragem T_a, cada amostra é representada por k e ocorre nos valores máximos e mínimos da portadora triangular. A linha pontilhada é a portadora triangular da modulação que atualiza o valor da razão cíclica quando cruza com o sinal amostrado.

FIGURA 31 – DETALHE DA AMOSTRAGEM DE CORRENTE E DA PORTADORA DO PWM



FONTE: O autor (2023).

A corrente amostrada pelo AD, linha tracejada, no momento k + 1 somente atualiza seu valor, em relação a corrente i_{rx_dq}, no momento k + 2, o que caracteriza um período de amostragem T_a de atraso. Para malhas de controle discreto no domínio de 'z', normalmente, o atraso de amostragem é expresso por z^{-1}, como o projeto do compensador será realizado no domínio de 's', a equação (32), definida por Ruan et al. (2018), é utilizada para representar o atraso de amostragem no modelo do inversor de interligação no domínio de 's'.

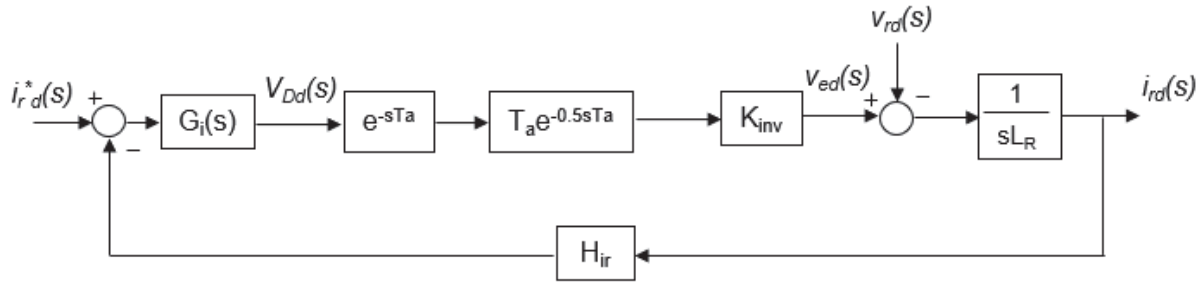
$$z^{-1} = e^{-sT_a} \tag{32}$$

Outro atraso que pode ser observado na FIGURA 31 é ocasionado pela atualização do valor da razão cíclica. O sinal de corrente é amostrado em k + 1, mas, somente atualiza a razão ciclica quando o sinal amostrado cruza a portadora triangular. Esse atraso é variável e pode ser maior ou menor dependendo do valor da corrente i_{rx_dq}. Bao et al. (2012) expressam o atraso na atualização da razão cíclica através da equação (33) que representa o *Zero-Order Hold* (ZOH).

$$G_h(s) = \frac{1 - e^{-sT_a}}{s} \approx T_a e^{-0.5sT_a} \tag{33}$$

O atraso de amostragem e o atraso na razão cíclica são representados no diagrama de bloco do modelo do inversor de interligação na FIGURA 32, como as malhas de controle foram desacopladas apenas a coordenada ‘d’ é representada.

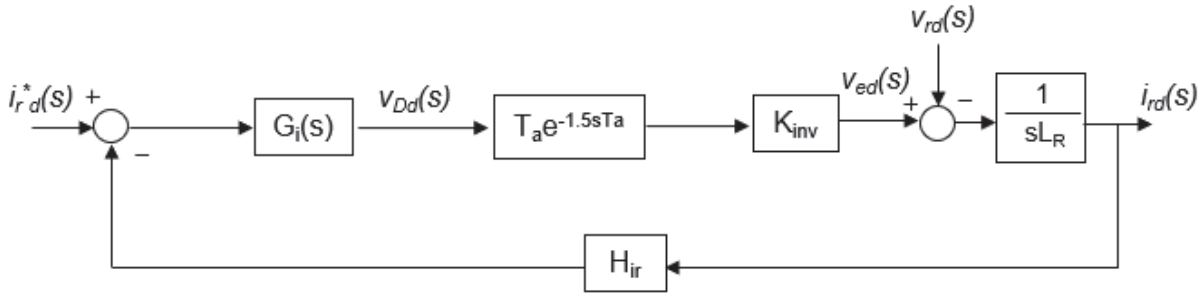
FIGURA 32 – MALHA DE CONTROLE DE CORRENTE COM ATRASO COMPUTACIONAL



FONTE: O autor (2023).

Agrupando os ganhos que representam o atraso computacional, o modelo da malha de controle de corrente que é utilizado para o projeto do compensador de corrente é definido na FIGURA 33.

FIGURA 33 – MODELO QUE REPRESENTA A MALHA DE CONTROLE DE CORRENTE



FONTE: O autor (2023).

A função de transferência da equação (34) é definida através do modelo em diagrama de blocos que representa a malha de controle de corrente da FIGURA 33.

$$T_D(s) = \frac{H_{ir} K_{inv}\, T_a e^{-1.5sT_a} G_i(s)}{sL_R} \tag{34}$$

Através da função de transferência da equação (34) o compensador de corrente do tipo PI, identificado como Gi(s), é projetado, a metodologia de projeto e os

parâmetros encontrados para o protótipo do inversor de interligação estão descritos no Apêndice 8.

3.3.1 Circuito da Malha de Controle de Corrente

O circuito do inversor de interligação com a malha de controle de corrente é representado na FIGURA 34, as tensões trifásicas da sub-rede CA são representadas por v_{ra}, v_{rb} e v_{rc} e a tensão da sub-rede CC por V_e. No circuito são aquisitadas as correntes do indutor L_r e as tensão nos capacitores C_f, sendo que, as correntes são utilizadas como sinal de entrada para a malha de controle de corrente e as tensões como entrada para o algoritmo de PLL.

O bloco com o interruptor, logo após a aquisição dos sinais, representa a digitalização do sinal através do AD do microcontrolador. O ganho do sensor do circuito de condicionamento e do AD são agrupados nos blocos H_{vC} e H_{ir} para os sinais de tensão e de corrente, respectivamente.

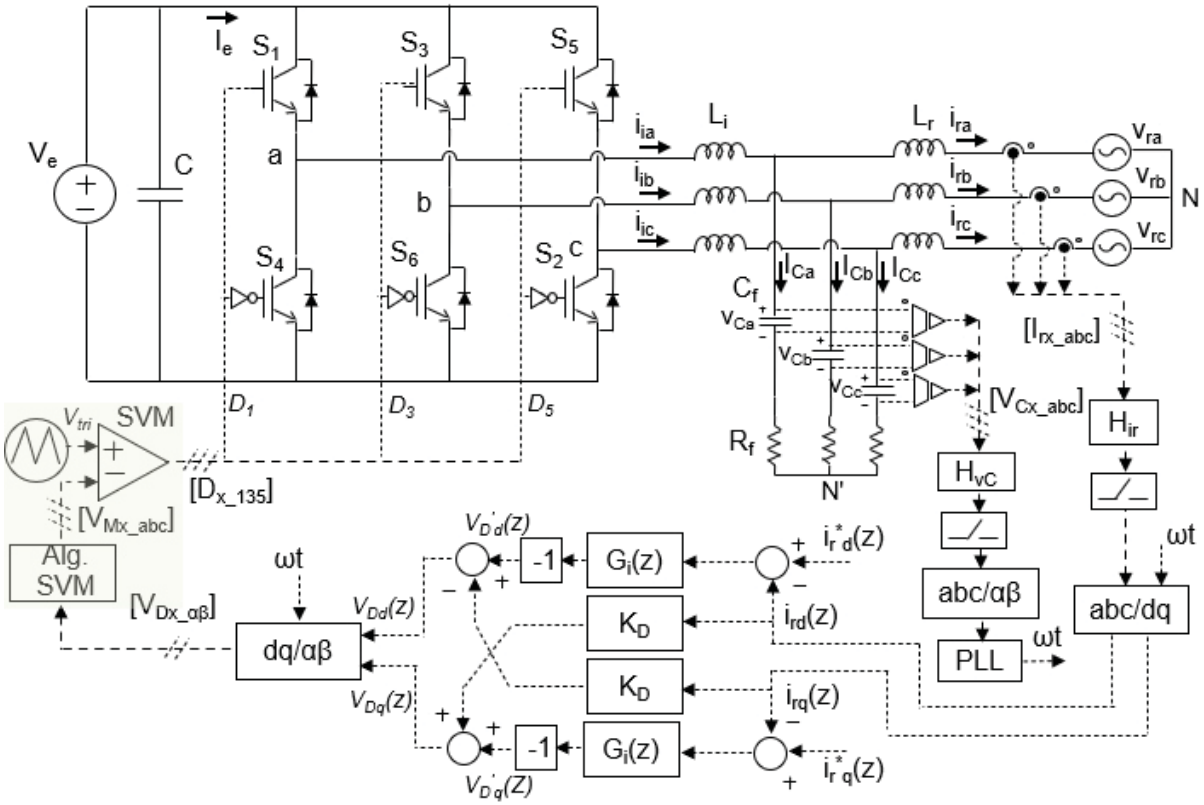
A malha de controle de corrente inicia com a aquisição, digitalização e condicionamento dos sinais de corrente no referencial estacionário abc [I_{rx_abc}]. Em seguida, os sinais de corrente são transformados para o referencial síncrono dq pela transformada de Park, obtendo os sinais de corrente i_{rd} e i_{rq}.

Os sinais da corrente são comparados com as suas referências ($i_r^*{}_d$ e $i_r^*{}_q$), passam pelo compensador de corrente e geram os sinais das razões cíclicas v'_{Dd} e v'_{Dq}.

Os ganhos de desacoplamento são subtraídos de v'_{Dd} v'_{Dd} e, com isso, geram novos sinais de razão cíclica identificados como v_{Dd} v_{Dq}. As novas razões cíclicas são transformadas para o referencial estacionário αβ pela transformada de Clarke, resultando nos sinais [$V_{Dx_\alpha\beta}$] na entrada do algoritmo da modulação vetorial (SVM).

Os sinais de tensão na saída da modulação vetorial [V_{Mx_abc}], sinal modulante, estão no referencial estacionário abc e são comparados com o sinal de tensão triangular, sinal modulador, para gerar os sinais de comando [D_{x_abc}] dos interruptores da ponte completa.

FIGURA 34 –INVERSOR DE INTERLIGAÇÃO COM MALHA DE CONTROLE DE CORRENTE



FONTE: O autor (2023).

Um bloco inversor do sinal (-1) é utilizado na saída do compensador de corrente como uma forma de inverter a direção do esforço realizado pelo compensador (G_i), dessa forma, o sinal de realimentação da corrente é mantido negativo.

Quando o sinal de referência da corrente $i_{r\,d}^{*}$ é positivo, o inversor de interligação irá funcionar como um retificador, ou seja, a potência é transferida da sub-rede CA para a sub-rede CC e se o sinal é negativo, o inversor de interligação funciona como um inversor com a potência transferida da sub-rede CC para a sub-rede CA.

Enquanto, se o sinal de referência da corrente $i_{r\,q}^{*}$ é positivo, o inversor de interligação produz potência reativa capacitiva e se o sinal for negativo, o inversor de interligação produz potência reativa indutiva.

O ganho de desacoplamento K_D foi definido na equação (29) e a descrição do algoritmo de PLL e da modulação SVM estão no Capítulo 2.

Após digitalização, os sinais da malha de controle, assim como, o compensador de corrente, são representados no domínio de ‘z’. O compensador de corrente no domínio de ‘z’ é representado na equação (35), ele é obtido pela

aproximação de Tustin para uma frequência de amostragem de 28 kHz aplicado ao projeto do compensador no domínio de ‘s’, descrito no Apêndice 8.

$$G_i(z) = \frac{2{,}493z - 2{,}44}{z - 1} \tag{35}$$

O compensador de corrente apresenta uma margem de fase (MF) igual a 53,3° e uma frequência de corte (f_{ci}) = 1,8 kHz.

Para confirmar o projeto da malha de controle de corrente foi utilizado o programa de simulação PSIM, os detalhes da simulação estão no Apêndice 9, incluindo o circuito e as malhas de controle implementados no programa simulador e os resultados experimentais.

A malha de controle de corrente do inversor de interligação está presente em todas as configurações que o inversor de interligação pode assumir. Portanto, os sinais da referência de corrente $i_{r}^{*}{}_{d}$ e $i_{r}^{*}{}_{q}$ passam a ser definidos pelas malhas de controle sobrepostas a malha de controle de corrente.

Quando o inversor de interligação está operando no CCM ou CCM CC, os sinais de referência das correntes $i_{r}^{*}{}_{d}$ e $i_{r}^{*}{}_{q}$ são definidos pela malha de controle de *droop* inverso. Se o inversor de interligação está no VCM, os sinais de referência das correntes $i_{r}^{*}{}_{d}$ e $i_{r}^{*}{}_{q}$ são definidos pela malha de controle de tensão CA para que a tensão da sub-rede CA permaneça constante. Por fim, em uma terceira configuração do inversor de interligação considera que ele está operando no VCM CC e o sinal de referência da corrente $i_{r}^{*}{}_{d}$ é definido pela malha de controle da tensão da sub-rede CC.

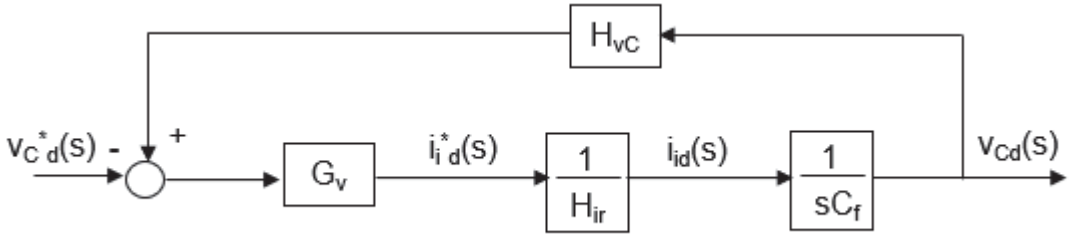
3.4 MODELO DA MALHA DE CONTROLE DE TENSÃO DA SUB-REDE CA

O sinal na entrada da malha de controle de tensão CA do inversor de interligação é obtido no capacitor do filtro LCL e é identificado na FIGURA 34 como [v_{Cx_abc}]. O modelo em diagrama de blocos que representa a malha de tensão CA sobreposta a malha de corrente é apresentado na FIGURA 35. Contudo, há uma diferença em relação a malha de controle de corrente apresentada na Seção 3.3, pois, a corrente do indutor do lado inversor (i_{ix_abc}) deve ser considerada como sinal de entrada e não mais a corrente do indutor do lado da rede.

O valor da corrente do indutor do lado do inversor é calculado através da tensão do capacitor do filtro LCL e da corrente do indutor do lado da rede.

Ainda na FIGURA 35 estão presentes o ganho de realimentação de tensão que é identificado como H_{vC}, o compensador de tensão G_v, e a planta do inversor de interligação que considera apenas a dinâmica do capacitor do filtro LCL (C_f). A malha de controle de corrente é representada pelo seu ganho de realimentação (H_{ir}), sendo que, ela é muito mais rápida do que a malha de controle de tensão e não influi na sua dinâmica.

FIGURA 35 – MODELO EM DIAGRAMA DE BLOCOS DA MALHA DE CONTROLE DE TENSÃO CA



FONTE: O autor (2023).

A representação do modelo da malha de controle de tensão CA desconsidera o acoplamento entre os eixos, pois, o valor do capacitor C_f é muito pequeno. Outro ganho desconsiderado é o do atraso computacional, sendo que, a frequência de corte do compensador de tensão CA é muito menor que a frequência de amostragem e, com isso, os ganhos da digitalização do sinal são desconsiderados.

Com o objetivo de reduzir o número de sinais aquisitados pelo microcontrolador e evitar custos desnecessários com sensores e circuitos de condicionamento, a corrente do indutor L_i é definida pela equação (36), onde, a corrente do indutor L_i, [i_{ix_abc}], é obtida subtraindo a corrente do capacitor Cf, [i_{Cx_abc}], da corrente do indutor L_r, [i_{rx_abc}].

$$\left[i_{ix_{abc}}(t)\right] = \left[i_{rx_{abc}}(t)\right] - \left[i_{Cx_{abc}}(t)\right] \tag{36}$$

Estimando-se a corrente do capacitor C_f através da sua tensão é possível calcular a corrente no indutor L_r sem acrescentar novos sensores. A equação (37)

descreve a relação corrente-tensão do capacitor e é utilizada para calcular a corrente do capacitor C_f.

$$\left[i_{Cx_{abc}}(t)\right] = C_f \frac{d\left[v_{Cx_{abc}}(t)\right]}{dt} \tag{37}$$

Substituindo a equação (37) na equação (36), a corrente do indutor L_i é obtida no referencial estacionário abc e, em seguida, a transformada de Park, descrita no Apêndice 2, é utilizada para obter a corrente no referencial síncrono dq. O resultado está na equação (38), onde, a transformada de Laplace é utilizada para representação no domínio de 's'. O acoplamento entre os eixos 'd' e 'q' foi desconsiderado, pois, apresenta um valor muito pequeno

$$\left[i_{ix_{dq}}(s)\right] = \left[i_{rx_{dq}}(s)\right] - C_f s \left[v_{Cx_{dq}}(s)\right] \tag{38}$$

A função de transferência que define o modelo da malha de controle de tensão CA da FIGURA 35 é apresentado na equação (39).

$$T_{Dv}(s) = \frac{H_{vC} G_v(s)}{H_{ir} C_f s} \tag{39}$$

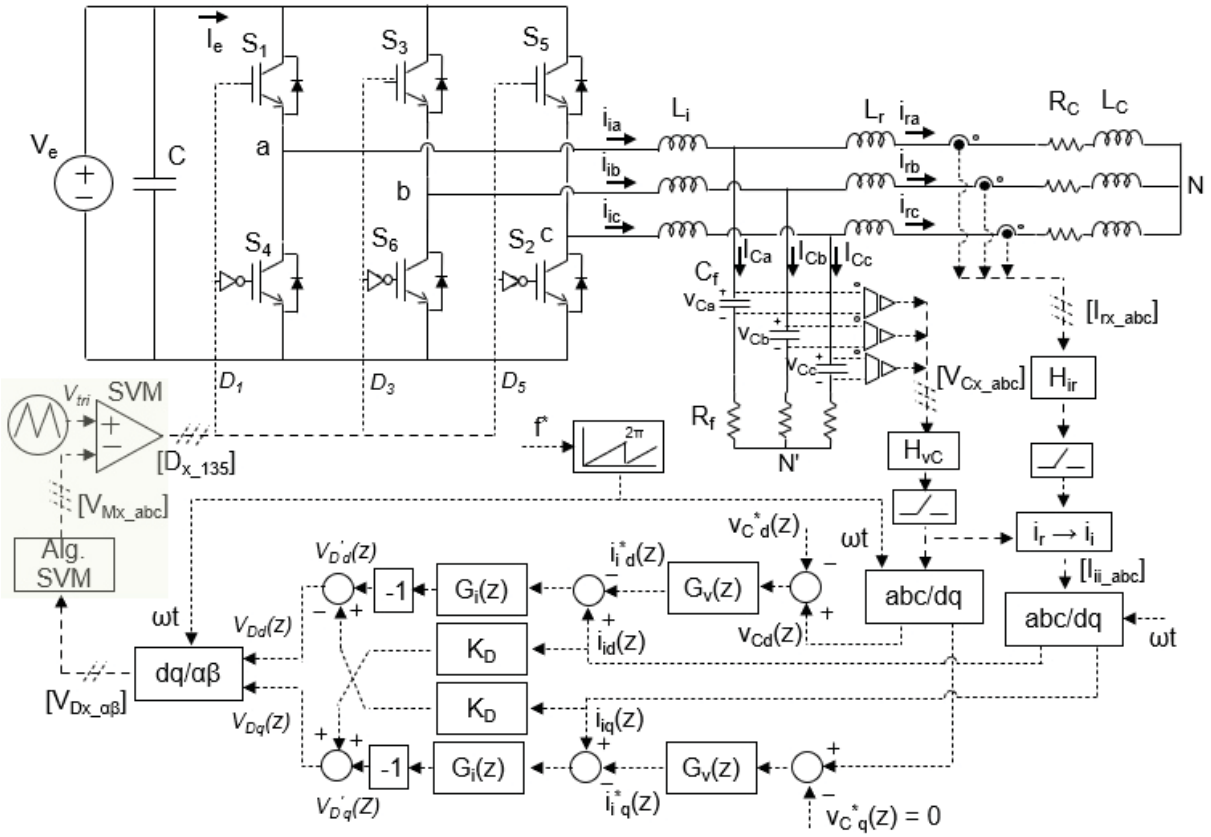
Através da função de transferência da equação (39), o compensador de tensão CA do tipo PI, identificado como $G_v(s)$, é projetado, a metodologia de projeto e os parâmetros encontrados para o protótipo do inversor de interligação estão descritos no Apêndice 8.

3.4.1 Circuito da Malha de Controle de Tensão CA

O circuito do inversor de interligação com a malha de controle de tensão CA sobreposta a malha de controle de corrente é representado na FIGURA 36. A tensão da sub-rede CC é identificada por V_e e do lado da sub-rede CA está conectada uma carga RL. No circuito são aquisitadas as correntes do indutor L_r e as tensão nos capacitores C_f.

O bloco com o interruptor, logo após a aquisição dos sinais, representa a digitalização do sinal através do AD do microcontrolador. O ganho do sensor do circuito de condicionamento e do AD são agrupados nos blocos H_{vC} e H_{ir} para os sinais de tensão e de corrente, respectivamente.

FIGURA 36 –INVERSOR DE INTERLIGAÇÃO COM MALHA DE CONTROLE DE TENSÃO CA



FONTE: O autor (2023)

A malha de controle de tensão CA inicia com a aquisição, digitalização e condicionamento dos sinais de tensão que estão no referencial estacionário abc [v_{Cx_abc}]. Em seguida, os sinais de tensão são transformados para o referencial síncrono dq. Os sinais da tensão v_{Cd} e v_{Cq} são comparados com as referências de tensão, representados por $v_C^*{}_d$ e $v_C^*{}_q$, passam pelo compensador de tensão e geram os sinais de referência para a malha de controle de corrente $i_i^*{}_d$ e $i_i^*{}_q$.

A sequência do funcionamento da malha de controle de corrente é descrita na Seção 3.3.

A referência da tensão $v_C^*{}_q$ é mantida igual a zero para garantir que a tensão de coordenada d (v_{Cd}) está em fase com o vetor resultante da tensão produzido pelas

coordenada dq. A referência de tensão v_{C^*d} tem valor igual a tensão nominal no referencial dq, ou seja, o valor de pico da tensão por fase na saída do inversor de interligação. A tensão v_{C^*d} pode flutuar, como exemplo, quando uma malha de controle *droop* é utilizada para gerar uma flutuação em torno do valor da tensão nominal.

Após digitalização, os sinais da malha de controle, assim como o compensador de tensão, são representados no domínio de 'z'. A corrente do indutor L_i é calculada após aquisição e digitalização dos sinais de corrente da corrente do indutor L_r e da tensão no capacitor C_f, dessa maneira, a equação (38) é modificada como descrito na equação (40), onde, [av_{Cx_abc}] é o valor tensão que foi aquisitado durante o ciclo anterior do AD.

$$\left[i_{Cx_{abc}}(z)\right] = \left(\frac{\left[v_{Cx_{abc}}(z)\right] - \left[av_{Cx_{abc}}(z)\right]}{T_a H_{vC}}\right) C_f H_{ii} \tag{40}$$

O compensador de tensão CA no domínio de 'z' é representado na equação (41), ele é obtido pela aproximação de Tustin para uma frequência de amostragem de 28 kHz aplicado ao projeto do compensador no domínio de 's', descrito no Apêndice 8.

$$G_v(z) = \frac{0.6304\, z \; - \; 0.6084}{z - 1} \tag{41}$$

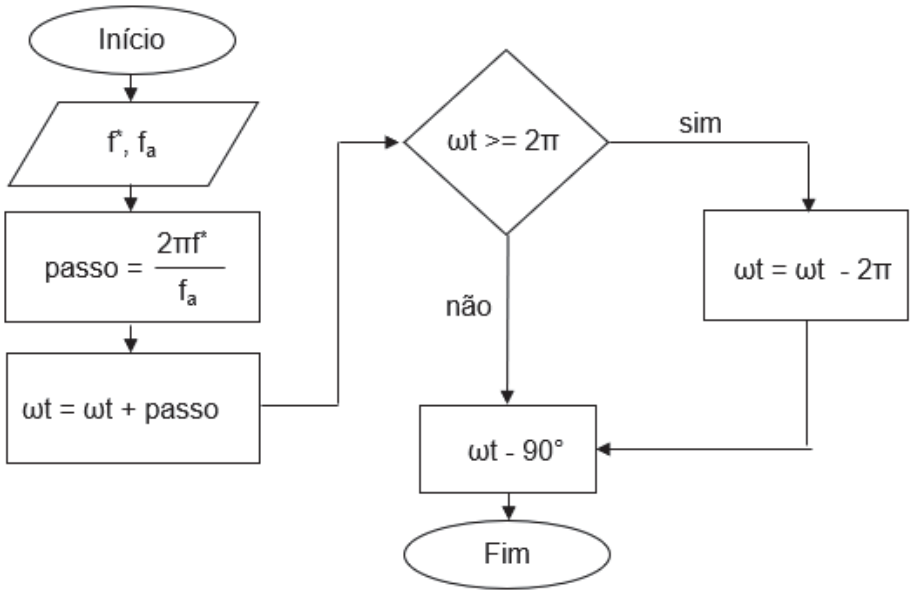
O compensador de tensão CA apresenta uma margem de fase igual a 80,1° e uma frequência de corte (f_{cv}) = 914 Hz.

Como formador de rede o inversor de interligação deve gerar sua própria referência de frequência, com esse intuito, um algoritmo é desenvolvido para gerar um sinal oscilante em rampa de 0 a 2π.

O bloco que representa o algoritmo na FIGURA 36 recebe como sinal de entrada a referência da frequência (f^*) e calcula a frequência angular que varia com o tempo (ωt) a cada ciclo de amostragem. O sinal ωt é utilizado pela transformada de Park para calcular os vetores no referencial síncrono dq.

A FIGURA 37 apresenta o algoritmo para gerar um sinal que oscila de 0 a 2π para a tensão da sub-rede CA, ele é executado na frequência de amostragem.

FIGURA 37 –FLUXOGRAMA ALGORITMO SINAL OSCILANTE DE 0 A 2π



FONTE: O autor (2023).

A entrada do algoritmo é a referência de frequência da sub-rede CA (f^*) e a frequência de amostragem do microcontrolador (f_a), em seguida, um passo de incremento é calculado dividindo a frequência angular pela frequência de amostragem. O sinal ωt irá incrementar um passo até alcançar o valor de 2π quando reinicia a partir de zero. Por fim, o valor de 90° é subtraído do sinal de ωt para que o eixo d, do referencial síncrono, fique alinhado com a fase ‘a’.

O algoritmo para gerar a referência de frequência angular no tempo quando o inversor de interligação está operando no VCM é essencial para o funcionamento da malha de controle *droop* bidirecional de tensão CA, sendo que, o algoritmo possibilita o controle da frequência CA do inversor de interligação através do sinal da referência da frequência (f^*) na entrada do algoritmo.

Para validar o projeto da malha de controle de tensão CA foi utilizado o programa de simulação PSIM, os detalhes da simulação estão no Apêndice 9, incluindo o circuito e a malha de controle implementados no simulador e os resultados experimentais.

3.5 MODELO DA MALHA DE CONTROLE DE TENSÃO DA SUB-REDE CC

Para a operação do inversor de interligação como formador da sub-rede CC é necessário que o sinal de referência para corrente de coordenada ‘d’ seja definido através da tensão da sub-rede CC.

O modelo do lado CC do inversor de interligação é obtido através do filtro do lado CC do circuito da FIGURA 39, onde, apenas a dinâmica do capacitor do filtro é considerada. O capacitor para conexão com a sub-rede CC é identificado por C, a corrente I_e alimenta o circuito, e a tensão V_e é a tensão formada nos terminais do lado CC do inversor de interligação.

A corrente do capacitor apresenta a relação com a tensão no capacitor como indicado na equação (42).

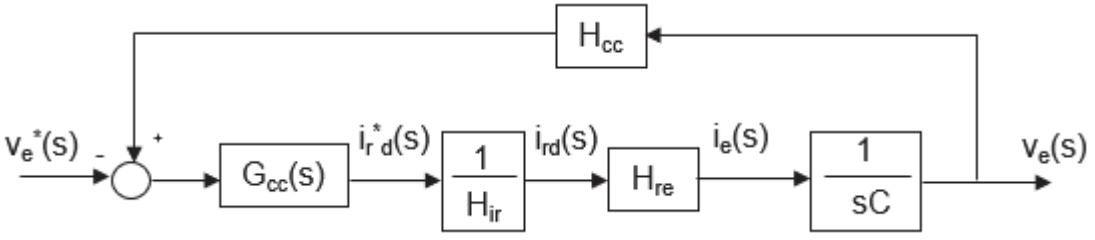
$$I_e(t) = C\frac{dV_e(t)}{dt} \tag{42}$$

A equação (43) representa a função de transferência entre a tensão $V_e(t)$ e a corrente $I_e(t)$ e é obtida aplicando-se a transformada de Laplace na equação (42).

$$\frac{V_e(s)}{I_e(s)} = \frac{1}{Cs} \tag{43}$$

O modelo da malha de controle de tensão da sub-rede CC é definido na FIGURA 38, onde, o ganho de realimentação é denominado como H_{cc}, o compensador de tensão CC como $G_{cc}(s)$, o ganho da malha de controle de corrente por H_{ir} e o ganho que relaciona a corrente do lado CA com a corrente do lado CC identificado por H_{re}.

FIGURA 38 – MODELO EM DIAGRAMA DE BLOCOS DA MALHA DE CONTROLE DE TENSÃO CC



FONTE: O autor (2023).

O ganho H_{re} é obtido através da análise da potência do inversor de interligação desconsiderando as perdas no circuito. A equação (44) é descrita por Wu et al. (2014) e representa a potência do inversor de interligação no referencial síncrono dq, onde, v_{cd} e v_{cq} são as tensões no capacitor do filtro LCL no referencial síncrono, i_{rd} e i_{rq} são as correntes do indutor L_r no referencial síncrono.

$$P_{II} = \frac{3}{2}\left(v_{Cd}i_{rd} + v_{Cq}i_{rq}\right) \tag{44}$$

Para o projeto do inversor de interligação a coordenada ‘d’ está alinhada com o vetor resultante produzido pelas coordenadas dq e, com isso, $v_{Cq} = 0$ e a equação (44) pode ser resumida na equação (45).

$$P_{II} = \frac{3}{2}v_{Cd}i_{rd} \tag{45}$$

A potência no lado CC do inversor de interligação é definida na equação (46).

$$P_e = V_e I_e \tag{46}$$

Desconsiderando as perdas no circuito e utilizando o princípio da conservação de energia, a potência do lado CA é igual a potência do lado CC. Portanto, o ganho que determina a relação entre a corrente do indutor L_r e a corrente do lado CC I_e é apresentada na equação (47) e é obtida igualando a equação (45) com a equação (46).

$$H_{re} = \frac{I_e}{i_{rd}} = \frac{3}{2}\frac{v_{Cd}}{V_e} \tag{47}$$

A equação (48) apresenta a função de transferência do modelo da malha de controle de tensão da sub-rede CC do diagrama de blocos da FIGURA 38.

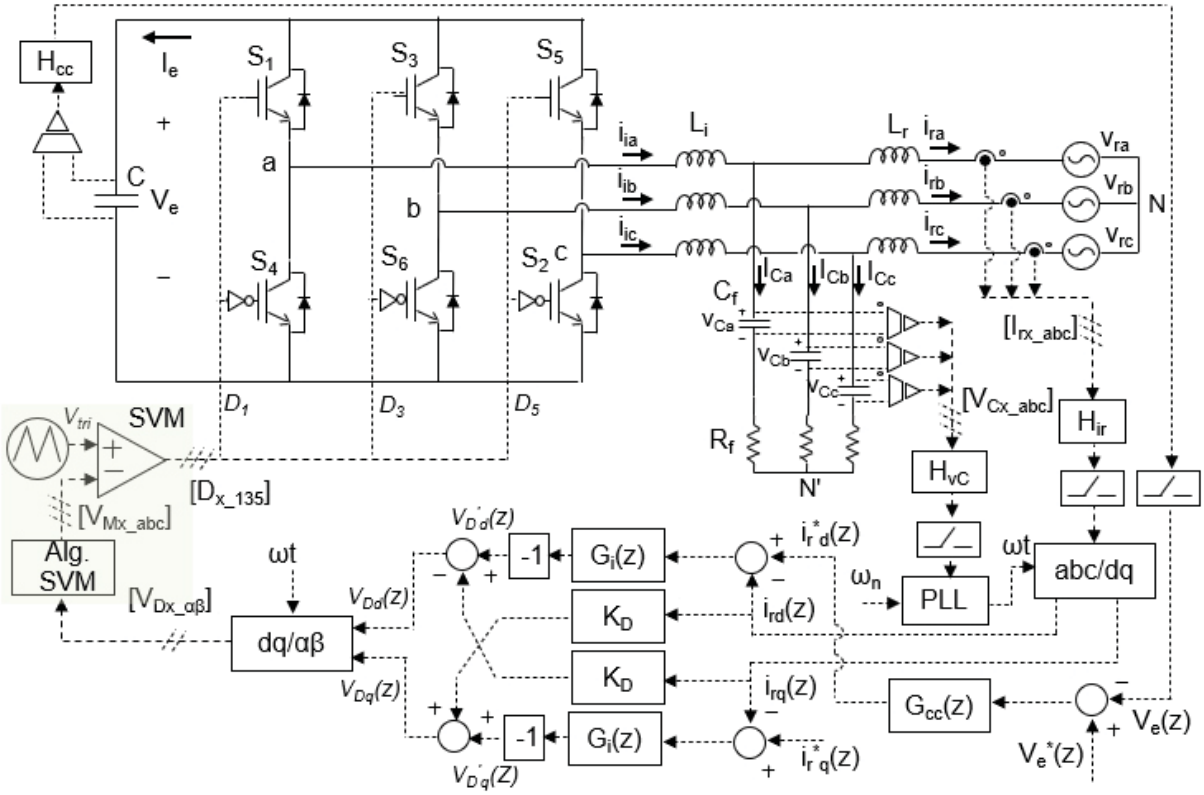
$$T_{Dcc}(s) = \frac{H_{cc}H_{re}G_{cc}(s)}{H_{ir}Cs} \tag{48}$$

Através da função de transferência da equação (48), o compensador de tensão CC do tipo PI, identificado como $G_{cc}(s)$, é projetado, a metodologia de projeto e os parâmetros encontrados para o protótipo do inversor de interligação estão descritos no Apêndice 8.

3.5.1 Circuito da Malha de Controle de Tensão CC

O circuito do inversor de interligação com a malha de controle de tensão CC sobreposta a malha de controle de corrente é representado na FIGURA 39.

FIGURA 39 –INVERSOR DE INTERLIGAÇÃO COM MALHA DE CONTROLE DE TENSÃO CC



FONTE: O autor (2023).

A malha de controle de tensão CC inicia com a aquisição, digitalização e condicionamento do sinal de tensão CC através do capacitor do filtro V_e. Em seguida, o sinal da tensão é comparado com as referências, representados por V_e^*, passa pelo compensador de tensão CC e gera o sinal de referência para a malha de controle de corrente $i_{r\,d}^*$.

O funcionamento da malha de controle de corrente foi descrito na Seção 3.3.

O sinal da referência da tensão CC (V_e^*) tem valor igual a tensão nominal da sub-rede CC (V_{e_n}) e pode flutuar em torno desse valor, como exemplo, quando uma malha de controle *droop* é utilizada para gerar uma flutuação em torno do valor da tensão nominal.

Após digitalização, os sinais da malha de controle, assim como, o compensador de tensão, são representados no domínio de 'z'.

O compensador de tensão CC no domínio de 'z' é representado na equação (49), ele é obtido pela aproximação de Tustin para uma frequência de amostragem de 28 kHz aplicado ao projeto do compensador no domínio de 's', descrito no Apêndice 8.

$$G_{cc}(z) = \frac{3.06\,z\, -\, 3.058}{z - 1} \tag{49}$$

O compensador de tensão CC apresenta uma margem de fase igual a 80° e uma frequência de corte (f_{cc}) = 20,3 Hz.

Para confirmar o projeto da malha de controle de tensão CC foi utilizado o programa de simulação PSIM, os detalhes da simulação estão no Apêndice 9, incluindo o circuito e a malha de controle implementados no programa simulador e os resultados experimentais.

3.6 MALHA DE CONTROLE *DROOP*

A malha de controle *droop* é utilizada no inverso de interligação para controlar a potência entre as sub-redes e realizar o compartilhamento de potência com outros conversores que contenham o controle *droop*.

A TABELA 8 lista as malhas de controle *droop* que serão implementadas no protótipo do inversor de interligação, sendo que, elas estão relacionadas com o modo de operação (CCM, CCM CC, VCM CC ou VCM) e a aplicação principal na microrrede híbrida, onde, a potência do inversor de interligação é definida como P_{II}, a tensão CC do inversor de interligação, no ponto de conexão com a sub-rede CC, é definida como V_e e a frequência da sub-rede CA é definida como f_n.

TABELA 8 – MALHAS DE CONTROLE DO INVERSOR DE INTERLIGAÇÃO

Modo de Op.	Malha de Controle *Droop*	Aplicação Principal
VCM CC	Droop CC (P_{II}-V_e)	Formar a sub-rede CC e compartilhar a potência na sub-rede CC
CCM CC	Droop Inverso CC (V_e-P_{II})	Compartilhar potência na sub-rede CC
VCM CC	Droop Bidirecional de Tensão CC (P_{II},f_n-V_e)	Formar a sub-rede CC e compartilhar potência na sub-rede CC considerando a condição de carga da sub-rede CA
VCM	Droop Bidirecional de tensão CA (P_{II},V_e-f_n)	Formar a sub-rede CC e compartilhar potência na sub-rede CA considerando a condição de carga da sub-rede CC
CCM	Droop Bidirecional de Corrente (V_e,f_n-P_{II})	Compartilhar potência na sub-rede CA ou na sub-rede CC

FONTE: O autor (2023).

As malhas de controle *droop* relacionam linearmente a potência do inversor de interligação (P_{II}), com a frequência da sub-rede CA (f_n), com a tensão da sub-rede CC (V_e) ou com ambas. Contudo, as grandezas não estão na mesma escala e, com isso, um índice de *droop* é estabelecido para relacionar a potência com as demais variáveis para cada uma das malhas de controle *droop*.

A potência do inversor de interligação (P_{II}) é calculada através da aquisição da tensão do capacitor (C_f) do filtro LCL e da corrente do indutor do lado da rede (L_r), como foi descrito na equação (45). A frequência da sub-rede CA é obtida pelo SRF-PLL e a tensão CC, no ponto de conexão com a sub-rede CC, é obtida aquisitando a tensão no capacitor do filtro do lado CC do inversor de interligação.

No modo de operação VCM CC com o inversor de interligação formando a rede da sub-rede CC, a malha de controle *droop* CC utiliza a potência para definir a magnitude da tensão CC (V_e). No modo CCM CC, ocorre o inverso, onde, a tensão CC aquisitada pelo inversor de interligação (P_{II}), no ponto de conexão com a sub-rede CC, irá determinar a potência que será entregue por ele.

O inversor de interligação ainda pode operar no VCM CC com a malha de controle *droop* bidirecional de tensão CC e, dessa maneira, existem duas relações que definem a tensão CC produzida por ele. A primeira utiliza da potência do inversor de interligação para definir o valor da tensão CC (V_e) e a segunda define o valor de referência da tensão CC (V_e^*) utilizando a frequência da sub-rede CA.

A operação do inversor de interligação no VCM com *droop* bidirecional de tensão CA é semelhante. Como formador da tensão da sub-rede CA, o inversor de interligação define a frequência da sub-rede CA (f_n) a partir da sua potência (P_{II}), enquanto, uma segunda relação define a referência da frequência (f_n^*) através da tensão da sub-rede CC.

Na malha *droop* bidirecional de corrente, o inversor de interligação está no modo de operação CCM e irá definir sua potência através da relação entre a frequência da sub-rede CA e da tensão da sub-rede CC.

3.6.1 Projeto da Malha de Controle *Droop* CC P_{II}-V_e

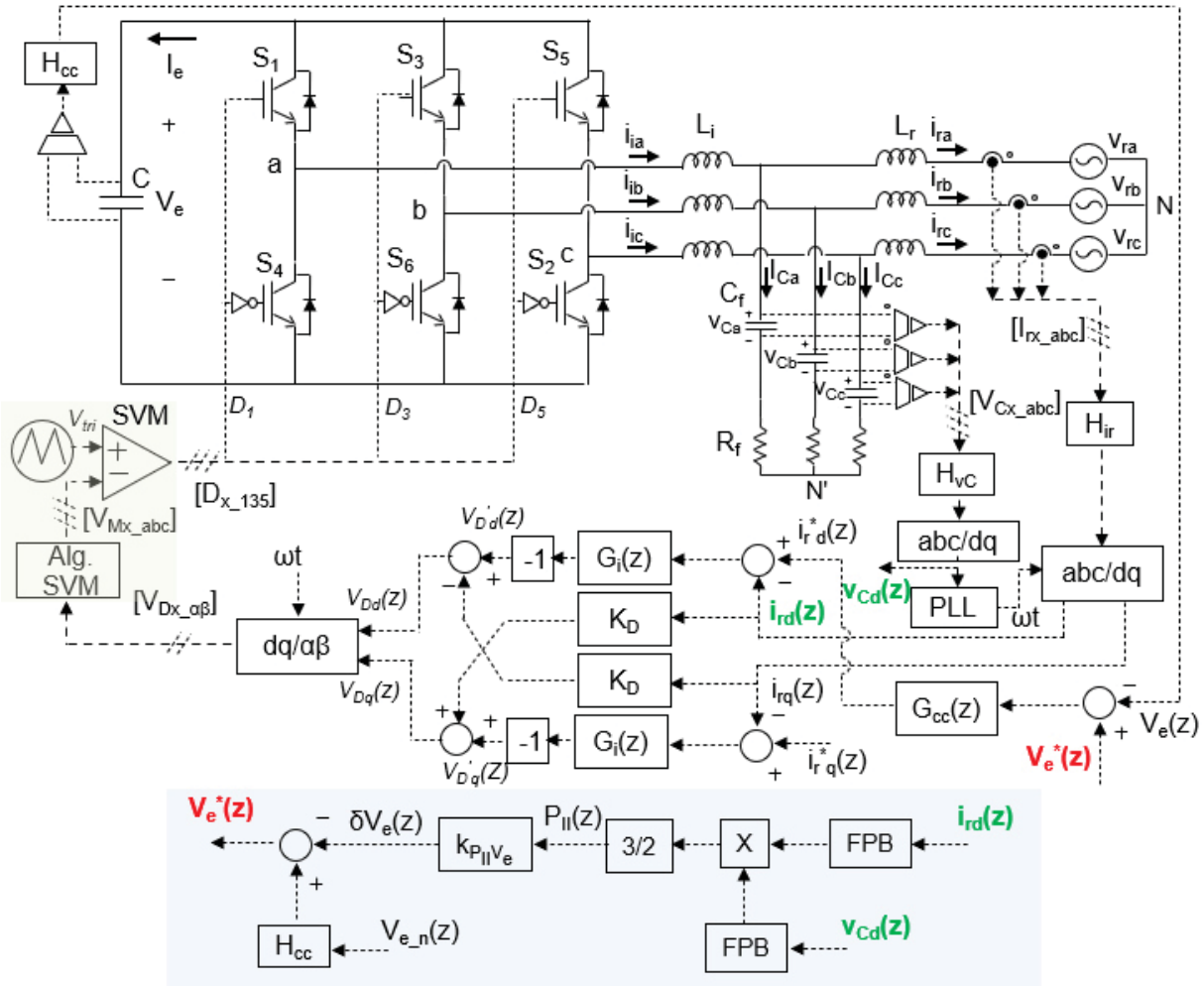
A malha controle *droop* CC é utilizada pelo inversor de interligação operando como formador de rede no VCM CC e, dessa maneira, a tensão da sub-rede CC é definida através da sua potência.

A FIGURA 40 apresenta o circuito do inversor de interligação operando no modo VCM CC e, em destaque, a malha de controle *droop* CC. Os sinais de entrada da malha de controle *droop* CC são a corrente $i_{rd}(z)$ e a tensão $v_{Cd}(z)$, sendo que, eles são utilizados para calcular a potência do inversor de interligação. O índice *droop* é identificado como k_{PIIVe} e define a flutuação da tensão CC (δV_e) por meio do valor da potência do inversor de interligação. A flutuação da tensão é subtraída da tensão de referência da sub-rede CC para produzir o sinal de referência para a malha de controle de tensão CC (V_e^*).

Os sinais de entrada da malha de controle *droop* passam por um filtro passa-baixa (FPB) para suavizar o sinal e eliminar ondulações antes de calcular a potência do inversor de interligação.

Se o inversor de interligação está injetando potência na sub-rede CC, a flutuação da tensão será positiva, ou seja, a tensão de referência (V_e^*), para a malha de controle de tensão, será menor que a tensão CC nominal (V_{e_n}). Enquanto, na operação do inversor de interligação absorvendo potência da sub-rede CC, a flutuação da tensão é negativa e, como consequência, a tensão CC de referência será maior que seu valor nominal.

FIGURA 40 – INVERSOR DE INTERLIGAÇÃO NO VCM CC E COM MALHA DE CONTROLE DROOP CC



FONTE: O autor (2023).

A equação (50) representa o filtro passa baixas no domínio de ‘z’ com uma frequência de corte de 100 Hz utilizado para atenuar as altas frequência e suavizar o sinal da corrente e de tensão na entrada da malha de controle *droop*.

$$FPB(z) = \frac{0.0111\,z\ -\ 0.0111}{z - 0.978} \tag{50}$$

O índice de *droop* k_{PIIVe} é determinado pela equação (51), onde, a subtração entre a tensão CC máxima (V_{e_m}) e a tensão CC nominal (V_{e_n}) determinam a flutuação máxima da tensão CC em relação a potência do inversor de interligação. Os ganhos de realimentação da tensão CC (H_{cc}), da corrente do indutor L_r (H_{ir}) e da tensão CA do capacitor do filtro LCL (H_{vC}) são considerados para determinar o valor do índice

droop na mesma escala dos sinais da malha de controle de tensão CA do inversor de interligação.

$$k_{P_{II}V_e} = \frac{(V_{e_m} - V_{e_n})H_{cc}}{P_{II}H_{ir}H_{vC}} \quad (51)$$

Os parâmetros que compõem o índice de *droop* estão listados na TABELA 9, onde, a flutuação máxima da tensão CC é de 10% para mais ou para menos da tensão CC nominal.

TABELA 9 – PARÂMETROS DO ÍNDICE DROOP CC

Parâmetro de Projeto	Valores de Projeto
Valor Máximo da Tensão CC (V_{e_m})	797,5 V
Tensão Nominal (V_{e_n})	725 V
Potência do Inversor de Interligação (P_{II})	30 kW
Ganho de Realimentação de Corrente (H_{ir})	31,63
Ganho de Realimentação de Tensão CA (H_{vC})	4,615
Ganho de Realimentação de Tensão CC (H_{cc})	6,165

FONTE: O autor (2023).

O índice da malha de controle *droop* CC para o inversor de interligação é obtido substituindo os parâmetros da TABELA 9 na equação (51) e tem valor igual a 57,195 micro.

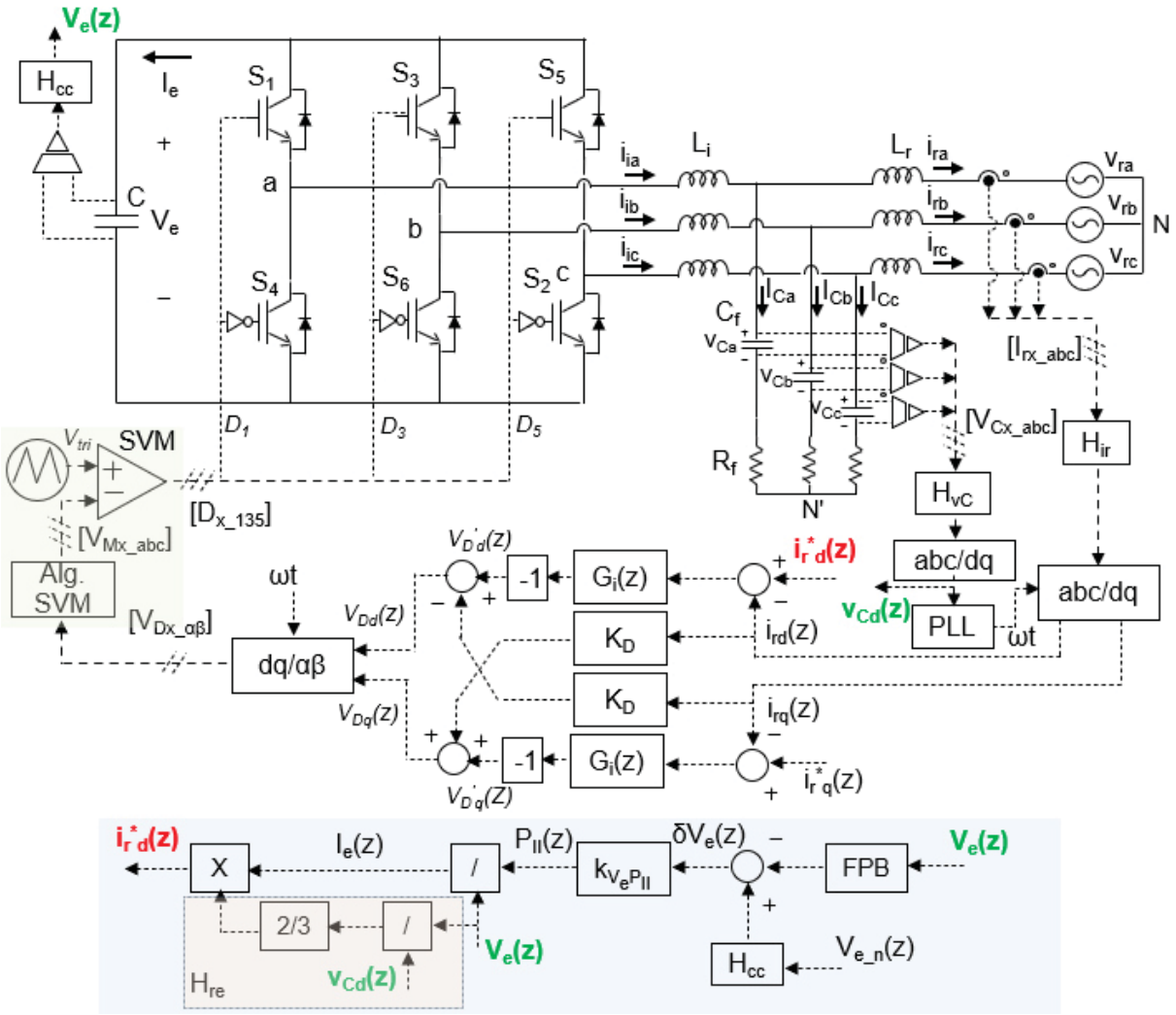
Como formador da rede CC, o inversor de interligação flutua a magnitude da tensão CC como uma forma de comunicar aos demais conversores conectados na sub-rede CC, e que estão operando no CCM CC, a necessidade de injetar ou absorver potência.

3.6.2 Projeto da Malha de Controle *Droop* Inverso CC V_e-P_{II}

A malha controle *droop* inverso CC é utilizada pelo inversor de interligação operando no CCM CC, através da malha de controle de corrente. e, dessa maneira, ele define a sua potência através da tensão da sub-rede CC.

A FIGURA 41 apresenta o circuito do inversor de interligação com a malha de controle de corrente e a malha de controle do *droop* inverso CC. A tensão da sub-rede CC é comparada com o seu valor nominal, o que gera o valor de flutuação da tensão. A flutuação de tensão e multiplicado pelo índice *droop* k_{VePII} para definir a potência do inversor de interligação. Dividindo a potência do inversor de interligação pela tensão da sub-rede CC (V_e), a corrente I_e é obtida. Por fim, a referência de corrente $i^*_{rd}(z)$ é calculada utilizando o inverso do ganho H_{re}, sendo que, o ganho H_{re} relaciona a corrente do inversor de interligação do lado CC com a corrente do lado CA e foi definido pela equação (47).

FIGURA 41 – INVERSOR DE INTERLIGAÇÃO NO CCM CC COM MALHA DE CONTROLE DROOP INVERSO CC



FONTE: O autor (2023).

Se a tensão da sub-rede CC for maior que o valor nominal, o inversor de interligação irá absorver potência da sub-rede CC e a referência da corrente $i_r{}^*_d$ será negativa. Enquanto, se a tensão da sub-rede CC for menor que o valor nominal, o inversor de interligação irá injetar potência na sub-rede CC e a referência da corrente $i_r{}^*_d$ será positiva.

O filtro passa baixa (FPB) utilizado no *droop* inverso CC é o mesmo que foi utilizado na malha de controle *droop* CC, onde, a equação (50) descreve o FPB no domínio de 'z' para aplicação no controle digital.

O índice para o *droop* inverso CC é definido como o inverso do índice do *droop* CC e, como descrito na equação (52) invertendo a equação (51).

$$k_{V_e P_{II}} = \frac{1}{k_{P_{II} V_e}} = 17.484{,}121 \tag{52}$$

O inversor de interligação com a malha de controle *droop* inverso CC pode injetar ou absorver potência da sub-rede CC e, assim, compartilhar a potência com o conversor formador da sub-rede CC.

3.6.3 Projeto da Malha de Controle *Droop* Bidirecional de Tensão CC (P_{II},f-V_e)

A malha de controle *droop* bidirecional de tensão CC é proposta neste trabalho para acrescentar, às técnicas já relatadas na literatura, a opção de controle *droop* bidirecional com o inversor de interligação operando no modo VCM CC.

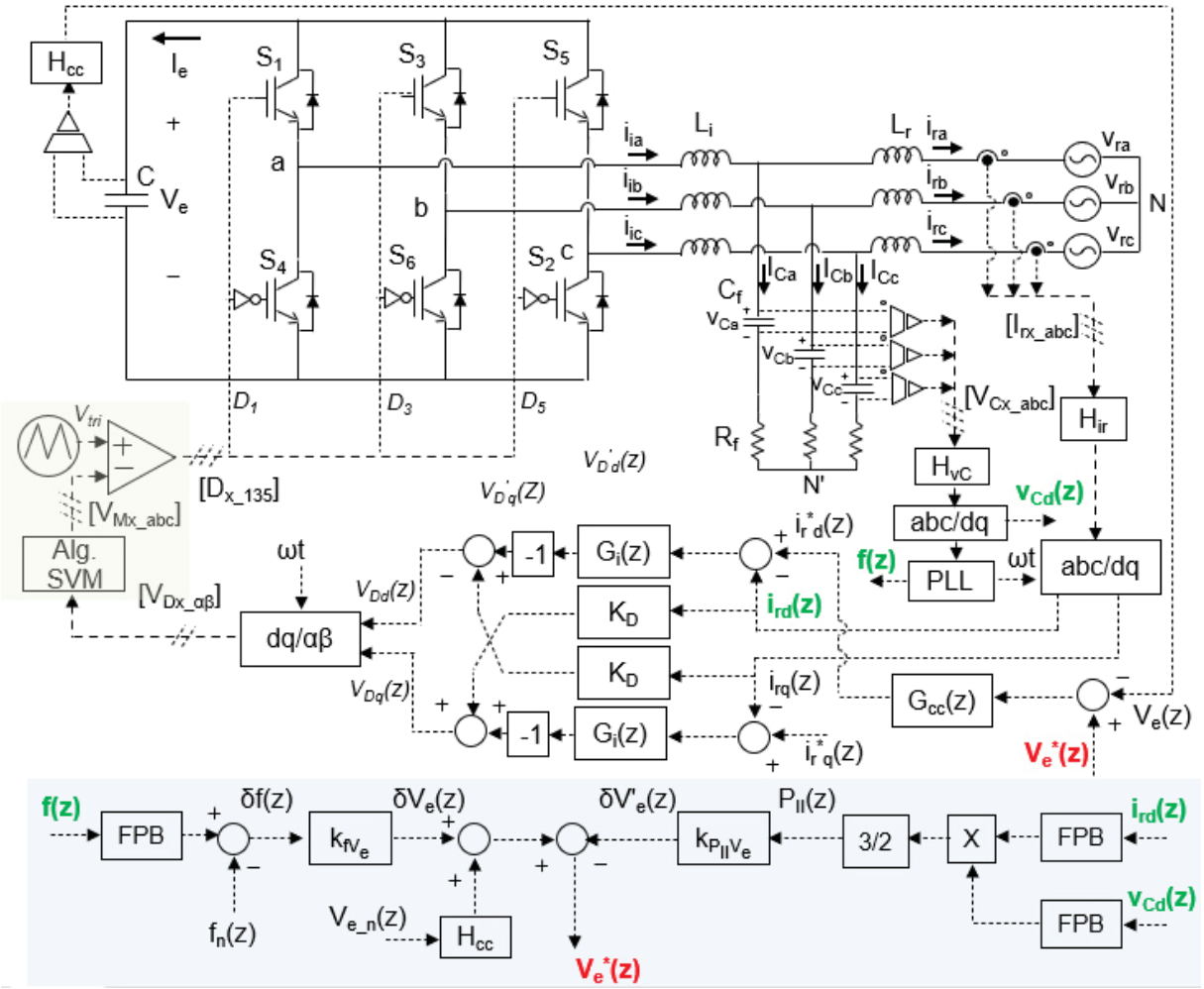
A FIGURA 42 apresenta o circuito do inversor de interligação no VCM CC com a malha de controle *droop* bidirecional de tensão CC. Para determinar a referência da tensão CC ($V_e{}^*$), o controle *droop* bidirecional de tensão CC utiliza duas relações. A primeira é entre a potência do inversor de interligação (P_{II}) e a flutuação da tensão CC identificada como $\delta V'_e$. A segunda relação é entre a frequência da sub-rede CA (f) e a flutuação da tensão CC identificada como δV_e.

A flutuação $\delta V'_e$ é subtraída e a flutuação δV_e é somada à tensão nominal para gerar o sinal de referência para a malha de controle da tensão CC. Dessa maneira, a tensão da sub-rede CC é definida considerando a condição de carga da sub-rede CC e da sub-rede CA.

Considerando apenas a relação P_{II}-$\delta V'_e$, se o inversor de interligação está injetando potência na sub-rede CC, a flutuação da tensão será positiva ($\delta V'_e$), ou seja, a tensão de referência do inversor de interligação (V_e^*) será menor que a tensão CC nominal (V_{e_n}). Enquanto, na operação do inversor de interligação absorvendo potência da sub-rede CC, a tensão CC de referência do inversor de interligação (V_e^*) será maior que a tensão de nominal (V_{e_n}).

Na relação f-δV_e, caso a frequência da sub-rede CA seja maior que o seu valor nominal (f_n), a tensão de referência da sub-rede CC (V_e^*) recebe um incremento em relação ao seu valor nominal (V_{e_n}) e, caso a frequência da sub-rede CA seja menor que seu valor nominal, a tensão de referência da sub-rede CC (V_e^*) diminuiu em relação ao seu valor nominal (V_{e_n}).

FIGURA 42 – INVERSOR DE INTERLIGAÇÃO NO VCM CC COM MALHA DE CONTROLE DROOP BIDIRECIONAL DE TENSÃO CC



FONTE: O autor (2023)

A equação (53) apresenta a relação entre as variáveis de entrada (P_{II},f) e a variável de saída (V_e^*) da malha de controle *droop* bidirecional de tensão CC, onde, k_{PIIVe} é o índice *droop* que relaciona a potência do inversor de interligação com a tensão da sub-rede CC k_{fVe} é o índice que relaciona a frequência da sub-rede CA com a tensão da sub-rede CC.

$$V_e^* = -P_{II}k_{P_{II}V_e} + \left[(f - f_n)k_{fV_e}\right] + V_{e_n} \tag{53}$$

A escolha dos índices de *droop* definem qual será a participação da potência do inversor de interligação e da frequência da sub-rede CA que irá definir a tensão da sub-rede CC.

Isolando a potência do inversor de interligação na equação (53), a equação (54) é obtida e pode ser utilizada para calcular a potência do inversor de interligação a partir do valor da frequência da sub-rede CA e da tensão da sub-rede CC, onde, f é a frequência da sub-rede CA definida pelo PLL e V_e é a tensão da sub-rede CC aquisitada através do sensor de tensão CC.

$$P_{II} = \frac{(f - f_n)k_{fV_e} + (V_e - V_{e_n})}{k_{P_{II}V_e}} \tag{54}$$

A relação entre a frequência e a potência do inversor de interligação é dada pelo argumento k_{fVe}/k_{PIIVe}, enquanto, a relação da potência e da tensão CC pelo argumento $1/k_{PIIVe}$. Portanto, a frequência da sub-rede CA e da tensão da sub-rede CC tem participações diferentes na definição da potência do inversor de interligação.

Como nas demais malhas de controle *droop* descrita neste trabalho, a equação (50) define o FPB no domínio de ‘z’ para aplicação no controle digital.

O índice de *droop* bidirecional k_{PIIVe} que determina a relação entre a potência do inversor de interligação e a flutuação da tensão CC foi definido no projeto da malha de controle *droop* CC através da equação (51). O índice k_{fVe} é obtido pela equação (55), onde, a flutuação da tensão CC é definida pela subtração do seu valor máximo (V_{e_m}) pelo valor nominal da tensão CC. O ganho de realimentação da malha de controle da tensão CC é utilizado para ajustar a escala da flutuação. Para definir a

flutuação da frequência é realizada a subtração entre seu valor máximo (f_m) pelo seu valor nominal (f_n).

$$k_{fV_e} = \frac{(V_{e_m} - V_{e_n})H_{cc}}{(f_m - f_n)} \tag{55}$$

Os parâmetros que compõem os índices de *droop* k_{PIIVe} e k_{fVe} estão listados na TABELA 10. A flutuação máxima da tensão CC é de 10 % para mais ou para menos da tensão nominal, dessa maneira, a flutuação é dividida entre as duas relações, ou seja, o índice de *droop* k_{PIIVe} pode flutuar a tensão CC em 5 % e o índice de *droop* k_{fVe} também em 5 %. A flutuação máxima da frequência é de 1,67% em relação a frequência nominal do sistema.

TABELA 10 – PARÂMETROS DO ÍNDICE DROOP BIDIRECIONAL DE TENSÃO CC

Parâmetro de Projeto	Valores de Projeto
Valor Nominal da Tensão da Sub-rede CC (V_{e_n})	725 V
Valor Máximo da Tensão da Sub-rede CC (V_{e_m})	761.25 V
Frequência Nominal (f_n)	60 Hz
Valor máximo da Frequência (f_m)	61 Hz
Potência do Inversor de Interligação (P_{II})	30 kW
Ganho de Realimentação de Corrente (H_{ir})	31,63
Ganho de Realimentação de Tensão CA (H_{vC})	4,615
Ganho de Realimentação de Tensão CC (H_{cc})	6,165

FONTE: O autor (2023).

Substituindo os dados da TABELA 10 na equação (51) e na equação (55) obtém-se, respectivamente, k_{PIIVe} = 28,604 micro e k_{fVe} = 167,294.

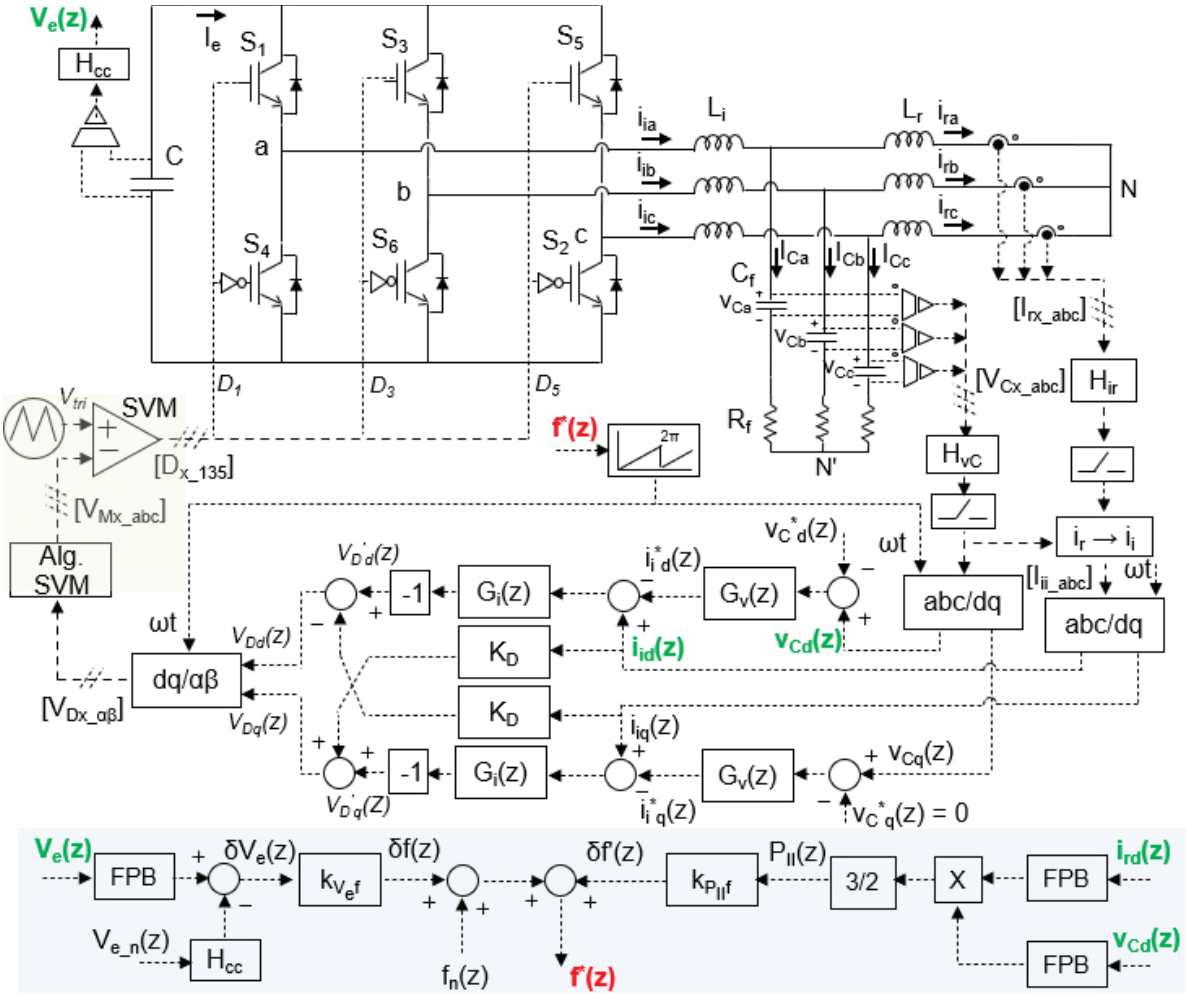
Com os valores dos índices definidos, a malha de controle *droop* bidirecional de tensão CC pode ser implementada no inversor de interligação operando no VCM CC. Como formador da rede CC, o inversor de interligação flutua a amplitude da tensão da sub-rede CC como uma forma de comunicar aos demais conversores conectados na sub-rede CC a necessidade de injetar ou absorver potência. A mesma função é obtida pelo inversor de interligação operando com a malha de *droop* CC, mas, sem considerar a condição de carga da sub-rede CA.

3.6.4 Projeto da Malha de Controle *Droop* Bidirecional de Tensão CA (P_{II},V_e-f)

A malha de controle *droop* bidirecional de tensão CA é aplicada ao inversor de interligação operando no VCM e, como formador da sub-rede CA, as variáveis de entrada são a potência do inversor de interligação e a tensão da sub-rede CC e a frequência da sub-rede CA como variável de saída.

A FIGURA 43 ilustra o circuito do inversor de interligação no VCM e com a malha de controle *droop* bidirecional de tensão CA. Para determinar a referência da frequência (f^*), o controle *droop* bidirecional de tensão CA utiliza duas relações. A primeira é entre a potência do inversor de interligação (P_{II}), definida pela corrente i_{rd} e a tensão v_{Cd}, e a flutuação da frequência identificada como δf. A segunda relação é entre a tensão da sub-rede CC (V_e) e a flutuação da frequência identificada como δf'.

FIGURA 43 – INVERSOR DE INTERLIGAÇÃO NO VCM COM MALHA DE CONTROLE DROOP BIDIRECIONAL DE TENSÃO CA



FONTE: O autor (2023).

Considerando apenas a relação P_{II}-δf', se o inversor de interligação está injetando potência na sub-rede CA, a flutuação da frequência será negativa (δf'), ou seja, a frequência de referência do inversor de interligação (f^*) será menor que a frequência nominal (f_n). Enquanto, na operação do inversor de interligação absorvendo potência da sub-rede CA, a frequência de referência do inversor de interligação (f^*) será maior que a frequência nominal (f_n).

Na relação f-δV_e, caso a tensão da sub-rede CC seja maior que o seu valor nominal (V_{e_n}), a frequência nominal (f_n) recebe um incremento igual a δf e, caso a tensão da sub-rede CC seja menor que seu valor nominal, a frequência nominal (f_n) recebe um decremento igual a δf.

O sinal de referência de frequência (f^*) para o inversor de interligação operando VCM é formado pela soma do sinal da frequência nominal com as flutuações δf' e δf. Dessa maneira, a frequência da sub-rede CA é definida considerando a condição de carga da sub-rede CC e da sub-rede CA.

A equação (56) apresenta a relação entre as variáveis de entrada (P_{II},V_e) e a variável de saída (f^*) da malha de controle *droop* bidirecional de tensão CA, onde, k_{PIIf} é o índice *droop* que relaciona a potência do inversor de interligação com a frequência da sub-rede CA e k_{Vef} é o índice que relaciona a tensão da sub-rede CC com a frequência da sub-rede CA.

$$f^* = P_{II} k_{P_{II}f} + \left[\left(V_e - V_{e_n}\right) k_{V_e f}\right] + f_n \tag{56}$$

A escolha dos índices de *droop* definem qual será a participação da potência do inversor de interligação e da tensão da sub-rede CC que irá definir a frequência da sub-rede CA.

Isolando a potência do inversor de interligação na equação (56), a equação (57) é obtida e pode ser utilizada para calcular a potência do inversor de interligação a partir do valor da frequência da sub-rede CA e da tensão da sub-rede CC, onde, f é a frequência da sub-rede CA definida pelo algoritmo do inversor de interligação e V_e é a tensão da sub-rede CC aquisitada através do sensor de tensão CC.

$$P_{II} = \frac{f - \left[\left(V_e - V_{e_n}\right) k_{V_e f} + f_n\right]}{k_{P_{II}f}} \tag{57}$$

A relação entre a frequência e a potência do inversor de interligação é dada pelo argumento $1/k_{PIIf}$, enquanto, a relação da potência e da tensão CC pelo argumento k_{Vef}/k_{PIIf}. Portanto, a frequência da sub-rede CA e da tensão da sub-rede CC tem participações diferentes na definição da potência do inversor de interligação.

Como nas demais malhas de controle *droop* descrita neste trabalho, a equação (50) define o FPB no domínio de 'z' para aplicação no controle digital.

O índice de *droop* k_{PIIf} é determinado pela equação (58), onde, a subtração entre frequência máxima (f_m) e a frequência nominal (f_n) determinam a flutuação máxima frequência em relação a potência do inversor de interligação (P_{II}). Os ganhos da corrente do indutor L_r (H_{ir}) e da tensão CA do capacitor do filtro LCL (H_{vC}) são considerados para determinar o valor do índice *droop* na mesma escala dos sinais da malha de controle de tensão CA do inversor de interligação.

$$k_{P_{II}f} = \frac{(f_m - f_n)}{P_{II} H_{ir} H_{vC}} \tag{58}$$

O índice k_{Vef} é obtido através da equação (59).

$$k_{V_{ef}} = \frac{(f_m - f_n)}{(V_{e_m} - V_{e_n}) H_{cc}} \tag{59}$$

Os parâmetros que compõem o índice de *droop* kP_{IIf} estão listados na TABELA 11, onde, a flutuação máxima frequência é de 1,667 % para mais ou para menos da frequência nominal, dessa maneira, a flutuação da frequência é dividida entre as duas relações, ou seja, o índice de *droop* k_{PIIf} pode flutuar a frequência em 0,8335 % e o índice de *droop* k_{Vef} também em 0,8335 %.

TABELA 11 – PARÂMETROS DO ÍNDICE DROOP BIDIRECIONAL DE TENSÃO CA

Parâmetro de Projeto	Valores de Projeto
Frequência Nominal (f_n)	60 Hz
Valor máximo da Frequência (f_m)	60,5 Hz
Potência do Inversor de Interligação (P_{II})	30 kW
Ganho de Realimentação da Tensão CA (H_{vC})	6,165 V/V
Ganho de Realimentação de Corrente (H_{ir})	31,63 V/A

FONTE: O autor (2023).

Substituindo os dados da TABELA 11 na equação (58) e na equação (59) obtém-se k_{PIIf} = 85,471 nano e k_{Vef} = 1,494 mili.

Com os valores dos índices definidos, a malha de controle *droop* bidirecional de tensão CA pode ser implementada no inversor de interligação operando no VCM. Como formador da rede CA, o inversor de interligação flutua a frequência da sub-rede CA como uma forma de comunicar aos demais conversores conectados na sub-rede CA a necessidade de injetar ou absorver potência. A mesma função é obtida pelo inversor de interligação operando com a malha de *droop* CA, mas, sem considerar a condição de carga da sub-rede CC.

3.6.5 Projeto da Malha de Controle *Droop* Bidirecional de Corrente (V_e,f_n-P_{II})

A malha de controle *droop* bidirecional de corrente é aplicada ao inversor de interligação operando no CCM e apresenta como variáveis de entrada a tensão da sub-rede CC e a frequência da sub-rede CA e como variável de saída a potência do inversor de interligação.

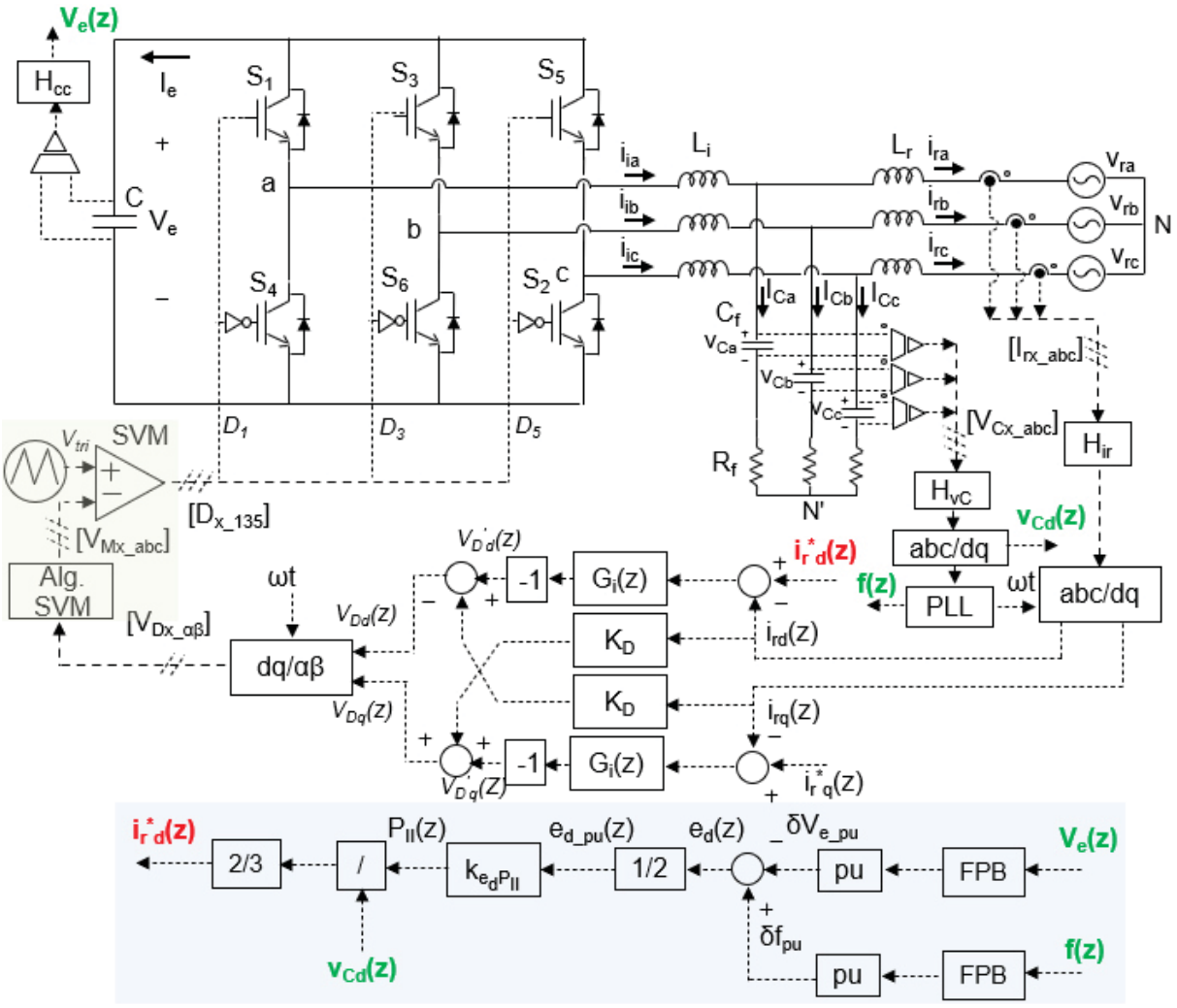
A FIGURA 44 ilustra o circuito do inversor de interligação no CCM e com a malha de apresenta a malha de controle *droop* bidirecional de corrente. Comparando os sinais por unidade (pu) da tensão da sub-rede CC e da frequência da sub-rede CA é gerado um sinal de erro (e_d). O sinal de erro é dividido por ½ para manter o valor em pu e, em seguida, é multiplicado pelo índice *droop* para obter a potência do inversor de interligação (P_{II}). Por fim, a potência do inversor de interligação é dividida pela tensão do capacitor do filtro LCL para se obter a referência para a corrente de coordenada ‘d’ para a malha de controle de corrente do inversor de interligação.

Se a tensão V_e é maior que seu valor nominal, há uma oferta de potência na sub-rede CC e o seu valor em pu será positivo. Se a tensão V_e é menor que o seu valor nominal, há demanda por potência na sub-rede CC e seu valor em pu é negativo, o mesmo ocorre com a frequência da sub-rede CA (f). Se a frequência é maior que seu valor nominal há uma oferta de potência na sub-rede CA e se a frequência é menor que seu valor nominal a uma demanda por potência na sub-rede CA.

O erro entre a tensão da sub-rede CC e a frequência da sub-rede CA irá indicar a direção e magnitude da potência que será transferida entre as sub-redes. O

sinal resultante do erro define a direção da potência, caso o erro for negativo, a referência de corrente $i_{r\,d}^{*}$ será negativa e a direção da potência será da sub-rede CC para a sub-rede CA e caso o erro seja positivo, a referência de corrente $i_{r\,d}^{*}$ será positiva e a direção da potência será da sub-rede CA para a sub-rede CC. A magnitude da potência transferida entre as sub-redes depende da diferença entre o valor de cada variável em relação ao seu valor nominal.

FIGURA 44 – INVERSOR DE INTERLIGAÇÃO NO CCM COM MALHA DE CONTROLE DROOP BIDIRECIONAL DE CORRENTE



FONTE: O autor (2023).

Como nas outras malhas de controle *droop* descrita neste trabalho, a equação (50) define o FPB no domínio de ‘z’ para aplicação no controle digital.

A equação (60) é utilizada para calcular os valores em pu, onde, ‘X’ é o valor da variável que se deseja calcular o valor em pu, X_m é o seu valor máximo e X_n é o

valor nominal. O ganho H é definido para a tensão da sub-rede CC como o ganho de realimentação da malha de controle de tensão CC, ou seja, H = H_{cc}, e para a frequência da sub-rede CA, H = 1, sendo que, o algoritmo de PLL fornece a frequência sem adicionar ganhos.

$$X_{pu} = \frac{(X - X_n H)}{(X_m H - X_n H)} \tag{60}$$

A equação (61) apresenta a relação entre as variáveis de entrada (f_{pu},V_{e_pu}) e a variável de saída (P_{II}) da malha de controle *droop* bidirecional de corrente, onde, k_{edPII} é o índice *droop* que relaciona a variável de erro entre a frequência em pu da sub-rede CA e a tensão em pu da sub-rede CC com a potência do inversor de interligação.

$$P_{II} = \frac{\left(f_{pu} - V_{e_{pu}}\right)}{2} k_{e_d P_{II}} \tag{61}$$

A relação entre a frequência e a potência do inversor de interligação e a relação da potência do inversor de interligação e a tensão CC é dada pelo índice k_{edPII}. Portanto, a frequência da sub-rede CA e da tensão da sub-rede CC tem participações iguais na definição da potência do inversor de interligação.

O índice de *droop* bidirecional k_{edPII} é determinado pela equação (62), onde, P_{II} é a potência do inversor de interligação, H_{vC} é o ganho de realimentação da tensão do capacitor filtro LCL e H_{ir} é o ganho de realimentação da corrente. Como os valores estão em pu, o denominador é apenas representado pela unidade.

$$k_{e_d P_{II}} = \frac{P_{II} H_{ir} H_{vC}}{1} \tag{62}$$

Os parâmetros que compõem os índices de *droop* k_{edPII} e definem os valores em pu para a tensão CC e para a frequência estão listados na TABELA 12.

A flutuação máxima da tensão CC é de 10% para mais ou para menos da tensão nominal, enquanto, a flutuação máxima da frequência é de 1,67% em relação a frequência nominal.

Substituindo os dados da TABELA 12 na equação (62) obtém-se k_{edPII} = 5,850 M.

O inversor de interligação com a malha de controle *droop* bidirecional de corrente identifica se há oferta ou demanda de potência nas sub-redes e, através da diferença entre essas condições, define para qual sub-rede a potência deve ser transferida. Além disso, como o inversor de interligação está no CCM e o *droop* bidirecional utiliza variáveis comuns as outras malhas de controle *droop*, o inversor de interligação pode compartilhar potência com os conversores formadores de rede presentes em ambas as sub-redes.

TABELA 12 – PARÂMETROS DO ÍNDICE DROOP BIDIRECIONAL DE CORRENTE

Parâmetro de Projeto	Valores de Projeto
Valor Nominal da Tensão da Sub-rede CC (V_{e_n})	725 V
Valor Máximo da Tensão da Sub-rede CC (V_{e_m})	797.5 V
Frequência Nominal (f_n)	60 Hz
Valor máximo da Frequência (f_m)	61 Hz
Potência do Inversor de Interligação (P_{II})	30 kW
Ganho de Realimentação de Corrente (H_{ir})	31,63
Ganho de Realimentação de Tensão CA (H_{vC})	4,615
Ganho de Realimentação de Tensão CC (H_{cc})	6,165

FONTE: O autor (2023).

3.7 CONSIDERAÇÕES FINAIS DO CAPÍTULO

Neste capítulo foi estabelecida a metodologia para definição dos elementos do filtro LCL e, posteriormente, o modelo do inversor de interligação no referencial síncrono dq é obtido para ser utilizado no projeto das malhas de controle de corrente e de tensão. Por último, o projeto das malhas de controle de *droop* são realizados, o que inclui o índice *droop* e o filtro passa-baixa de cada uma das malhas de *droop* presente no projeto do inversor de interligação.

O projeto do filtro LCL inicia com a definição do valor do indutor do lado do inversor L_i através da máxima ondulação da corrente que circula por ele, sendo que, o objetivo é atenuar uma parcela das altas frequência produzida pela comutação dos interruptores. Em seguida, o valor de projeto do capacitor C_f é definido pela potência reativa que ele introduz na sub-rede CA. Por fim, o indutor do lado da rede L_r tem seu

valor de projeto calculado para complementar a atenuação das harmônicas até os níveis estabelecidos em norma.

Com os valores dos elementos do filtro LCL, o modelo do inversor de interligação no referencial estacionário abc é apresentado. Aplicando ao modelo no referencial abc a transformadas de Clarke e, posteriormente, a transformada de Park, o modelo do inversor de interligação no referencial síncrono dq é obtido. O objetivo do uso do referencial dq é utilizar a coordenada ‘d’ para controle da potência ativa e, embora, a coordenada ‘q’ possa ser utilizada para o controle da potência reativa, o objetivo deste trabalho é direcionado para o desenvolvimento do controle da potência ativa.

Com o modelo do inversor de interligação no referencial síncrono dq, as malhas de controle de corrente e de tensão podem ser representadas e seus parâmetros de projeto podem ser calculados.

A malha de controle de corrente tem como característica estar presente em todos os modos de operação do inversor de interligação, portanto, os sinais de saída de seu compensador alimentam o algoritmo da modulação vetorial (SVM) com as malhas de controle de tensão e as malhas de controle *droop* sobrepostas a ela. No modelo da malha de controle de corrente apresentado junto ao circuito do inversor de interligação é possível identificar o uso do algoritmo do SOGI-PLL para sincronismo com a sub-rede CA

A malha de controle de tensão CA apresenta como característica o uso do algoritmo para estimar a corrente do indutor L_i através da aquisição da corrente do indutor L_r e do cálculo da corrente do capacitor C_f. E como formador de rede CA, um algoritmo que funciona como um contador de 0 a 2π é implementado para definir a frequência da sub-rede CA. No modelo da malha de controle da tensão CA junto ao circuito do inversor de interligação é possível identificar que os sinais de referência para a malha de controle de corrente são gerados a partir do compensador de tensão CA.

O modelo da malha de controle da tensão CC junto ao circuito do inversor de interligação mostra que o sinal da tensão no capacitor, que conecta o inversor de interligação à sub-rede CC, é utilizado para definir a referência da corrente de coordenada ‘d’ da malha de controle da corrente. Essa característica permite que o

inversor de interligação opere de forma semelhante a uma fonte de tensão CC e passe a ter a função de formador da sub-rede CC.

No total, cinco malhas de controle *droop* são estabelecidas para os modos de operação do inversor de interligação, VCM, CCM, CCM CC e VCM CC.

Para o inversor de interligação no modo VCM, a malha de controle *droop* bidirecional de tensão CA completa a estratégia de controle que é utilizada para definir a frequência da sub-rede CA através da potência do inversor de interligação e da tensão da sub-rede CC.

Na operação como CCM, a malha de controle *droop* bidirecional de corrente é utilizada na estratégia de controle e é aplicada para determinar a potência do inversor de interligação através da tensão da sub-rede CC e da frequência da sub-rede CA.

No modo CCM CC, a malha de controle *droop* inverso CC é utilizada na estratégia de controle para controlar a potência do inversor de interligação através da tensão da sub-rede CC.

Com o inversor de interligação operando no VCM CC são definidas duas estratégia de controle considerando as malhas de controle *droop*. A primeira utiliza a malha é de controle *droop* CC para que o inversor de interligação defina a tensão da sub-rede CC por meio da sua potência, ou seja, a tensão CC depende da condição de carga da sub-rede CC. A segunda utiliza a malha de controle *droop* bidirecional de tensão CC e, também, é utilizada para definir a tensão da sub-rede CC, mas para isso, utiliza a potência do inversor de interligação mais a frequência da sub-rede CA.

A configuração da microrrede híbrida deve ser considerada para definir qual a estratégia de controle será utilizada pelio inversor de interligação, sendo que, cada estratégia de controle inclui um modo de operação e uma malha de controle *droop*.

4 SIMULAÇÃO DO INVERSOR DE INTERLIGAÇÃO EM DIFERENTES CONFIGURAÇÕES DA MICRORREDE HÍBRIDA

Neste Capítulo serão realizadas as simulações das setes diferentes configurações da microrrede híbrida com o inversor de interligação operando com a estratégia de controle correspondente. A microrrede híbrida é modelada para cada configuração, assim como, as fontes de geração distribuídas (FD) e cargas.

Na Seção 4.1 é realizada a simulação da microrrede híbrida na configuração 1 e 4, dessa maneira, o modelo da microrrede híbrida considera que a sub-rede CA está conectada à rede elétrica de distribuição e a sub-rede CC é formada pelo inversor de interligação. A estratégia de controle ainda inclui a malha de controle *droop* CC para compartilhamento de carga na sub-rede CC.

Na Seção 4.2, o modelo da microrrede híbrida representa as configurações 2 e 3 da microrrede híbrida e, dessa maneira, a rede elétrica de distribuição está formando a tensão da sub-rede CA e uma fonte despachável está formando a tensão da sub-rede CC. A estratégia de controle adotada para o inversor de interligação contempla o modo CCM CC e a malha de controle *droop* inverso CC.

Nas Seções 4,3, 4,4 e 4,5, as configurações da microrrede híbrida são respectivamente 5, 6 e 7. A sub-rede CA não está conectada à rede elétrica de distribuição e os modos de operação do inversor de interligação são VCM CC, VCM e CCM para as configurações, respectivamente, 5, 6 e 7. Complementando as estratégias de controle são aplicadas as técnicas de *droop* bidirecional junto a cada um dos modos de operação.

A microrrede híbrida pode assumir diferentes configurações que dependem das condições de conexão com a rede elétrica de distribuição e da presença de fontes formadoras da tensão em ambas as sub-redes. Sete possíveis configurações da microrrede híbrida foram listadas no Capítulo 1, enquanto, no Capítulo 3 foi realizado o projeto as malhas de controle para o inversor de interligação. Dessa maneira, a finalidade deste capítulo é demonstrar, através de simulação, o uso das malhas de controle do inversor de interligação em cada uma das sete configurações da microrrede híbrida.

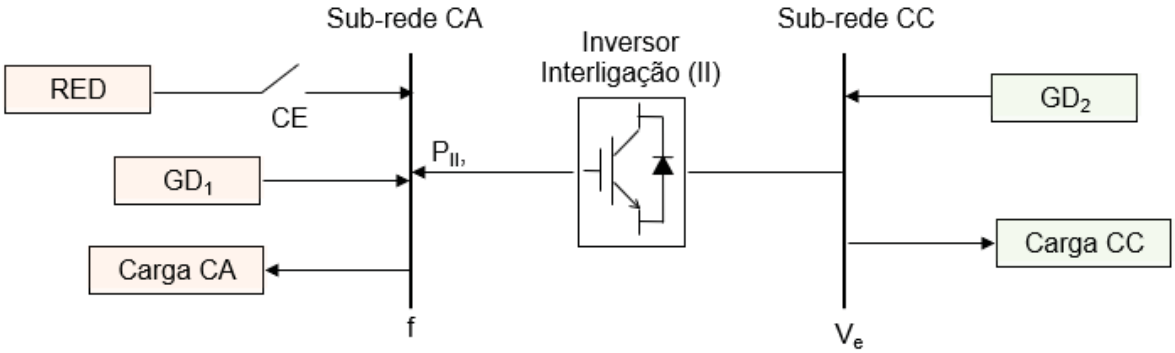
Uma estratégia de controle do inversor de interligação é adotada para cada configurações da microrrede híbrida, portanto, definida qual é a configuração da

microrrede híbrida, o inversor de interligação é configurado para operar na estratégia de controle correspondente durante toda a simulação.

Como características do modelo da microrrede híbrida proposto para simulação neste trabalho, não há oferta de potência, além do que é consumido pelas cargas, nas sub-redes em nenhuma condição de operação da microrrede híbrida. Portanto, a flutuação da frequência da sub-rede CA e a flutuação da tensão da sub-rede CC sempre serão negativas.

O diagrama da microrrede híbrida que será montada no programa de simulação PSIM está na FIGURA 45. A chave estática (CE) determina se a sub-rede CA está conectada ou desconectada da rede elétrica de distribuição (RED). Os blocos GD_n podem representar fontes de geração distribuída despacháveis ou sistemas de armazenamento de energia e operam com controle *droop*. Por fim, as cargas são modeladas com potência constante.

FIGURA 45 – MICRORREDE HÍBRIDA PARA SIMULAÇÃO



FONTE: O autor (2023).

Se a chave estática (CE) estiver fechada, a sub-rede CA está conectada com a rede elétrica de distribuição (RED) e, com isso, a RED forma a tensão da sub-rede CA. No entanto, se a chave estática estiver aberta, com a sub-rede CA desconectada da RED, a fonte GD_1 ou o inversor de interligação deve operar como VCM e formar a tensão da sub-rede CA. Na sub-rede CC, se a fonte GD_2 não estiver formando a tensão da sub-rede CC, o inversor de interligação deve assumir essa função e operar no VCM CC.

O modelo para simulação do inversor de interligação contempla as malhas de controle para operação como VCM, CCM, CCM CC e VCM CC, implementadas no

programa de simulação PSIM e detalhadas no Apêndice 8, o que inclui as malhas de controle *droop* projetadas na Seção 3.6. A rede elétrica de distribuição é representada por uma fonte senoidal trifásica ideal, enquanto, as fontes GDs são projetadas utilizando fontes ideais dependentes.

Para o caso em que a fonte GD_1 está operando no CCM, uma fonte de corrente dependente de tensão é utilizada no modelo, onde, o sinal de controle é proveniente da malha de controle *droop* inverso CA. Dessa maneira, um circuito de SRF-PLL é utilizado para aquisição da frequência da sub-rede CA.

Caso a fonte GD_1 esteja operando no VCM como formadora da sub-rede CA, o controle *droop* CA é implementado ao modelo. A transformada inversa de Park e, posteriormente, de Clarke são utilizadas para formar a tensão da sub-rede CA através do sinal de ωt e do pico da tensão de fase da sub-rede CA. O sinal de ωt é fornecido pelo algoritmo em rampa de 0 a 2π, descrito na Seção 3.4.1, e a malha de controle *droop* CA fornece a referência da frequência para a sub-rede CA.

Com a fonte GD_2 operando no CCM CC, a malha de controle *droop* inverso CC é utilizado para definir o sinal de controle para a fonte de corrente dependente de tensão. E com a fonte GD_2 operando no VCM CC, a malha de controle *droop* CC é implementada para fornecer o sinal de controle para uma fonte de tensão dependente de tensão.

No Apêndice 11 estão os modelos das fontes GDs e das cargas com potência constantes utilizadas na simulação da microrrede híbrida.

Durante a simulação proposta neste trabalho, as fontes GD e o inversor de interligação sempre operam com modos de operação diferentes, ou seja, se a fonte GD_1 estiver no VCM, o inversor de interligação estará no CCM. A recíproca é válida para a sub-rede CC, se a fonte de GD_2 estiver no CCM CC, o inversor de interligação estará no VCM CC. O objetivo dessa premissa é realizar o compartilhamento de potência entre as fontes de GDs e o inversor de interligação.

A potência nominal da fonte GD_1, fonte GD_2, carga CC, carga CA e do inversor de interligação é de 30 kW. A tensão nominal de fase da sub-rede CA é de 230,94 V com 60 Hz e a tensão da sub-rede CC de 725 V. A flutuação máxima da frequência é de 1 Hz e a flutuação máxima da tensão da sub-rede CC de 72,5.

Na TABELA 13 estão os índices de *droop* para malha de controle *droop* aplicada em cada um dos elementos presentes na microrrede hibrida. Com objetivo

de comparação, os ganhos de realimentação dos sinais de corrente e tensão são retirados dos índices de *droop*. Os índices obtidos para as malhas de controle *droop* da fonte GD_1 e da fonte GD_2 são calculados no Apêndice 11.

TABELA 13 – ÍNDICES DE DROOP DOS ELEMENTOS DA MICRORREDE HÍBRIDA

índices	Valor	Droop	Elemento	Modo de Op.
k_{Pf}	33,334 µ	CA	Fonte GD_1	VCM
k_{fP}	30.000	Inverso CA	Fonte GD_1	CCM
k_{PVe} e k_{PIIVe}	2,417 m	CC	Fonte GD_2 e Inv. Interligação	VCM CC
k_{VeP} e k_{VePII}	413,792	Inverso CC	Fonte GD_2 e Inv. Interligação	CCM CC
k_{PIIVe}	1,209 m	Bidirecional Tensão CC	Inv. Interligação	VCM CC
k_{fVe}	36,250	Bidirecional Tensão CC	Inv. Interligação	VCM CC
k_{PIIf}	16,667 µ	Bidirecional Tensão CA	Inv. Interligação	VCM
k_{Vef}	27,586 m	Bidirecional Tensão CA	Inv. Interligação	VCM
k_{edPII}	30.000	Bidirecional Corrente	Inv. Interligação	CCM

FONTE: O autor (2023).

O índice de *droop* k_{Pf} é aplicado à fonte GD_1 operando no VCM com *droop* CA e indica que a frequência da sub-rede CA irá apresentar flutuação máxima (-1 Hz), quando a potência da fonte GD_1 for igual ao seu valor nominal (30 kW). O inverso é válido para o índice k_{fP} aplicado à fonte GD_1 operando no CCM com *droop* inverso CA, onde, uma flutuação máxima da frequência da sub-rede CA define sua potência com o valor nominal.

A malha de controle *droop* CC contém os índices de *droop* k_{Pve} e K_{PIIVe}, onde o índice k_{PVe} é utilizado na fonte GD_2 e o índice K_{PIIVe} é utilizado no inversor de interligação, ambos os casos a operação é no modo VCM CC. Os índices de *droop* indicam que se a fonte GD_2 ou o inversor de interligação estiver produzindo a potência nominal de 30 kW irá ocorrer a flutuação máxima da magnitude da tensão na sub-rede CC (- 72,5 V).

Para a malha de controle *droop* inverso CC os índices de *droop* k_{VeP} e k_{VePII} são utilizados, respectivamente, na fonte GD_2 e no inversor de interligação, ambos operando no modo CCM CC. Os índices de *droop* indicam que, caso a tensão na sub-

rede CC apresente o seu valor de flutuação máximo (-72,5 V), a fonte GD_2 e o inversor de interligação irão produzir sua potência nominal de 30 kW.

As malhas de controle de *droop* bidirecional de tensão CC e de tensão CA apresentam dois índices de *droop*, dessa maneira, cada índice influencia em 50 % a variável de saída da malha de controle de *droop* bidirecional.

Os índices de *droop* k_{PIIVe} e k_{fVe} são utilizados na malhas de controle *droop* bidirecional de tensão CC do inversor de interligação. O índice de *droop* k_{PIIVe} também é utilizado na malha de controle *droop* CC, contudo, na malha de controle *droop* bidirecional de tensão CC seu valor é reduzido pela metade. Dessa maneira, se o inversor de interligação estiver produzindo sua potência nominal de 30 kW, a flutuação da tensão da sub-rede CC será a metade do valor da flutuação máxima, ou seja, -36,25 V. O índice k_{fVe} complementa a flutuação da tensão da sub-rede CC mediante a flutuação da frequência da sub-rede CA, ou seja, se a flutuação da frequência CA é máxima, a flutuação da tensão da sub-rede CC será de 50 % da flutuação máxima, ou seja, - 36,25 V.

Para o controle *droop* bidirecional de tensão CA aplicado ao inversor de interligação como formador da tensão da sub-rede CA (VCM), o índice de *droop* k_{PIIf} define que a frequência da sub-rede CA irá apresentar a flutuação de -0,5 Hz se a potência entregue pelo inversor de interligação for a nominal (30 kW). Enquanto, o índice de *droop* k_{Vef} indica que a flutuação da frequência será de -0,5 Hz para uma flutuação máxima da tensão da sub-rede CC, ou seja, de -72,5 V.

O controle *droop* bidirecional de corrente utiliza um índice de *droop* para indicar a potência do inversor de interligação a partir de uma variável de erro. O erro é produzido pela metade da diferença da frequência em pu pela tensão em pu da sub-rede CC. Dessa forma, a influência das variáveis de entrada de 50 % em relação a variável de saída é mantida. Caso a tensão da sub-rede CC apresente a flutuação máxima a potência do inversor de interligação será a metade do seu valor nominal (15 kW). O mesmo ocorre com a flutuação máxima da frequência da sub-rede CA.

Durante a apresentação do resultados de simulação das malhas de controle de *droop* bidirecional foi adotado os valores em pu da potência do inversor de interligação, da flutuação da tensão da sub-rede CC e da flutuação da sub-rede CA.

O valor base para a potência do inversor de interligação em pu é a potência nominal, o valor base para a flutuação da tensão da sub-rede CC é a flutuação máxima

da tensão da sub-rede CC e o valor base para a flutuação da frequência da sub-rede CA é a flutuação máxima da frequência da sub-rede CA. Como descrito na equação (63)

$$P_{II_{pu}} = \frac{P_{II}}{30.000}$$
$$\delta V_{e_{pu}} = \frac{\delta V_e}{72.5} \quad (63)$$
$$\delta f_{pu} = \delta f$$

A TABELA 14 relaciona a configuração da microrrede híbrida com a correspondente estratégia de controle do inversor de interligação (II), que contempla um modo de operação mais uma malha de controle *droop*. As configurações 1 e 4 foram agrupadas, pois, a operação do inversor de interligação junto aos demais elementos da microrrede híbrida apresentam a mesma dinâmica, assim como, as configurações 2 e 3.

TABELA 14 – ESTRATÉGIAS DE CONTROLE DO INVERSOR DE INTERLIGAÇÃO PARA AS DIFERENTES CONFIGURAÇÕES DA MICRORREDE HÍBRIDA

N° Config. Microrrede	Formador Sub-rede CA	Formador Sub-rede CC	Modo de Operação (II)	Controle *Droop* Inversor de interligação
1 e 4	RED	II	VCM CC	CC
2 e 3	RED	GD_2	CCM CC	Inverso CC
5	GD_1	II	VCM CC	Bidirecional de Tensão CC
6	II	GD_2	VCM	Bidirecional de Tensão CA
7	GD_1	GD_2	CCM	Bidirecional de Corrente

FONTE: O autor (2023).

Na simulação da microrrede híbrida nas configurações de 1 a 4 a tensão da sub-rede CA é formada pela rede elétrica de distribuição e, com isso, a frequência é constante. O inversor de interligação opera no modo VCM CC com controle *droop* CC formando a tensão da sub-rede CC. Enquanto a fonte GD_2 opera no modo CCM CC com o *droop* inverso CC. Portanto, espera-se um compartilhamento da carga CC de 50 %, entre o inversor de interligação e a fonte GD_2.

Nas configurações 2 e 3, o inversor de interligação opera no modo CCM CC com o *droop* inverso CC e a fonte GD_2 no VCM CC com o *droop* CC. Como ocorre na configuração 1 e 4, espera-se um compartilhamento da carga CC de 50 %, entre o inversor de interligação e a fonte GD_2.

A estratégia de controle que contempla o modo de operação VCM CC mais o controle *droop* bidirecional de tensão CC é utilizado na configuração 5 da microrrede híbrida. Enquanto, o modo de operação VCM mais o controle *droop* bidirecional de tensão CA é aplicado na configuração 6 da microrrede híbrida. Como característica, o *droop* bidirecional de tensão CC e o *droop* bidirecional de tensão CA apresentam uma condição de interdependência entre as variáveis de entrada e o compartilhamento de carga não segue uma condição proporcional.

Na simulação da microrrede hibrida na configuração 7, o inversor de interligação utiliza a malha de controle *droop* de corrente, diferente do *droop* bidirecional de tensão, há uma interdependência linear entre das variáveis de entrada. Dessa maneira, espera-se um compartilhamento de carga proporcional em relação a variável de erro produzida pela diferença entre a frequência da sub-rede CA e a tensão da sub-rede CC.

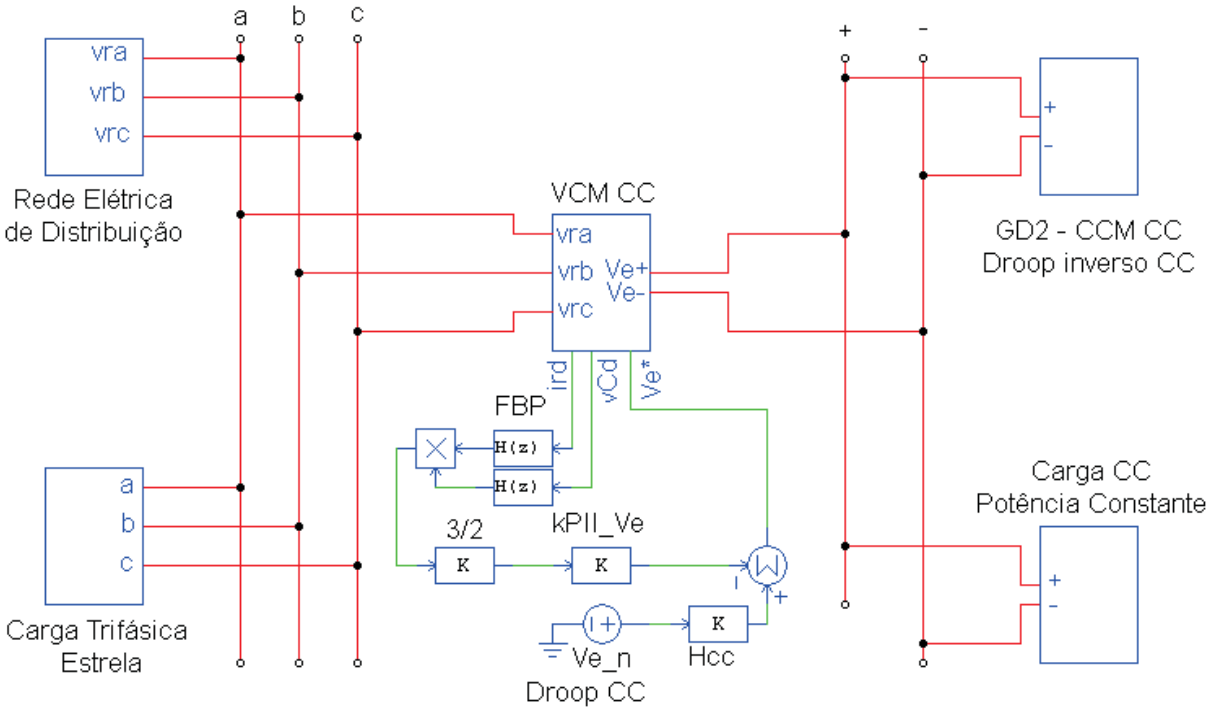
As simulações são realizadas no programa PSIM e apresentam um passo de 71,4 μs.

4.1 SIMULAÇÃO DA CONFIGURAÇÃO 1 E 4 DA MICRORREDE HÍBRIDA

A configuração 1 e 4 da microrrede híbrida é representada na FIGURA 46. A chave estática está fechada e, com isso, a sub-rede CA é formada pela rede elétrica de distribuição, o que mantém a tensão e a frequência na sub-rede CA constantes. Na sub-rede CC, a fonte GD_2 opera no CCM CC com controle *droop* inverso CC e o inversor de interligação opera no modo VCM CC com a malha de controle *droop* CC.

Para a microrrede híbrida da configuração 1 e 4, a rede elétrica de distribuição é representada por uma fonte de tensão trifásica ideal e, dessa maneira, a fonte GD_1 é suprimida, sendo que, a sub-rede CA apresenta amplitude de tensão e frequência constantes e não há compartilhamento de potência na sub-rede CA.

FIGURA 46 – CONFIGURAÇÃO 1 E 4: MICRORREDE HÍBRIDA PARA SIMULAÇÃO



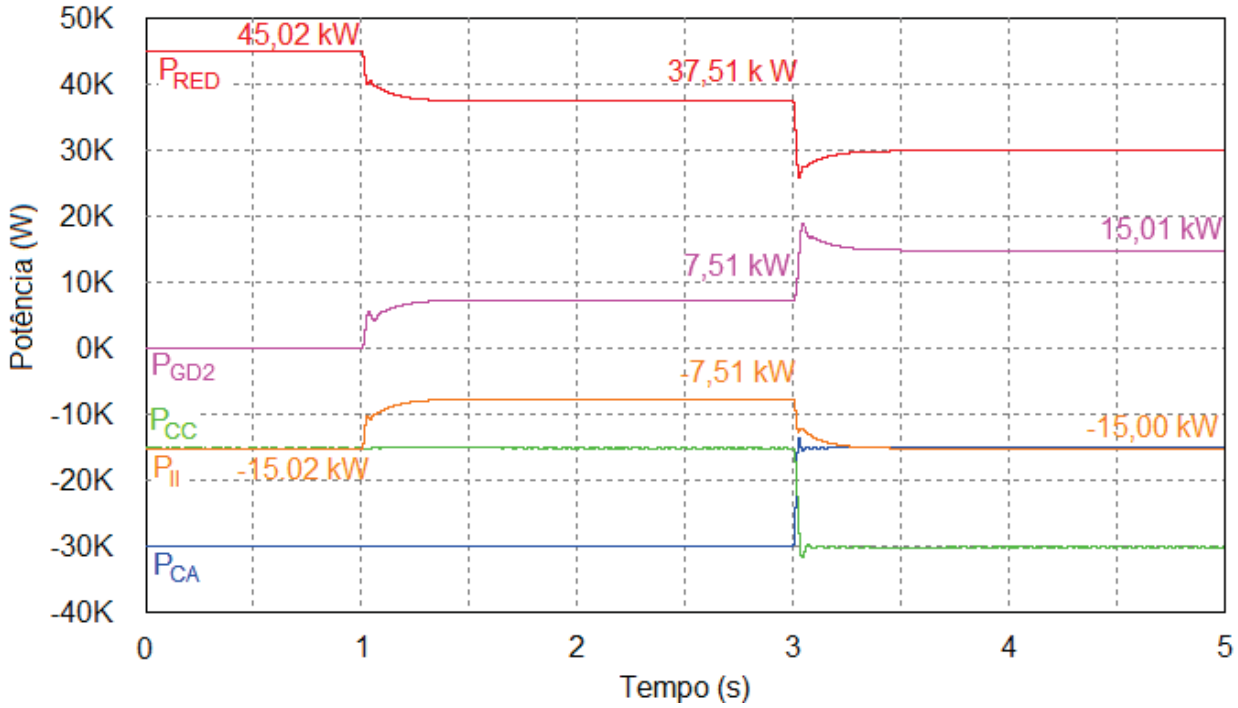
FONTE: O autor (2023).

O objetivo do inversor de interligação no VCM CC com controle *droop* CC (P_{II}-V_e) é formar a tensão da sub-rede CC e compartilhar potência com a fonte GD_2. A rede elétrica de distribuição alimenta a carga CA e fornece potência ao inversor de interligação, enquanto, a carga CC é compartilhada entre o inversor de interligação e a fonte GD_2. Como a tensão é constante na sub-rede CA, a carga CA é representada apenas por resistores, e o modelo da carga CC de potência constante é definido no Apêndice 11.

A FIGURA 47 apresenta o resultado de simulação para a configuração 1 e 4 da microrrede híbrida considerando a potência da rede elétrica de distribuição (P_{RED}), a potência do inversor de interligação (P_{II}), a potência da fonte GD_2 (P_{GD2}) e o consumo das cargas CA (P_{CA}) e CC (P_{CC}).

A rede elétrica de distribuição está formando a sub-rede CA, alimenta a carga CA de 30 kW e fornece potência para a carga CC de 15 kW, através do inversor de interligação. O inversor de interligação é o formador da sub-rede CC e o valor negativo da sua potência indica que a direção é da sub-rede CA para a sub-rede CC. Embora, a potência da carga CC é de 15 kW, há perdas no resistor de amortecimento do filtro LCL e, dessa maneira, P_{RED} = 45,02 kW e P_{II} = 15,02 kW.

FIGURA 47 – RESULTADO DE SIMULAÇÃO 1 PARA CONFIGURAÇÃO 1 E 4



FONTE: O autor (2023).

No instante 1s, a fonte GD_2 é ligada e, após um rápido transitório, há o compartilhamento da potência da carga CC entre o inversor de interligação e a fonte GD_2.

O pequeno desvio na potência da fonte GD_2 é ocasionado pelo desvio na potência do inversor de interligação que, por sua vez, é calculada desconsiderando as perdas no resistor de amortecimento do filtro LCL. Esse pequeno desvio é observado nas demais simulações da microrrede híbrida e não ultrapassa o valor de 100 W.

Quando a fonte GD_2 é ligada, ela assume, rapidamente, parte da carga CC, com isso, há uma redução da potência do inversor de interligação e a malha de controle *droop* CC determina um novo valor, maior que o anterior, para tensão da sub-rede CC. Com o aumento da tensão da sub-rede CC a fonte GD_2 passa a injetar menos potência o que faz com que o inversor de interligação determine um novo valor de tensão e, assim, esse ciclo se repete até alcançar o ponto de equilíbrio entre a potência da fonte GD_2 e a tensão da sub-rede CC.

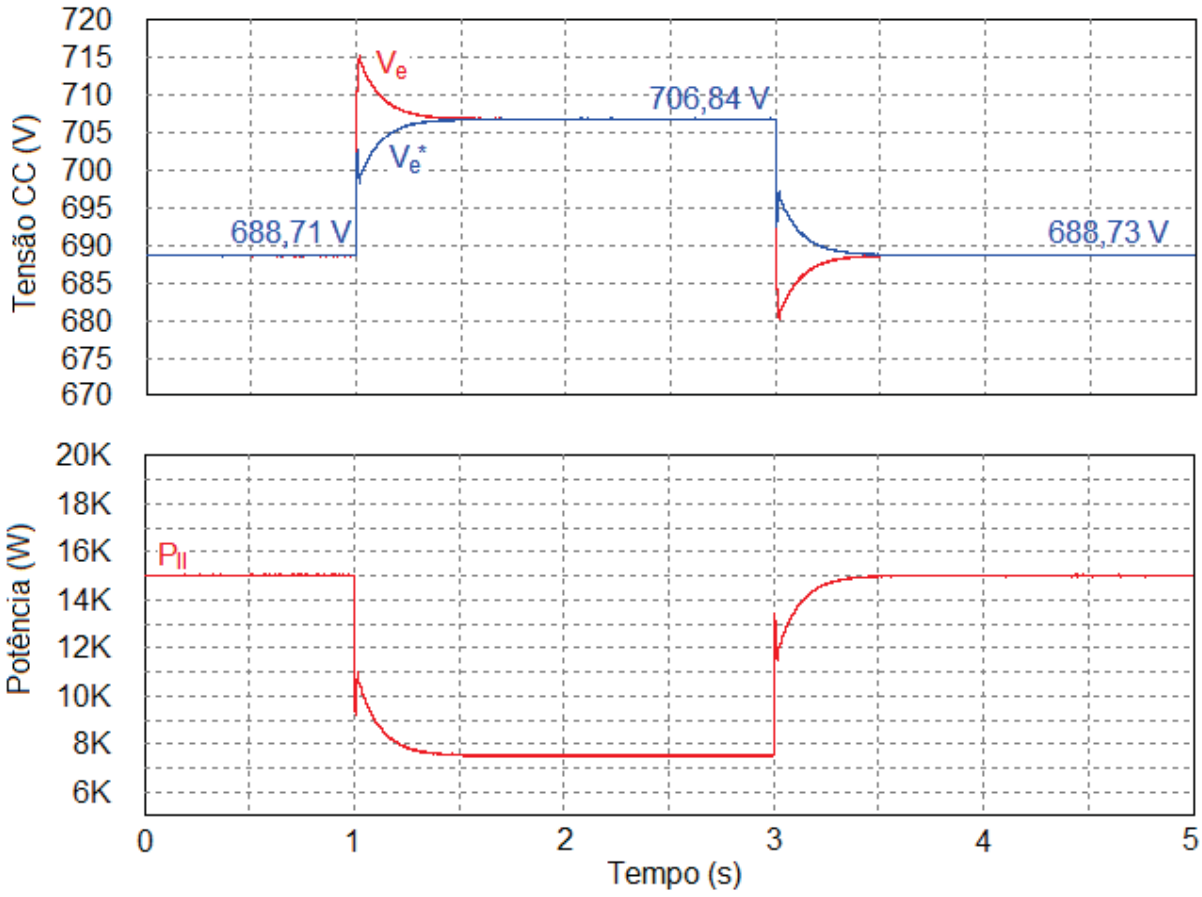
No instante 3s, a carga CC aumenta para 30 kW e a carga CA reduz para 15 kW, a rede elétrica de distribuição alimenta a carga CA e fornece, aproximadamente,

15 kW para a carga CC, através do inversor de interligação. A fonte GD_2 mantém o compartilhamento da carga CC com o inversor de interligação.

A FIGURA 48 ilustra o segundo resultado de simulação e apresenta a potência do inversor de interligação (P_{II}), a tensão CC de referência produzida pelo controle *droop* CC (V_e^*) e a tensão da sub-rede CC (V_e).

A potência do inversor de interligação define, através do controle *droop* CC, a tensão da sub-rede CC, dessa maneira, P_{II} = 15,02 kW deve produzir uma V_e^* = 688,71 V.

FIGURA 48 – RESULTADO DE SIMULAÇÃO 2 PARA CONFIGURAÇÃO 1 E 4



FONTE: O autor (2023).

Após a fonte GD_2 ser ligada, instante 1 s, a potência do inversor de interligação (P_{II}) diminui e a tensão da sub-rede CC (V_e) aumenta acima do sinal de referência (V_e^*). Após o transitório, a tensão da sub-rede CC passa a seguir a referência e entra em regime, sendo que, esse transitório é causado pela malha de controle *droop* CC atuando sobre a malha de controle de tensão CC. Elementos

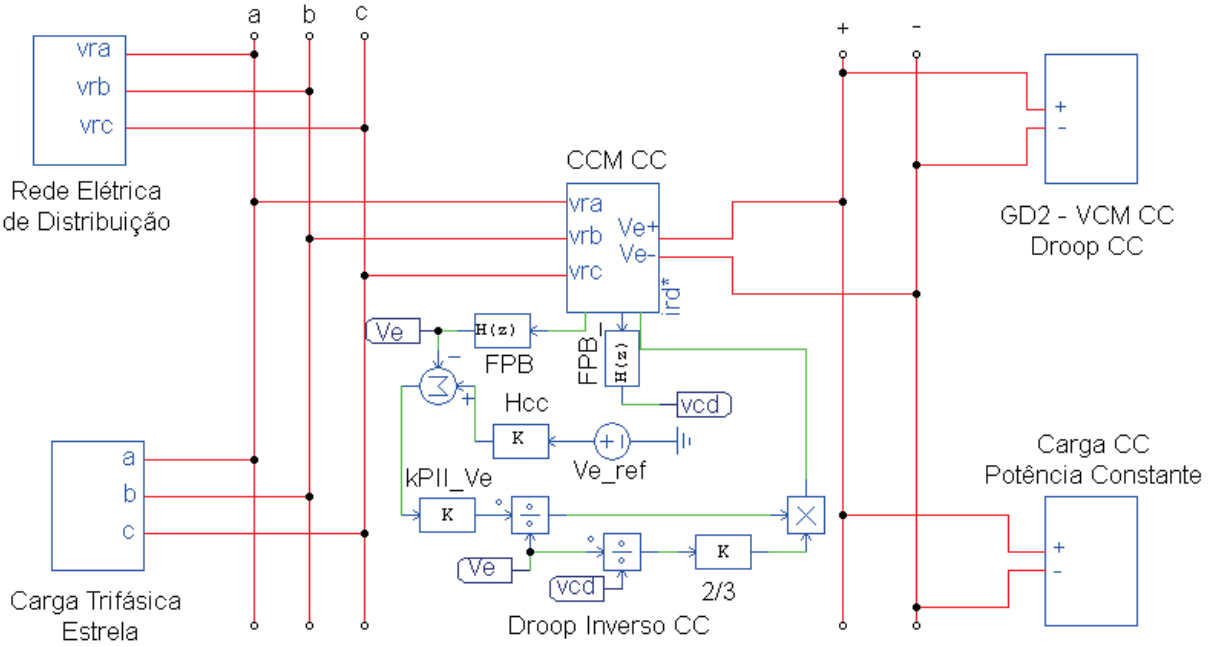
presentes em ambas as malhas, como filtro passa-baixa na malha de *droop* (FPB) e, principalmente, o compensador de tensão CC (G_{cc}), implicam no tempo de resposta de, aproximadamente, 0,5 s, em contrapartida, o transitório apresenta poucas oscilações.

Para a configuração 1 e 4 da microrrede híbrida, a estratégia de controle definida para o inversor de interligação contém o modo VCM CC para formar a tensão da sub-rede CC. Complementando a estratégia de controle, a malha de controle *droop* CC é estabelecida para compartilhamento de carga com a fonte GD_2.

4.2 SIMULAÇÃO DA CONFIGURAÇÃO 2 E 3 DA MICRORREDE HÍBRIDA

A configuração 2 e 3 da microrrede híbrida é retratada na FIGURA 49, a chave estática continua fechada, como ocorre na configuração 1 e 4, e a sub-rede CA é formada pela rede elétrica de distribuição. Na sub-rede CC, a fonte GD_2 opera no VCM CC com controle *droop* CC e o inversor de interligação opera no modo CCM CC com a malha de controle *droop* inverso CC.

FIGURA 49 – CONFIGURAÇÃO 2 E 3: MICRORREDE HÍBRIDA PARA SIMULAÇÃO



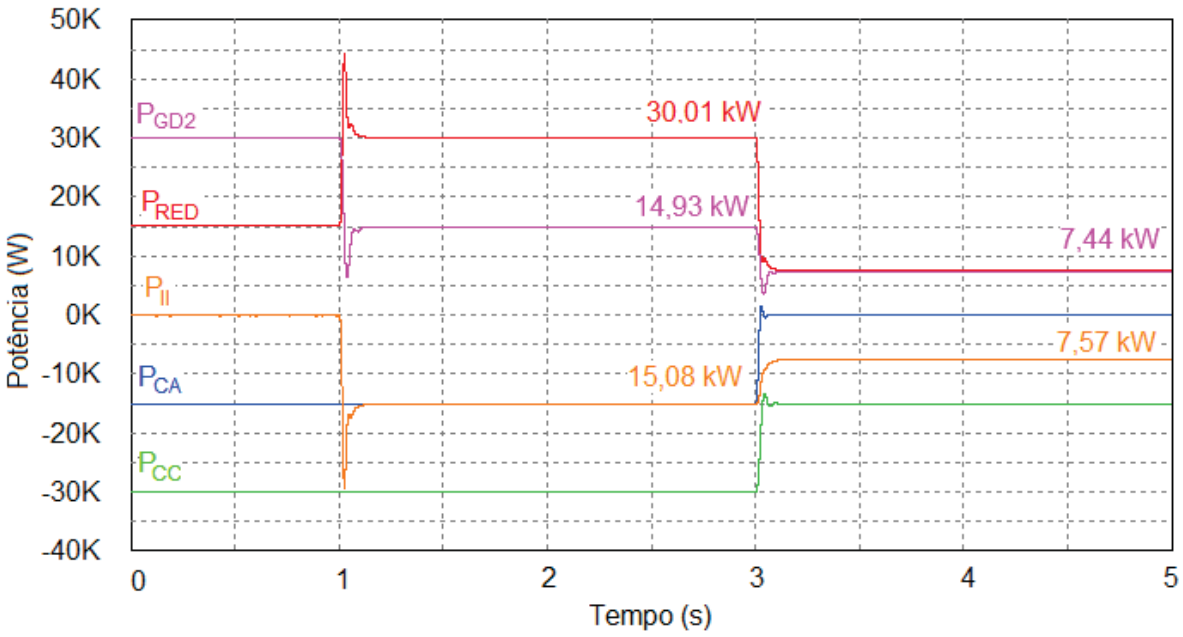
FONTE: O autor (2023).

O modelo da fonte GD_2 operando como VCM CC e com controle *droop* CC é descrito no Apêndice 11 e a malha de controle *droop* inverso CC é descrita na Seção 3.6.2. Para a microrrede híbrida da configuração 2, a fonte GD_1 é suprimida, sendo que, a sub-rede CA apresenta amplitude de tensão e frequência constantes.

O objetivo do inversor de interligação no CCM CC com controle *droop* inverso CC é compartilhar potência com a fonte GD_2 que é formadora da sub-rede CC.

A FIGURA 50 apresenta o resultado de simulação para a configuração 2 e 3 da microrrede híbrida com as curvas: potência da rede elétrica de distribuição (P_{RED}), potência do inversor de interligação (P_{II}), potência da fonte GD_2 (P_{GD2}) e potência da carga CA (P_{ca}) e da carga CC (P_{cc}).

FIGURA 50 – RESULTADO DE SIMULAÇÃO 1 PARA CONFIGURAÇÃO 2 E 3



FONTE: O autor (2023).

Inicialmente, a rede elétrica de distribuição forma a tensão da sub-rede CA e alimenta a carga CA de 15 kW, enquanto, a fonte GD_2 forma a tensão da sub-rede CC e alimenta a caga CC de 30 kW.

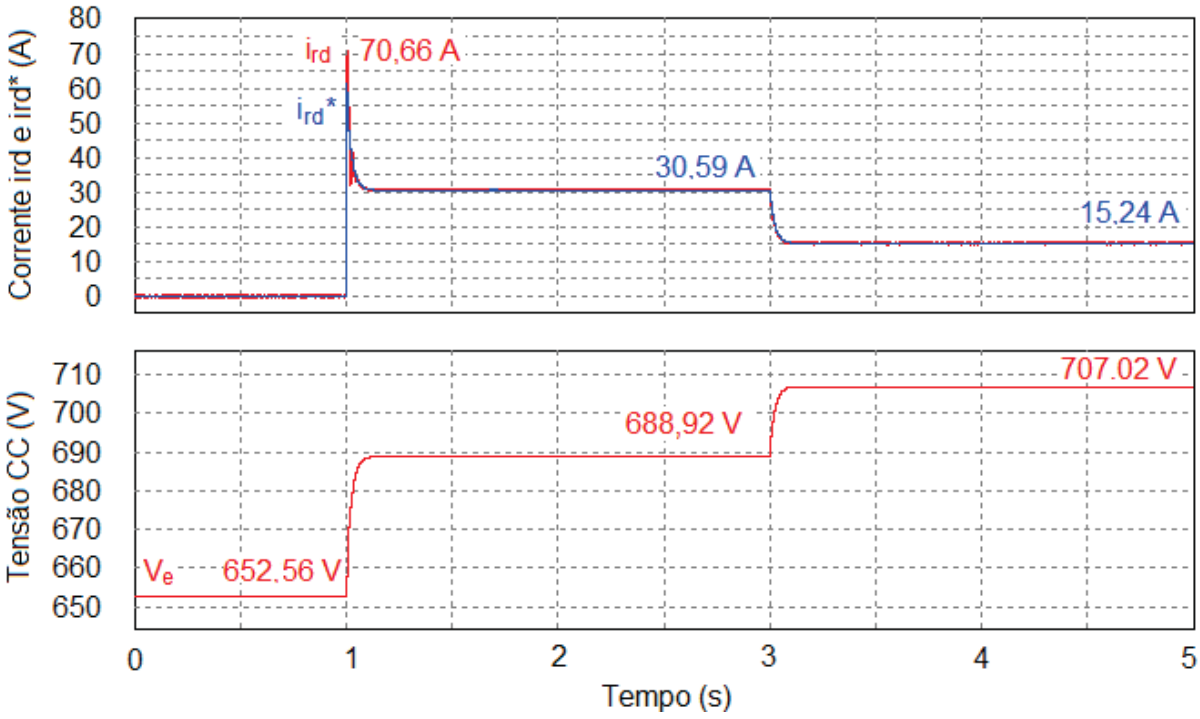
No instante 1s, a malha de controle *droop* inverso CC do inversor de interligação é ligada e, com isso, a carga CC é compartilhada entre a fonte GD_2 e o inversor de interligação.

Logo após a malha de controle *droop* inverso CC ser ligada, o inversor de interligação assume quase que 100% da carga CC, o que faz com que a fonte GD_2 diminua a sua potência e aumente a tensão da sub-rede CC. A malha de controle *droop* inverso CC identifica o aumento da tensão da sub-rede CC e, com isso, o inversor de interligação reduz parte da oferta de potência para sub-rede CC. Por consequência, a fonte GD_2 assume essa redução da potência e determina um novo valor, menor que o anterior, para a tensão sub-rede CC. Por fim, esse ciclo se repete até o ponto de equilíbrio da potência do inversor de interligação e a tensão da sub-rede CC.

No instante 3s, a carga CC diminui para 15 kW e a carga CA é desligada. Após um rápido transitório, a carga CC é compartilhada pelo inversor de interligação e a fonte GD_2.

A FIGURA 51 apresenta a corrente do inversor de interligação de coordenada ‘d’ (i_{rd}), a referência da corrente de coordenada ‘d’ (i_{rd}^*) e a tensão da sub-rede CC (V_e). A potência do inversor de interligação é definida pela equação (45), para a potência nominal de 30 kW, a corrente i_{rd} = 61,23 A e representa o valor de pico da corrente do lado CA do inversor de interligação.

FIGURA 51 – RESULTADO DE SIMULAÇÃO 2 PARA CONFIGURAÇÃO 2 E 3



FONTE: O autor (2023).

Inicialmente, a fonte GD_2 está alimentando a carga de 30 kW e, com isso, a tensão da sub-rede CC é de 652,56 V, ou seja, assume o valor máximo da flutuação da tensão da sub-rede CC igual a -72.5 V.

No instante 1s, a malha de controle *droop* inverso CC é ligada e o inversor de interligação assume a maior parte da carga CC. A tensão da sub-rede CC estabiliza em 688,92 V, uma flutuação de, aproximadamente, metade do valor nominal, o que define uma corrente i_{rd} = 30,59 A para produzir uma potência de 15 kW.

A ocorrência do sobressinal de corrente, quando a malha de controle *droop* inverso CC é ligada não desestabiliza a microrrede híbrida, sendo que, o projeto da malha de controle de corrente para o inversor de interligação prevê um sobressinal na resposta ao degrau. Os detalhes do projeto da malha de controle de corrente e a reposta ao degrau estão, respectivamente, detalhados na Seção 3.3 e no Apêndice 9.

Após o transitório que tem início no instante 3 s, a sub-rede CC alcança o ponto de equilíbrio, a tensão da sub-rede CC é igual a 707,02 V, comparando com a tensão nominal de 725 V, há uma flutuação de, aproximadamente, 18 V, o que define uma corrente i_{rd} = 15,24 A, que produz uma P_{II} = 7,57 kW.

Para a simulação da microrrede híbrida, a estratégia de controle adotada para o inversor de interligação transfere a potência entre as sub-redes através do como de operação CCM CC e compartilha potência com a FD GD_2 através do uso da malha de controle *droop* inverso CC.

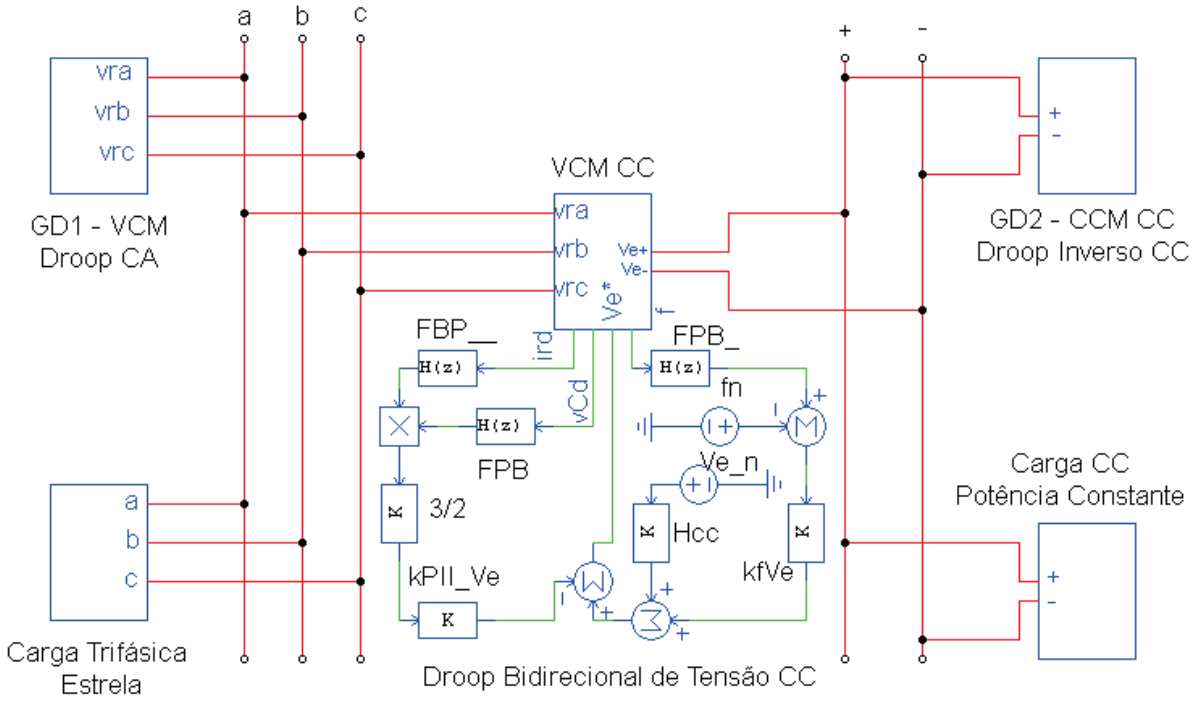
4.3 SIMULAÇÃO DA CONFIGURAÇÃO 5 DA MICRORREDE HÍBRIDA

Na configuração 5 da microrrede híbrida representada na FIGURA 52, a chave estática está aberta e, com isso, a sub-rede CA é formada pela fonte GD_1 operado no VCM e com *droop* CA. O inversor de interligação forma a tensão da sub-rede CC operando no modo VCM CC com a malha de controle *droop* bidirecional de tensão CC (P_{II},f-V_e) e a fonte GD_2 opera no CCM CC com controle *droop* inverso CC.

O modelo da fonte GD_1 operando como VCM e com controle *droop* CA e o modelo da fonte GD_2 operando como CCM CC e com *droop* inverso CC são descritos no Apêndice 11. A carga CC é modelada com potência constante e a carga CA é apenas formada por resistores, pois a tensão da sub-rede CA é constante. O modelo

da carga CC com potência constante é descrito no Apêndice 11. A malha de controle *droop* bidirecional de tensão CC é descrita na Seção 3.6.3.

FIGURA 52 – CONFIGURAÇÃO 5: MICRORREDE HÍBRIDA PARA SIMULAÇÃO



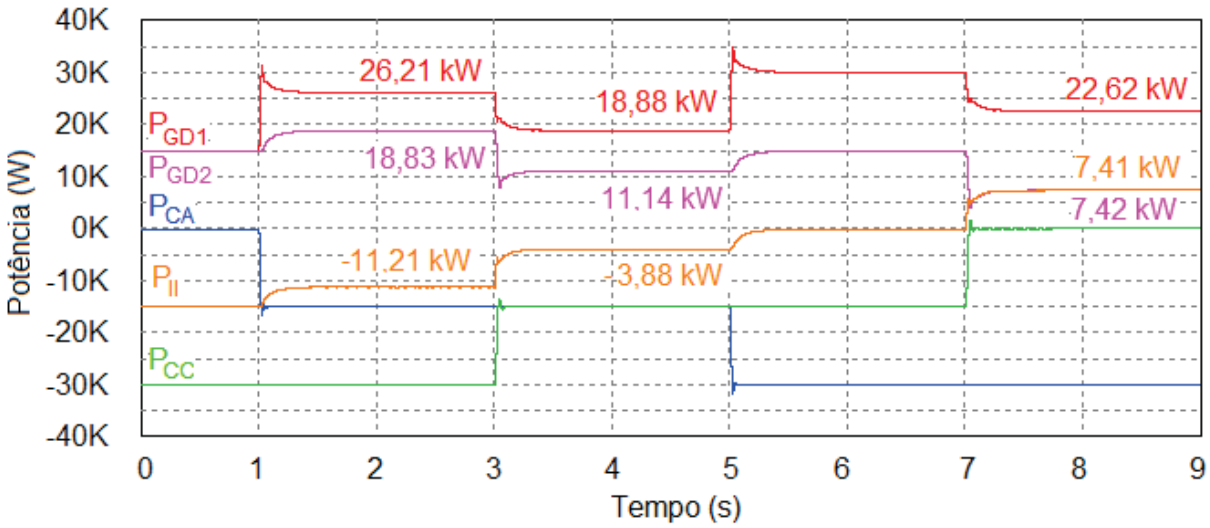
FONTE: O autor (2023).

O objetivo do inversor de interligação no VCM CC com controle *droop* bidirecional de tensão CC é formar a tensão da sub-rede CC e compartilhar potência com a fonte GD_2 e com a fonte GD_1, dependendo da condição de carga de ambas as sub-redes.

A FIGURA 53 apresenta o resultado da simulação para a configuração 5 da microrrede híbrida considerando a potência da fonte GD_1 (P_{GD1}), a potência do inversor de interligação (P_{II}), a potência da fonte GD_2 (P_{GD2}) e a potência da carga CC (P_{cc}) e da carga CA (P_{ca}).

No intervalo de tempo de 0 a 5 s, a potência do inversor de interligação é negativa, ou seja, a direção da potência é da sub-rede CA para a sub-rede CC. No intervalo 5 s a 7 s, a potência do inversor de interligação é zero e no intervalo 7 s a 9 s, o sinal da potência do inversor de interligação é positiva e, assim, a direção da potência é da sub-rede CC para a sub-rede CA.

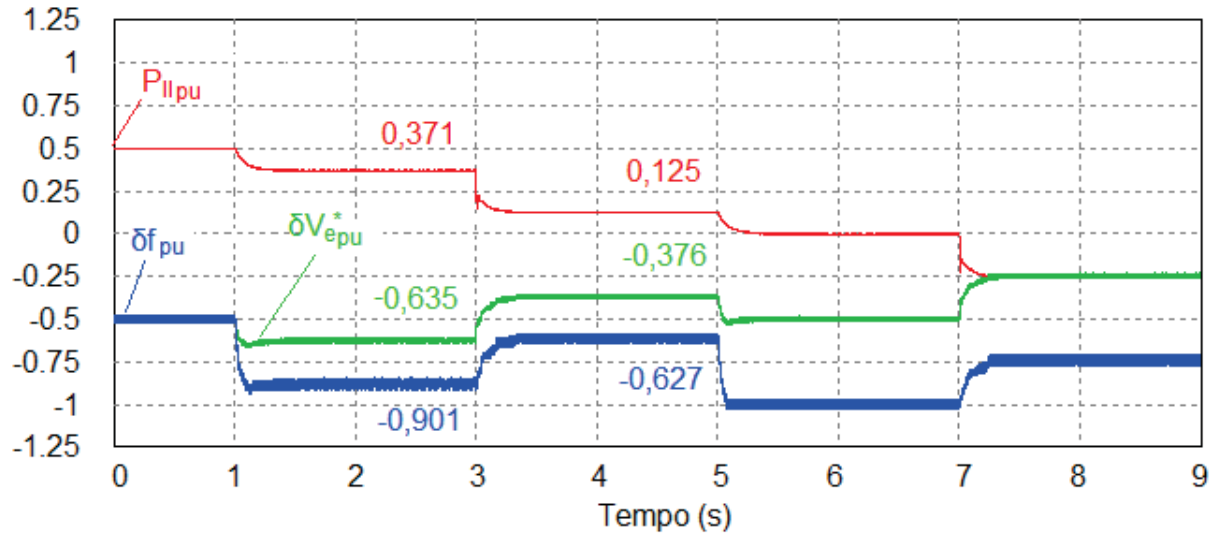
FIGURA 53 – RESULTADO DE SIMULAÇÃO 1 PARA CONFIGURAÇÃO 5



FONTE: O autor (2023).

A FIGURA 54 apresenta o valor por unidade (pu) da potência do inversor de interligação (P_{II_pu}), a flutuação em pu da frequência (δf_{pu}) da sub-rede CA e a flutuação em pu da tensão da sub-rede CC (δV_{e_pu}). Os valores em pu são definidos pela equação (63).

FIGURA 54 – RESULTADO DE SIMULAÇÃO 2 PARA CONFIGURAÇÃO 5



FONTE: O autor (2023).

Pelos índices de *droop* definidos no projeto da malha de controle *droop* bidirecional de tensão CC, a flutuação da frequência da sub-rede CA e a potência do

inversor de interligação determinam a flutuação da tensão da sub-rede CC em uma fração de 50 % cada, como indicado na equação (64).

$$\delta V_{e_pu} = -P_{II_{pu}} 0{,}5 + \delta f_{pu} 0.5 \quad (64)$$

A conexão de cargas na sub-rede CA produz uma flutuação negativa da frequência e define uma potência do inversor de interligação de sinal negativo. Para a conexão de cargas na sub-rede CC a flutuação da frequência é negativa e a potência do inverso de interligação positiva, ou seja, apresentam sinais opostos.

Como exemplo, no instante em que uma carga de potência igual a 1 pu é conectada na sub-rede CA, ela produz uma flutuação inicial da frequência de -1 pu e uma potência do inversor de interligação de -0,5 pu. Dessa maneira, pela equação (64), a flutuação de tensão CC é de -0,25 pu.

Essa condição de carga CA ocorre no intervalo 7 s a 9 s e, após atingir o equilíbrio do compartilhamento da carga, a flutuação da frequência assume -0,75 pu, a potência do inversor de interligação assume -0,25 pu, e a flutuação da tensão CC é mantida em -0,25 pu.

Enquanto, na conexão de uma carga CC de 1 pu, após compartilhamento da carga entre o inversor de interligação e a fonte GD_2, a potência do inversor de interligação assume 0,5 pu. Como a fonte GD_1 está fornecendo potência ao inversor de interligação, ela produz uma flutuação da frequência de -0,5 pu. Dessa maneira, através da equação (64) obtém-se uma flutuação da tensão CC de -0,5 pu, sendo que, essa condição de carga CC ocorre no intervalo entre 0 e 1 s.

Pela flutuação de tensão obtida no intervalo de 0 a 1 s conclui-se que a relação da flutuação de tensão CC com a carga CC é de ½ e, pelo intervalo de 7 s a 9 s, a relação da flutuação de tensão CC com a carga CA é de ¼. O que caracteriza a condição de interdependência da potência do inversor de interligação com a frequência da sub-rede CA produz uma resposta não linear com cargas de potência iguais em ambas as sub-redes, como ilustrado no intervalo 5 s a 7 s.

A equação (65) apresenta a flutuação da tensão CC em pu através da potência da carga CA (P_{ca_pu}) e da carga CC (P_{cc_pu}), ambas em pu. Os valores em pu da potência da carga CA e da potência da carga CC tem como valor base a potência nominal de 30 kW e considerando que a potência na carga é negativa.

$$\delta V_{e_pu} = P_{ca_{pu}} 0{,}25 + P_{CC_{pu}} 0.5 \tag{65}$$

A partir do valor da flutuação da tensão da sub-rede CC, a potência da fonte GD_2 é definida pela equação (66), onde, P_{GD2_n} é a potência nominal da fonte GD_2 e é igual a 30 kW.

$$P_{GD2} = \delta V_{e_{pu}}(-P_{GD2_n}) \tag{66}$$

Definindo-se a potência da fonte GD_2, a potência da fonte GD_1 e do inversor de interligação são definidas pela equação (67).

$$\begin{aligned} P_{GD1} &= -P_{CA} - P_{CC} - P_{GD2} \\ P_{II} &= -P_{CC} - P_{GD2} \end{aligned} \tag{67}$$

Cada intervalo de simulação apresenta uma condição de carga da microrrede híbrida como descrito:

No intervalo 0 a 1 s, uma carga de 30 kW é conectada à sub-rede CC e não há carga na sub-rede CA. O inversor de interligação, através da potência fornecida pela fonte GD_1, compartilha a carga CC com a fonte GD_2. A flutuação da frequência da sub-rede CA é de -0,5 pu e a potência do inversor de interligação de 0,5 pu, o que produz uma flutuação de -0,5 pu na tensão da sub-rede CC.

No intervalo entre 1 s e 3 s, uma carga CA de 15 kW é conectada na sub-rede CA e a carga de 30 kW permanece conectada à sub-rede CC. A conexão da carga CA faz com que a frequência da sub-rede CA diminua e, com isso, o inversor de interligação reduz a tensão da sub-rede CC. Por consequência, a fonte GD_2 aumenta a potência injetada na sub-rede CC, o inversor de interligação e a fonte GD_1 diminuem a participação no compartilhamento da carga CC.

No intervalo entre 3 s e 5 s, ambas as cargas, CC e CA, são de 15 kW. Com a redução da carga CC em 15 kW, a tensão da sub-rede CC e a frequências da sub-rede CA aumentam pela redução da potência do inversor de interligação. Com o aumento da tensão da sub-rede CC, a fonte GD_2 ajusta a sua potência para atingir um novo ponto de equilíbrio, o que produz uma redução de, aproximadamente, 7,5 kW na potência do inversor de interligação e da fonte GD_2.

No intervalo entre 5 s e 7 s, a carga CC permanece com 15 kW e a carga CA aumenta para 30 kW. O inversor de interligação não transfere mais potência da sub-rede CA para a sub-rede CC e as fonte GD_1 e GD_2 mantém, respectivamente, as cargas CA e CC.

No intervalo entre 7 s e 9 s, a carga CC é zero e a carga CA é de 30 kW. Com a redução da carga CC e a manutenção da carga CA, a flutuação da frequência da sub-rede CA e a tensão da sub-rede CC diminuem. O inversor de interligação passa a absorver 0,25 pu da potência nominal da fonte GD_2 e a compartilhar a carga CA com a fonte GD_1.

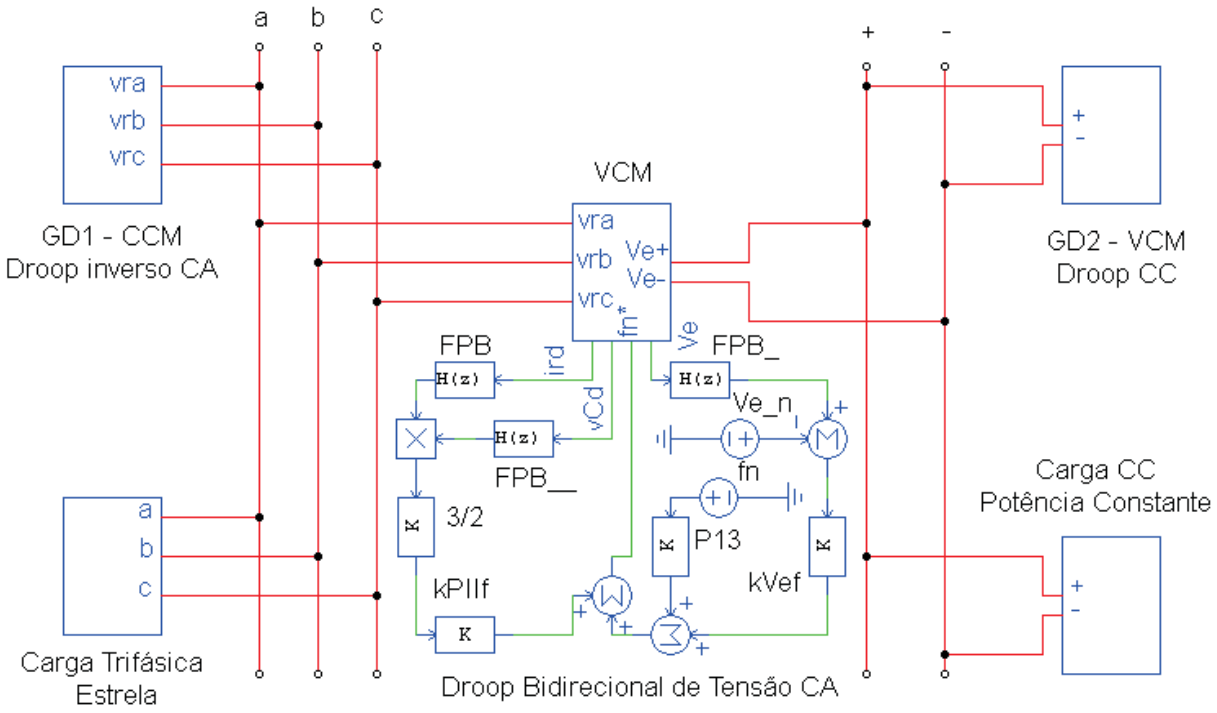
Para a configuração 5 da microrrede híbrida, o inversor de interligação apresenta a capacidade de formar a tensão da sub-rede CC e compartilhar carga considerando a condição de ambas as sub-redes. Essa característica contribui para o equilíbrio de potência e estabilidade da microrrede híbrida de maneira mais eficiente do que ocorre com o *droop* CC. Dessa maneira, a malha de controle *droop* de tensão CC pode ser considerada uma boa alternativa quando o inversor de interligação está operando como formador da sub-rede CC (VCM CC).

4.4 SIMULAÇÃO DA CONFIGURAÇÃO 6 DA MICRORREDE HÍBRIDA

Na configuração 6 da microrrede híbrida representada na FIGURA 55, o inversor de interligação forma a tensão da sub-rede CA e, para isso, opera no VCM com *droop* bidirecional de tensão CA (P_{II},V_e-f). A fonte GD_1 está operando no modo CCM com *droop* inverso CA e a fonte GD_2 forma a tensão da sub-rede CC operando no VCM CC com *droop* CC.

O objetivo do inversor de interligação no VCM com controle *droop* bidirecional de tensão CA é formar a tensão da sub-rede CA e compartilhar potência com a fonte GD_2 e com a fonte GD_1, dependendo da condição de carga de ambas as sub-redes.

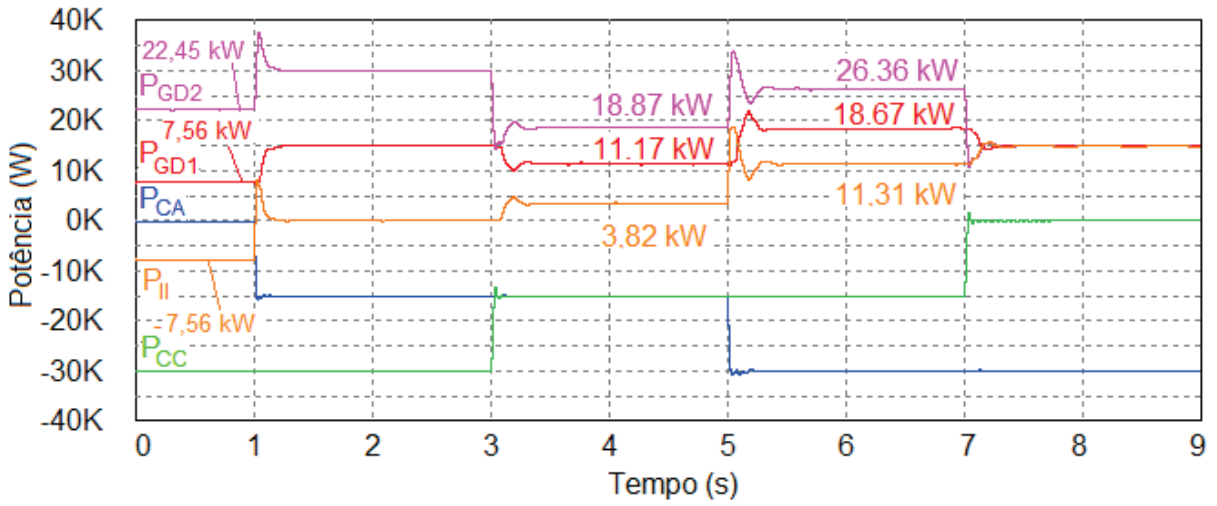
FIGURA 55 – CONFIGURAÇÃO 6: MICRORREDE HÍBRIDA PARA SIMULAÇÃO



FONTE: O autor (2023).

A FIGURA 56 apresenta o resultado da simulação para a configuração 6 da microrrede híbrida considerando a potência da fonte GD_1 (P_{GD1}), a potência do inversor de interligação (P_{II}), a potência da fonte GD_2 (P_{GD2}) e a potência da carga CC (P_{cc}) e da carga CA (P_{ca}).

FIGURA 56 – RESULTADO DE SIMULAÇÃO 1 PARA CONFIGURAÇÃO 6

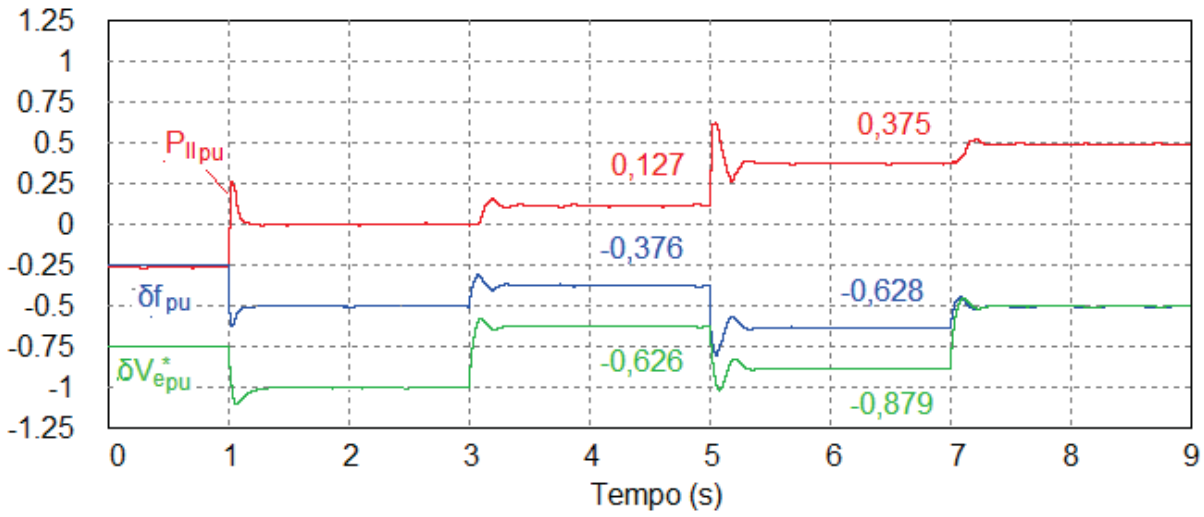


FONTE: O autor (2023).

Nos intervalos de tempo 3 a 9 s, a potência do inversor de interligação é positiva, ou seja, a direção da potência é da sub-rede CC para a sub-rede CA. No intervalo 1 s a 3 s, a potência do inversor de interligação é zero e no intervalo 0 s a 1 s, a potência do inversor de interligação é negativa e, assim, a direção é da sub-rede CA para a sub-rede CC.

A FIGURA 60 apresenta o valor por unidade (pu) da potência do inversor de interligação (P_{II_pu}), a flutuação em pu da frequência (δf_{pu}) da sub-rede CA e a flutuação em pu da tensão da sub-rede CC (δV_{e_pu}).

FIGURA 57 – RESULTADO DE SIMULAÇÃO 2 PARA CONFIGURAÇÃO 6



FONTE: O autor (2023).

Pelos índices de *droop,* do projeto da malha de controle *droop* bidirecional de tensão CA, a flutuação da tensão da sub-rede CC e a potência do inversor de interligação determinam a flutuação da frequência da sub-rede CA em uma fração de 50 % cada, como indicado na equação (68).

$$\delta f_{pu} = -P_{II_{pu}} 0{,}5 + \delta V_{e_{pu}} 0.5 \tag{68}$$

A conexão de cargas na sub-rede CC produz uma flutuação negativa da tensão CC e define uma potência do inversor de interligação de sinal negativo. Para a conexão de cargas na sub-rede CA, a flutuação da tensão CC é negativa e a potência do inverso de interligação positiva, ou seja, apresentam sinais opostos.

Como exemplo, no instante em que uma carga de potência igual a 1 pu é conectada na sub-rede CC, ela produz uma flutuação inicial da tensão CC de -1 pu e uma flutuação da frequência de -0,5 pu. O inversor de interligação passa a absorver a potência produzida pela fonte GD_1 e, após compartilhamento da carga CC, assume o valor de -0,25 pu. Dessa maneira, pela equação (68), a flutuação da frequência, ,após o sistema entra em equilíbrio, é de -0,25 pu. Essa condição de carga CC ocorre no intervalo 0 s a 1 s.

Enquanto, no instante de conexão de uma carga CA de 1 pu, a potência do inversor de interligação assume 0,5 pu após realizar o compartilhamento da carga com a fonte GD_1. E a flutuação da tensão CC apresenta um valor de -0,5 pu. Dessa maneira, através da equação (68) obtém-se uma flutuação da frequência de -0,5 pu, sendo que, essa condição de carga CA ocorre no intervalo entre 7 s e 9 s.

Como ocorre com o *droop* bidirecional de tensão CC. A condição de interdependência entre as variáveis de entrada da malha de controle *droop* bidirecional de tensão CA produz uma resposta não linear com cargas de potência iguais em ambas as sub-redes, como ilustrado no intervalo 5 s a 7 s.

Pela flutuação da frequência obtida no intervalo de 0 a 1 s conclui-se que a relação da flutuação da frequência com a carga CC é de ¼ e, pelo intervalo de 7 s a 9 s, a relação da flutuação da frequência com a carga CA é de ½. Como representado na equação (69), onde, P_{ca_pu} e P_{ca_pu} são as potências na carga em pu, utilizando como base a potência nomina das cargas de 30 kW e considerando que a potência na carga é negativa.

$$\delta f_{_pu} = P_{ca_{pu}} 0{,}5 + P_{CC_{pu}} 0.25 \tag{69}$$

A partir do valor da flutuação da frequência da sub-rede CA, a potência da fonte GD_1 é definida pela equação (70), onde, P_{GD1_n} é a potência nominal da fonte GD_1 e é igual a 30 kW.

$$P_{GD1} = \delta f_{pu}(-P_{GD1_n}) \tag{70}$$

Definindo-se a potência da fonte GD_1, a potência da fonte GD_2 e do inversor de interligação são definidas pela equação (71).

$$P_{GD2} = -P_{CA} - P_{CC} - P_{GD1}$$
$$P_{II} = -P_{CA} - P_{GD1} \quad (71)$$

Cada intervalo de simulação apresenta uma condição de carga da microrrede híbrida como descrito:

No intervalo 0 a 1 s, uma carga de 30 kW é conectada à sub-rede CC e não há carga na sub-rede CA. O inversor de interligação, através da potência fornecida pela fonte GD_1 compartilha A carga CC com a fonte GD_2.

No intervalo entre 1 s e 3 s, uma carga CA de 15 kW é conectada na sub-rede CA e a carga de 30 kW permanece conectada à sub-rede CC. A potência do inversor de interligação é igual a zero e a fonte GD_2 e a fonte GD_1 assumem, respectivamente, a carga CC e a carga CA.

No intervalo entre 3 s e 5 s, ambas as cargas, CC e CA, são de 15 kW. Com a redução da carga CC em 15 kW, o inversor de interligação passa a injetar potência de 0,127 pu na sub-rede CA o que contribui com 0,25 pu da potência da carga CA.

No intervalo entre 5 s e 7 s, a carga CC permanece com 15 kW e a carga CA aumenta para 30 kW. O inversor de interligação aumenta a sua potência para 0,375 pu e passa a contribuir com a carga CA na mesma proporção.

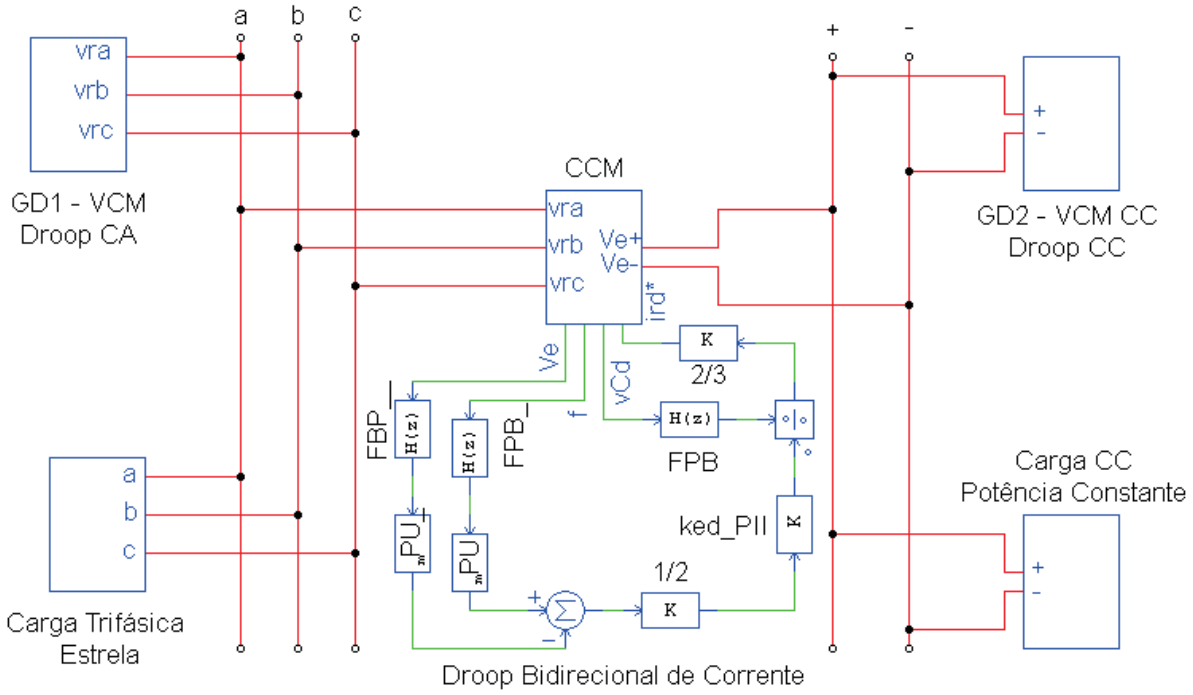
No intervalo entre 7 s e 9 s, a carga CC é zero e a carga CA é de 30 kW. Com a redução da carga CC e a manutenção da carga CA. O inversor de interligação passa a fornecer uma potência de 0,5 pu e, com isso, compartilha a carga CA com a fonte GD_1 em uma fração de 50 %.

Para a configuração 6 da microrrede híbrida, o inversor de interligação apresenta a capacidade de formar a tensão da sub-rede CA e compartilhar carga considerando a condição de ambas as sub-redes. Essa característica contribui para o equilíbrio de potência e estabilidade da microrrede híbrida de maneira mais eficiente do que ocorre com o uso do *droop* CA. Dessa maneira, a malha de controle *droop* de tensão CA pode ser considerada uma boa alternativa quando o inversor de interligação está operando como formador da sub-rede CA (VCM).

4.5 SIMULAÇÃO DA CONFIGURAÇÃO 7 DA MICRORREDE HÍBRIDA

A configuração 7 da microrrede híbrida é ilustrada na FIGURA 52 FIGURA 58. A sub-rede CA é formada pela fonte GD_1 operado no VCM e com *droop* CA e a fonte GD_2 opera no VCM CC com *droop* CC, para formar a tensão da sub-rede CC. O inversor de interligação conecta ambas as sub-redes e opera no modo CCM com a malha de controle *droop* bidirecional de corrente (f,V_e-P_{II}).

FIGURA 58 – CONFIGURAÇÃO 7: MICRORREDE HÍBRIDA PARA SIMULAÇÃO

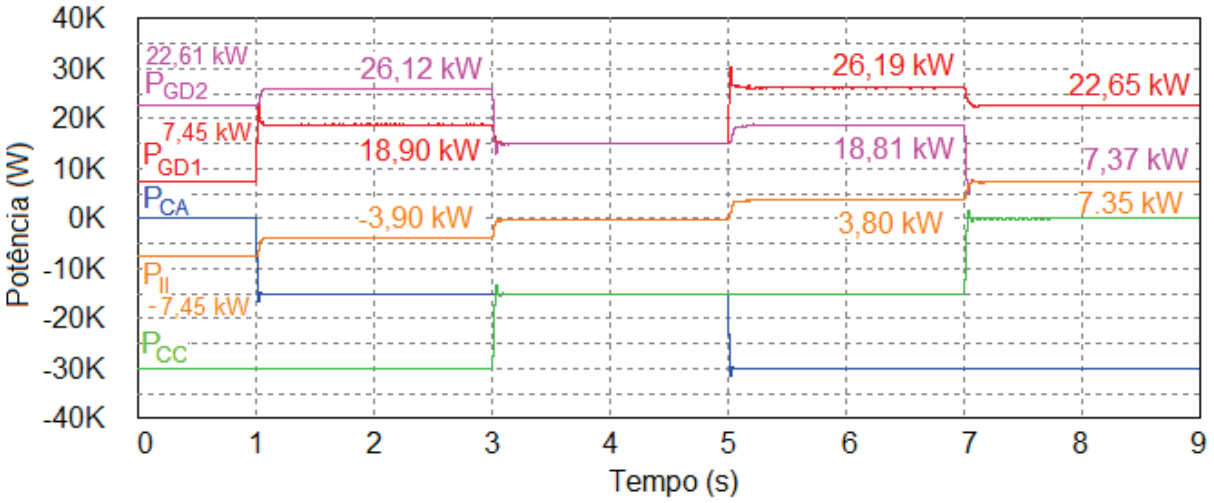


FONTE: O autor (2023).

O objetivo do inversor de interligação no CCM com controle *droop* bidirecional de corrente é controlar a potência entre as sub-redes considerando o estado de carga da sub-rede CA e da sub-rede CC. A variável de erro (e_d) é expressa em por unidade (pu) e é gerada através da diferença da frequência da sub-rede CA e da tensão da sub-rede CC. A flutuação da frequência da sub-rede CA e a flutuação da tensão da sub-rede CC determinam o valor do erro em uma fração de 0,5 pu cada.

A FIGURA 59 apresenta o resultado da simulação para a configuração 7 da microrrede híbrida considerando a potência da fonte GD_1 (P_{GD1}), a potência do inversor de interligação (P_{II}), a potência da fonte GD_2 (P_{GD2}) e a potência das carga CC (P_{cc}) e CA (P_{ca}).

FIGURA 59 – RESULTADOS DE SIMULAÇÃO 1 PARA CONFIGURAÇÃO 7

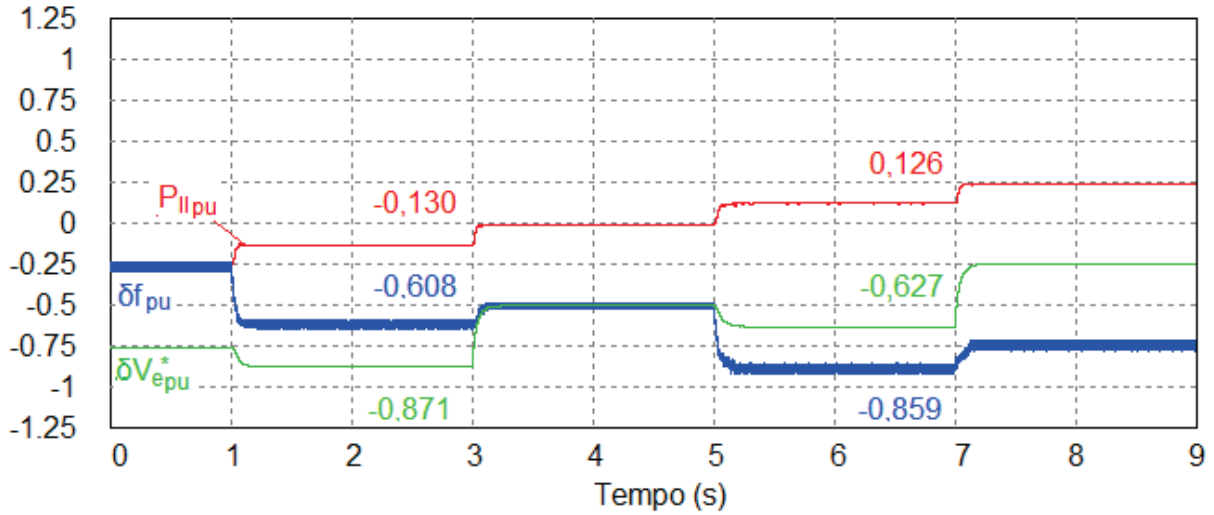


FONTE: O autor (2023).

Nos intervalos de tempo 5 a 9 s, a potência do inversor de interligação é positiva, ou seja, a direção da potência é da sub-rede CC para a sub-rede CA. No intervalo 3 s a 5 s, a potência do inversor de interligação é zero e nos intervalos 0 a 3 s, o sinal da potência do inversor de interligação é negativo e, assim, a direção é da sub-rede CA para a sub-rede CC.

A FIGURA 60 apresenta o valor por unidade (pu) a potência do inversor de interligação (P_{ll_pu}), a flutuação em pu da frequência (δf_{pu}) da sub-rede CA e a flutuação em pu da tensão da sub-rede CC (δV_{e_pu}).

FIGURA 60 – RESULTADOS DE SIMULAÇÃO 2 PARA CONFIGURAÇÃO 7



FONTE: O autor (2023).

Os índices de *droop* estabelecidos no projeto da malha de controle *droop* bidirecional de corrente determinam a potência do inversor de interligação para uma fração de 50 % da flutuação da tensão da sub-rede CC e 50% da flutuação da frequência da sub-rede CA, como indicado na equação (72).

$$P_{II_{pu}} = -\delta f_{pu} 0{,}5 + \delta V_{e_{pu}} 0.5 \tag{72}$$

A conexão de cargas na sub-rede CC produz uma flutuação negativa da tensão CC e, como inversor de interligação irá drenar potência da sub-rede CA, a flutuação da frequência é negativa. A recíproca é verdadeira, a conexão de uma carga na sub-rede CA faz com que a flutuação da frequência CA seja negativa e, consequentemente, a flutuação da tensão da sub-rede CC é negativa. Portanto, em ambas as condições de carga os sinais são iguais.

Como exemplo, no instante em que uma carga CC de potência igual a 1 pu é conectada na sub-rede CC, ela produz uma flutuação inicial da tensão CC de -1 pu. O inversor de interligação transfere potência da sub-rede CA para a sub-rede CC e, após compartilhar a carga com a fonte GD_2, a flutuação da frequência e a flutuação estabiliza em -0,25 pu e a flutuação da tensão CC em -0,75 pu . Dessa maneira, pela equação (72), a potência do inversor de interligação é de -0,25 pu. Essa condição de carga CC ocorre no intervalo 0 s a 1 s.

Processo semelhante ocorre no intervalo entre 7 s e 9 s. Com a presença da carga CA de 1 pu, após compartilhamento da carga, a flutuação da frequência é de -0,75 pu, a flutuação da tensão CC é de -0,25 pu e, com isso, a potência do inversor de interligação é de 0,25 pu.

Diferente do que ocorre na malha de controle *droop* bidirecional de tensão CC e de tensão CA, a relação entre a carga CA e a carga CC com a potência do inversor de interligação são iguais.

Para os índices de *droop* definidos no projeto da microrrede hibrida é igual a ¼, como representado na equação (73), onde, P_{ca_pu} e P_{ca_pu} são as potências na carga em pu, utilizando como base a potência nomina das cargas de 30 kW e considerando que a potência na carga é negativa.

$$P_{II_{pu}} = P_{cc_{pu}} 0{,}25 - P_{ca_{pu}} 0.25 \tag{73}$$

A partir do valor da potência do inversor de interligação, a potência da fonte GD_2 e a potência da fonte GD_1 são definidas pela equação (74).

$$\begin{aligned} P_{GD2} &= -P_{CC} + P_{II} \\ P_{GD1} &= -P_{CA} - P_{CC} - P_{GD2} \end{aligned} \tag{74}$$

Cada intervalo de simulação apresenta uma condição de carga da microrrede híbrida como descrito:

No instante 0 s a 1 s, somente há uma carga de 30 kW conectada à sub-rede CC. A fonte GD_1 está formando a sub-rede CA e a fonte GD_2 está formando a tensão da sub-rede CC. A carga CA é compartilhada entre a fonte GD_1 e o inversor de interligação em uma razão, respectivamente, de -0,25 pu para -0,75 pu.

No intervalo 1 s a 3 s, a carga CC é de 30 kW e a carga CA de 15 kW. Como a carga CC é maior que a carga CA, a direção da potência do inversor de interligação é da sub-rede CA para a sub-rede CC.

No instante 3 s a 5 s, a carga CC diminui para 15 kW e a carga CA permanece com 15 kW. Dessa maneira, há um equilíbrio entre a flutuação da frequência e a flutuação da tensão CC e o inversor de interligação não transfere potência entre as sub-redes.

No instante 5 s a 7 s, a carga CA aumenta para 30 kW e a carga CC permanece igual a 15 kW. Essa condição é semelhante ao instante 1 s a 3 s, mas, como a carga da sub-rede CA é maior que a carga da sub-rede CC, o inversor de interligação muda a direção da sua potência e passa a compartilhar a carga CA com a fonte GD_1.

No intervalo 7 s a 9 s, a carga CA permanece igual a 30 kW e não há carga CC. O inversor de interligação contribui com, aproximadamente, 0,25 pu da carga CA.

Para a configuração 7 da microrrede híbrida, o inversor de interligação apresenta a capacidade de compartilhar potência com as fontes que formam a sub-rede CC e a sub-rede CA. Essa característica contribui para o equilíbrio de potência e estabilidade da microrrede híbrida utilizando como critério as condições de carga de ambas as sub-redes.

4.6 CONSIDERAÇÕES FINAIS DO CAPÍTULO

As simulações de cada uma das configurações da microrrede híbrida permitiu a validação das malhas de controle *droop,* projetadas na Seção 3.6, para o protótipo do inversor de interligação.

Para as configurações 1, 2, 3 e 4 que são caracterizadas pela conexão da microrrede híbrida com a rede elétrica de distribuição, o inversor de interligação pode assumir o papel de formador da sub-rede CC (VCM CC) ou alimentador da sub-rede CC (CCM CC). Em ambos os modos de operação, o inversor de interligação pode compartilhar a carga com a fonte GD_2 através das malhas de controle *droop* CC e *droop* inverso CC.

Para as configurações 5, 6 e 7, a microrrede híbrida está desconectada da rede elétrica de distribuição e, com isso, o inversor de interligação ou a fonte GD_1 devem formar a tensão da sub-rede CA. As malhas de controle *droop* bidirecional são implementadas para cada um dos modos do inversor de interligação, portanto, a condição de carga da sub-rede CC e a condição de carga da sub-rede CA são consideradas para definir a direção e a magnitude da potência do inversor de interligação.

Para a configuração 5 da microrrede híbrida, o inversor de interligação é o formador da sub-rede CC com o *droop* bidirecional de tensão CC. A escolha dos índices *droop* priorizam um compartilhamento da carga CC em relação a carga CA, ou seja, a participação da potência do inversor de interligação é maior com a carga CC do que com a carga CA. Essa característica é observada nos resultados de simulação comparando a condição quando somente a carga CC está conectada com a condição quando somente a carga CA está conectada.

O oposto ocorre para a configuração 6 da microrrede híbrida, onde, o inversor de interligação como formador da sub-rede CA e com o *droop* bidirecional de tensão CA. A escolha dos índices de *droop* definem uma participação da potência do inversor de interligação maior com a carga CA do que com a carga CC.

Para a configuração 7 da microrrede híbrida, o inversor de interligação opera no CCM e com controle *droop* bidirecional de corrente. Os índices *droop* definidos em projeto não priorizam o tipo da carga com a direção da potência do inversor de interligação da sub-rede que apresenta a menor carga para a maior carga.

Os índices de *dropp* para a malha de *droop* CC e *droop* inverso CC, aplicadas à fonte GD_2 e ao inversor de interligação são definidos para um compartilhamento de 50 % da carga. Durante os resultados de simulação são observados pequenos desvios, que não ultrapassam 100 W, esses desvios são causados pelas perdas no resistor de amortecimento do filtro LCL que não são considerados no cálculo da potência do inversor de interligação do lado CC. Os mesmos desvios são identificados na aplicação do controle *droop* bidirecional ao inversor de interligação.

5 PROJETO E IMPLEMENTAÇÃO DO PROTÓTIPO DO INVERSOR DE INTERLIGAÇÃO

O objetivo deste Capítulo é descrever as etapas do projeto e construção do protótipo do inversor de interligação. Inicialmente, os circuito de potência são definidos, sendo eles, o módulo de potência o filtro LCL e os circuito de pré-carga. Em seguida, os circuitos de aquisição e condicionamento de sinais e de controle são descritos junto as placas de circuito impresso denominadas placa de sensores e placa de controle. Por fim, a programação do microcontrolador é representada através de fluxograma que descrevem as diferentes estratégias de controle do inversor de interligação propostas neste trabalho.

5.1 PROJETO DO PROTÓTIPO INVERSOR DE INTERLIGAÇÃO

O protótipo do inversor de interligação foi planejado levando em consideração as características elétricas da microrrede híbrida em desenvolvimento no prédio do Departamento de Engenharia Elétrica (DELT) da Universidade Federal do Paraná. O diagrama que representa a microrrede híbrida do DELT foi apresentado no Capítulo 1, em particular, na FIGURA 3, e suas características elétricas estão listadas na TABELA 15.

TABELA 15 – CARACTERÍSTICAS ELÉTRICAS MICRORREDE HÍBRIDA DO DELT

Parâmetro	Valor
Tensão de Linha Sub-rede CA	400 V
Tensão de Fase Sub-rede CA	230,94 V
Frequência da Sub-rede CA	60 Hz
Tensão da Sub-rede CC	725 V

FONTE: O autor (2023).

Através dos dados da TABELA 15 foi definido o módulo de potência utilizado na construção do protótipo do inversor de interligação. Como principais características, o módulo de potência contém seis interruptores dispostos em uma ponte trifásica, circuito de acionamento dos interruptores (*drives*), filtro capacitivo do lado CC e sensores de corrente em cada uma das fases para controle e proteção. A

escolha por um módulo comercial tem o objetivo de reduzir o tempo de construção do protótipo.

Após a definição do módulo de potência, os parâmetros do filtro LCL são determinados e os indutores, capacitores e resistores de amortecimento são adquiridos seguindo as especificações elétricas do projeto. A fabricação dos indutores é realizada por empresa especializada seguindo os dados de projeto que foi fornecido a ela.

Para conexão do inversor de interligação com a microrrede híbrida são projetados circuitos de pré-carga considerando o tempo de carregamento do capacitor de filtro do lado CC. Os contatores realizam a conexão e, posterior, desconexão de resistores para que a corrente de carga do capacitor do filtro seja limitada. A pré-carga do inversor de interligação é realizada pela sub-rede CA quando operando no VCM CC e pela sub-rede CC quando operando no VCM, CCM, CCM CC.

Para obter o sinal da corrente do indutor do lado da rede (L_r) e da tensão do capacitor do filtro LCL (C_f) é desenvolvida uma placa de circuito de sensores que realiza a aquisição e transmissão dos sinais de corrente e tensão e que é denominada como placa de sensores na FIGURA 61. Os sensores têm como sinal de saída a corrente para minimizar interferências eletromagnéticas. Esses sinais são enviados para a placa de controle onde são transformados em sinais de tensão, filtrados e condicionados para a conversor analógico-digital

O microcontrolador é definido para o projeto levando em consideração capacidade de processamento, presença de bibliotecas específicas e número de entradas do conversor AD.

Além da presença do microcontrolador para processar os sinais provenientes dos sensores, a placa de controle contém os circuitos de condicionamento, a fonte simétrica de ± 15 V e concentra a comunicação com o módulo de potência, com a placa de sensores e com o controlador lógico programável (CLP).

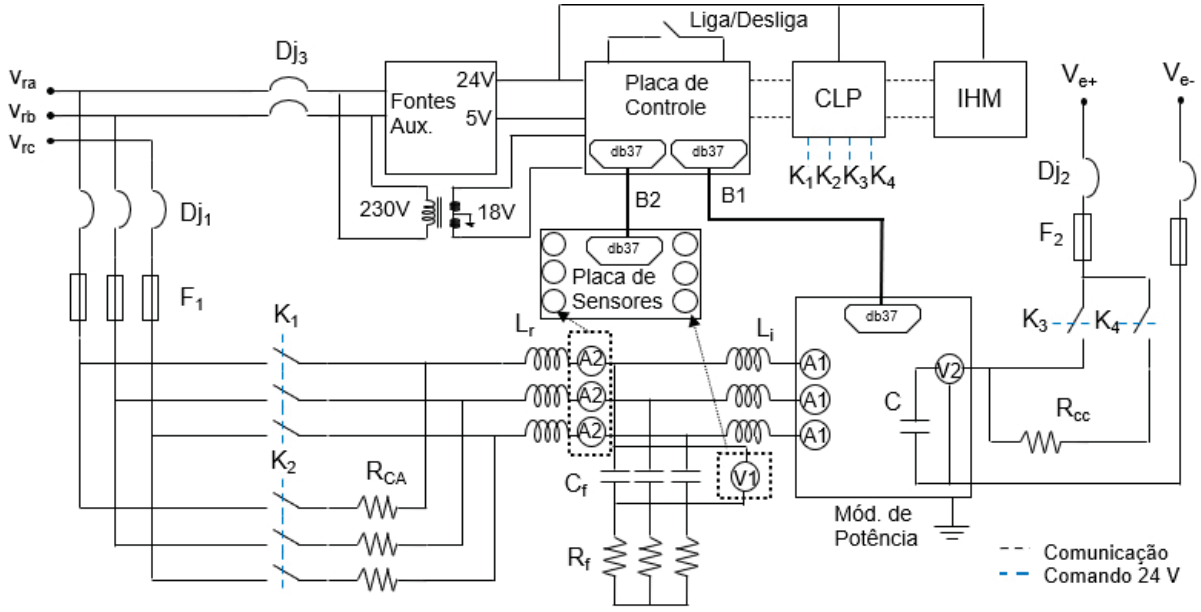
O CLP é aplicado ao projeto com o objetivo de estabelecer a comunicação do inversor de interligação com outros elementos da microrrede híbrida utilizando protocolos padronizados na indústria, como o Profinet, por exemplo. Além disso, o CLP realiza o controle dos contatores do circuito de pré-carga e apresenta uma interface homem-máquina (IHM) para exibir informações ou permitir ações na operação do inversor de interligação. Para este trabalho a comunicação do CLP não

será implementada ao protótipo do inversor de interligação, dessa forma, a função do CLP fica restrita e acionar os contatores de pré-carga.

Por fim, para alimentar todos os circuitos presentes no protótipo do inversor de interligação são adotadas fontes auxiliares.

Na FIGURA 61 está o diagrama esquemático do protótipo do inversor de interligação, sendo que, os elementos representados são: circuitos de pré-carga, fontes auxiliares, módulo de potência, filtro LCL, placa de controle, placa de sensores, controlador lógico programável (CLP), fusíveis, disjuntores e interface homem máquina (IHM).

FIGURA 61 – DIAGRAMA ESQUEMÁTICO DO PROTÓTIPO DO INVERSOR DE INTERLIGAÇÃO



FONTE: O autor (2023).

Os disjuntores de proteção e seccionamento do circuito são identificados como Dj_1, Dj_2 e Dj_3, os fusíveis de proteção como F_1 e F_2, os contadores do circuito de pré-carga de K_1, K_2, K_3 e K_4 e os resistores de pré-carga como R_{ca} e R_{cc}.

Na placa de sensores, os sensores de corrente do indutor do lado da rede L_r são identificados como A_2 e os sensores de tensão dos capacitores do filtro LCL como V_1. Os sensores de corrente do módulo de potência são identificados como A_1 e o sensor de tensão do filtro capacitivo do lado CC como V_2.

A conexão da placa de sensores com a placa de controle é realizada através do barramento B_2 e a conexão da placa de controle com o módulo de potência é realizada pelo barramento B_1, ambos com conectores db37.

As fontes auxiliares geram tensões de 24 V e 5 V. A tensão de 24 V é direcionada para o módulo de potência através do barramento B_1. A fonte de 5 V alimenta o microcontrolador, circuito de condicionamento dos sinais PWM e é utilizada para gerar a tensão de 3,3 V. O transformador 230 V / 18 V é utilizado para gerar as tensões ± 15 V através de reguladores lineares presentes na placa de controle. Através do barramento B_2 a tensão simétrica ± 15 V alimenta os sensores presentes na placa de sensores. A tensão de +15 V é também utilizada no circuito de condicionamento d sinal de PWM.

O botão indicado como Liga/Desliga, quando ligado, é utilizado para habilitar as interrupções do módulo AD e iniciar o módulo PWM para comutação dos interruptores, quando desligado, o programa do microcontrolador desabilita as interrupções do conversor AD e envia um comando para que os sinais de PWM fiquem todos em nível baixo, o que faz com que os interruptores do módulo de potência permaneçam na condição aberto.

Para adequação dos sinais procedentes dos sensores são projetados circuitos de condicionamento utilizando amplificadores operacionais, sendo que, o projeto inclui um filtro anti-*alising* e circuitos isoladores (*buffer*) antes da entrada do AD do microcontrolador. Os sinais procedentes dos sensores são processados pelo microcontrolador para gerar os sinais de comando dos interruptores, para isso, o circuito de comando contém um primeiro estágio que é projetado para elevar o nível de tensão dos sinais de PWM, antes do sinal ser transmitido ao módulo de potência. Os circuitos de condicionamento e de comando estão presentes na placa de controle.

Todo o processamento dos sinais provenientes dos sensores até o comando dos interruptores é realizado pela programação do microcontrolador, sendo que, o algoritmo de controle do protótipo do inversor de interligação é baseado no desenvolvimento realizado em ambiente de simulação.

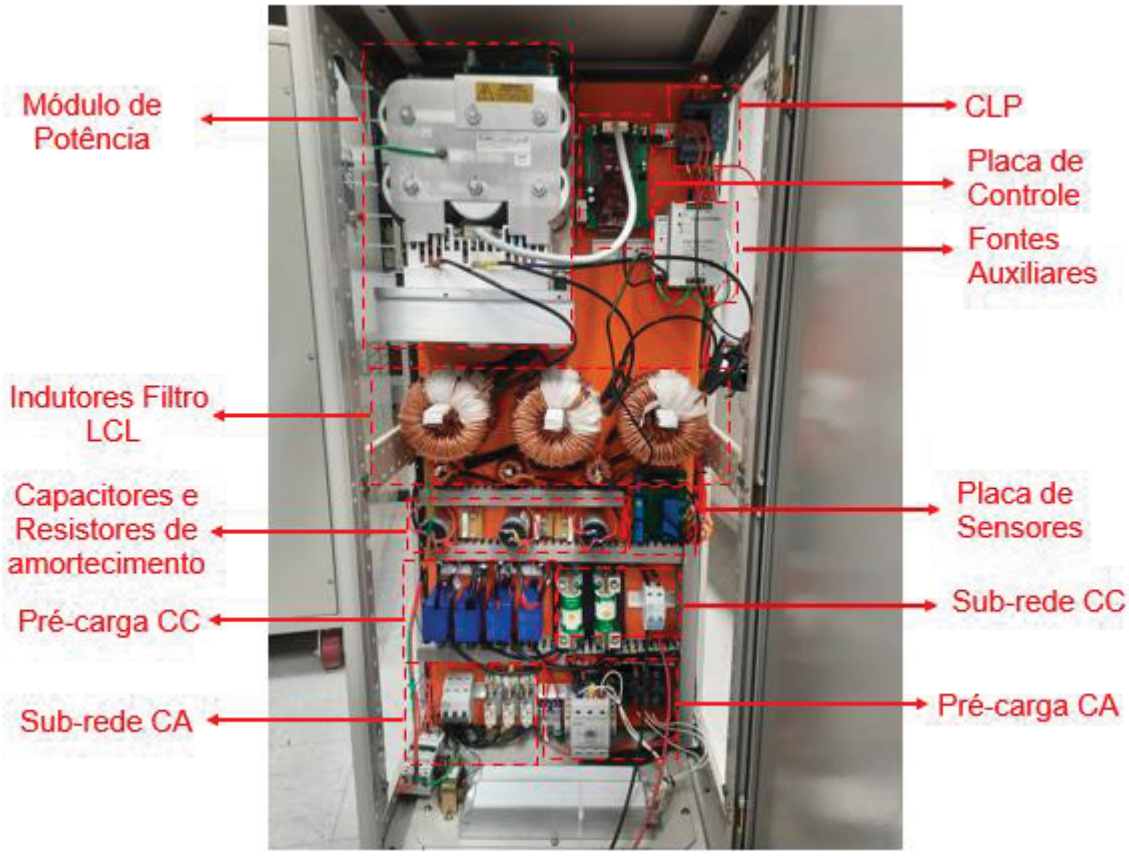
A programação do microcontrolador inclui a operação do protótipo do inversor de interligação como: CCM CC com *droop* inverso CC, VCM CC com *droop* CC, VCM CC com *droop* bidirecional de tensão CC, VCM com *droop* bidirecional de tensão CA e CCM com *droop* bidirecional de corrente. O programa do protótipo do inversor de

interligação é divido em três etapas: configuração do microcontrolador, função principal e função de interrupção do AD.

O protótipo do inversor de interligação é montado em um armário elétrico para melhorar a segurança e transporte do equipamento, após montagem, os experimentos são iniciados dentro de um ambiente controlado de laboratório.

A FIGURA 62 ilustra o protótipo do inversor de interligação após montagem dos seus componentes no armário elétrico. As dimensões do armário são 1.300 mm de altura, 600 mm de comprimento e 400 mm de profundidade.

FIGURA 62 – PROTÓTIPO DO INVERSOR DE INTERLIGAÇÃO



FONTE: O autor (2023).

Os detalhes dos circuitos de potência do protótipo do inversor de interligação estão no Apêndice 10, incluindo o módulo de potência, elementos do filtro LCL, circuitos de proteção e circuitos de pré-carga e circuitos auxiliares.

5.2 PLACA DE SENSORES E CIRCUITOS DE CONDICIONAMENTO

A Placa de Sensores foi desenvolvida com o objetivo de realizar a aquisição da tensão CA do capacitor do filtro LCL (C_f) e da corrente do indutor ao lado da rede CA (L_r). Enquanto, os circuitos de condicionamento são utilizados para adequar a tensão dos sinais analógicos aquisitados pelo conversor AD, adequar o nível alto dos sinais digitais na entrada do microcontrolador e adequar o nível alto dos sinais PWM na entrada do módulo de potência.

A tensão máxima do conversor AD e da entrada de sinal digital do microcontrolador é de 3,3 V e o nível alto digital do módulo de potência é de 15 V.

Os sinais analógicos aquisitados pelo conversor AD são: corrente CA trifásica do indutor L_r, tensão CA trifásica do capacitor C_f do filtro LCL, tensão CC do filtro C do módulo de potência e temperatura do módulo de potência.

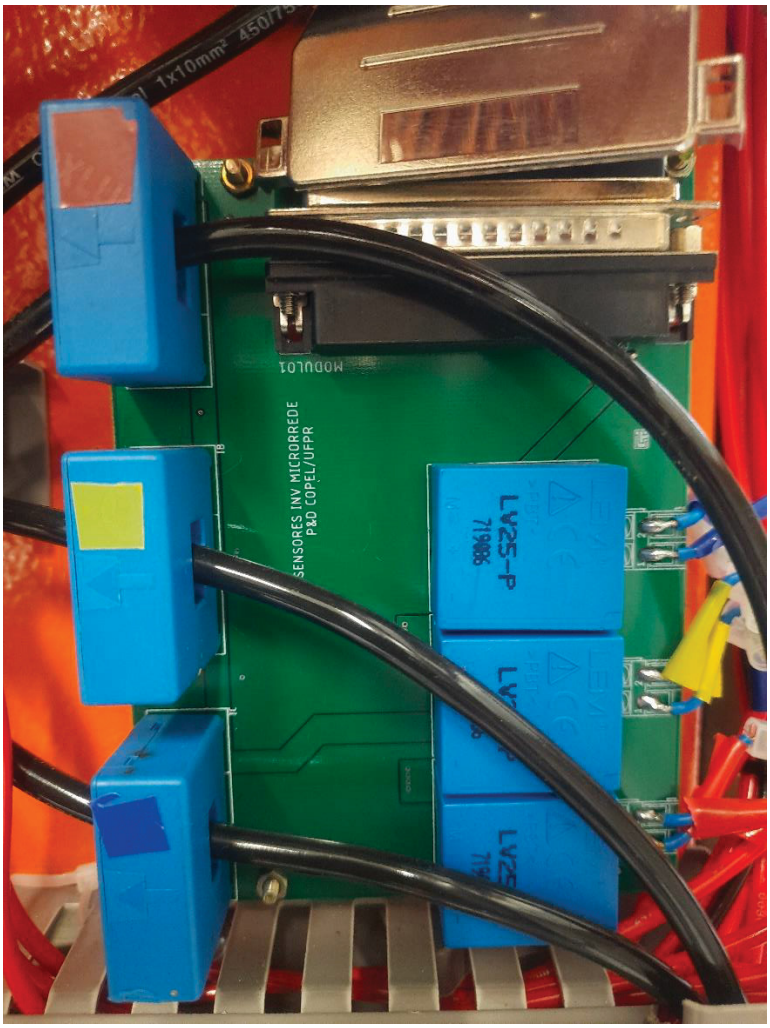
Os sinais digitais provenientes do módulo de potência são: falta de fase A, falta de fase B, falta de fase C e Alta Temperatura. Enquanto, os sinais de PWM proveniente do microcontrolador são destinados para comando dos interruptores da ponte completa presente no módulo de potência.

5.2.1 Placa de Sensores

Na FIGURA 63 está a Placa de Sensores com dimensões de 150 mm de largura e 180 mm de comprimento. A placa de sensores é alimentada pelas tensões simétricas de ±15 V e transmite os sinais de saída para a placa de controle através do conector db37 via barramento B_2, como foi representado na FIGURA 61. A transmissão dos sinais de saída dos sensores é em corrente o que evita possíveis interferência eletromagnéticas.

O sensor de tensão CA é do modelo LV 25P do fabricante LEM e pode medir tensões de até 600 V, os três sensores estão posicionados no lado direito da FIGURA 63 . O sensor de tensão LV 25P utiliza um transformador de corrente com uma malha de realimentação interna que utiliza um sensor de efeito hall.

FIGURA 63 – PLACA DE SENSORES



FONTE: O autor (2023).

O sensor de corrente, também do fabricante LEM, é do modelo LA 100-P e pode medir correntes de até 100 A. Os sensores de corrente estão posicionados no lado esquerdo da FIGURA 63 e contém a indicação do fluxo de corrente para referência positiva. O princípio da medição de corrente é o mesmo do sensor de tensão, ou seja, um transformador de corrente com uma malha de realimentação interna para proporcionar um melhor resultado.

Os sensores de corrente e tensão foram escolhidos por utilizarem uma malha de realimentação interna que proporciona uma melhor precisão nas medições, maior largura de banda, reduz as correntes de modo comum e reduz os desvios causados pela temperatura, como descrito em LEM (2020).

Para medir a tensão no capacitor do filtro LCL é utilizando o sensor de tensão é necessário transformar a tensão em um sinal de corrente proporcional através de

um resistor transdutor de tensão para corrente. A mesma necessidade de transformação ocorre com os sinais de saída dos sensores de tensão CA e de corrente, onde, um resistor transdutor de corrente para a tensão é aplicado para obter a tensão proporcional ao sinal de corrente.

O valor do resistor transdutor de corrente para tensão utilizado no sensor de tensão CA e dos resistores transdutores tensão/corrente utilizado nos sensores de corrente e de tensão CA são definidos na documentação técnica do fabricante. Para o sensor de tensão LP 25 V em LEM (2020) e para o sensor de corrente LA 100P em LEM (2018).

O ganho produzido pela relação de transformação do sensor de tensão CA (2500:1000), mais o ganho do resistor transdutor na saída do sensor (343 Ω) definem o ganho do sensor da tensão CA (k_{sv}). Para o sensor de corrente, o ganho produzido pela relação de transformação é de 1: 2000 e o resistor transdutor na saída do sensor tem valor de 23,7 Ω, dessa maneira, o ganho do sensor de corrente (k_{si}) pode ser definido.

Os detalhes projeto dos resistores transdutores utilizados junto aos sensores de tensão CA e de corrente estão descritos no Apêndice 12.

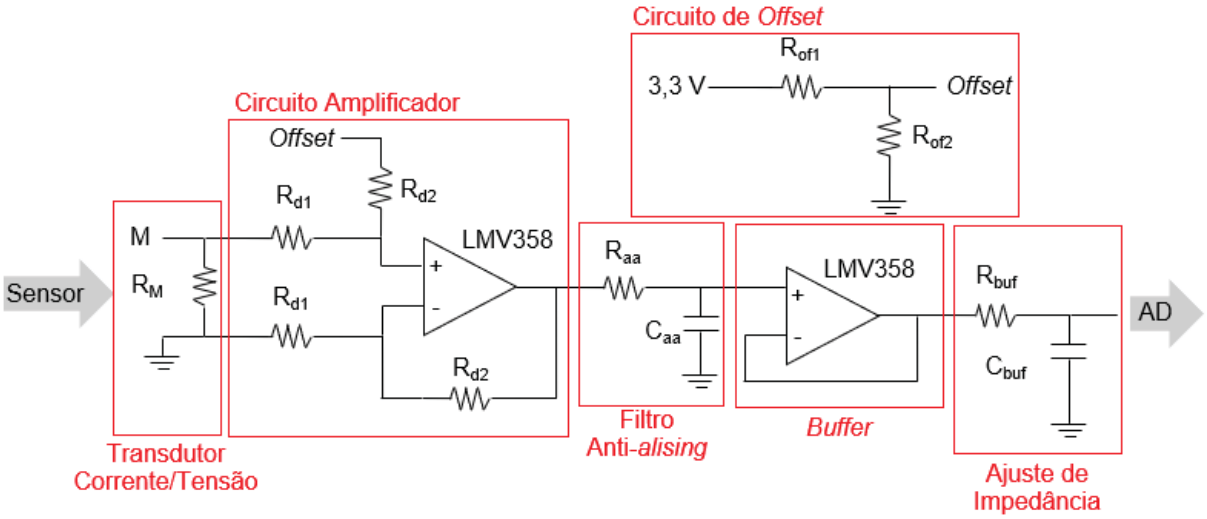
O ganho do sensor de tensão CA e o ganho do sensor de corrente são utilizados, respectivamente, para calcular o ganho de realimentação para a malha de controle de tensão CA e o ganho de realimentação da malha de controle de corrente.

5.2.2 Circuitos de Condicionamento de Sinal

O circuito de condicionamento utilizado para a aquisição dos sinais dos sensores de corrente e de tensão CA, provenientes da placa de sensores, é ilustrado na FIGURA 64.

O transdutor R_M transforma o sinal em corrente, na saída do sensor, para um sinal de tensão, o circuito amplificador acrescenta um *offset* e um ganho a esse sinal. O filtro anti-*alising* é utilizado para evitar o efeito de *alising* e o *buffer* junto ao circuito de ajuste de impedância é utilizado para ajustar a impedância na entrada do conversor AD. A TABELA 16 apresenta os valores dos resistores e capacitores que foram definidos no projeto do circuito de condicionamento de sinal descrito no Apêndice 12.

FIGURA 64 – CIRCUITO DE CONDICIONAMENTO DOS SENSORES DA PLACA DE SENSORES



FONTE: O autor (2023).

TABELA 16 – ELEMENTOS DO CIRCUITO DE CONDICIONAMENTO DOS SINAIS DA PLACA DE SENSORES

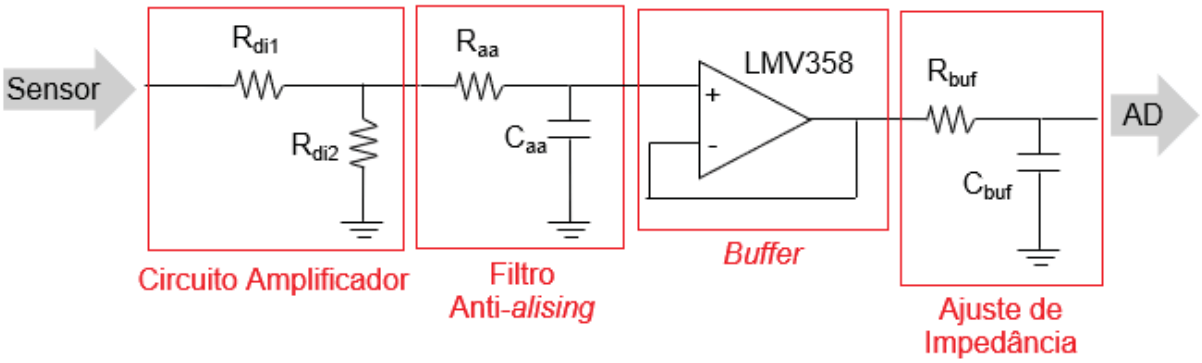
Elemento	Sinal de Corrente Indutor L_r	Sinal de Tensão Capacitor Filtro LCL C_f
R_M	23,7 Ω	196 Ω
R_{d1}	42,2 kΩ	82,5 kΩ
R_{d2}	82,5 kΩ	19,6 kΩ
R_{of1}	100 kΩ	100 kΩ
R_{of2}	100 kΩ	100 kΩ
R_{aa}	19,6 kΩ	19,6 kΩ
C_{aa}	680 nF	680 nF
R_{buf}	2 Ω	2 Ω
C_{buf}	150 nF	150 nF

FONTE: O autor (2023).

O protótipo do inversor de interligação utiliza uma frequência de amostragem duas vezes a frequência de comutação e, com isso, a condição de *alising* é reduzida, dessa maneira, o filtro anti-*alising* com uma frequência de corte de 11,9 kHz é aplicado ao circuito de condicionamento como uma forma de prevenção ao efeito de *alising*. O objetivo do *buffer* é impedir que a alta impedância do circuito de condicionamento esteja conectada diretamente ao circuito de amostragem do conversor AD, que, normalmente, apresenta baixa impedância. Enquanto, o circuito de ajuste de impedância tem como objetivo evitar distorções no sinal aquisitado pelo conversor AD.

A FIGURA 65 retrata o circuito de condicionamento utilizado para adequar o sinal da tensão CC e o sinal de temperatura, ambos proveniente do módulo de potência. Quando a tensão no capacitor do lado CC do módulo de potência é igual a 850 V, o sinal de saída do sensor é de 8,5 V e quando a temperatura do módulo de potência atinge 115° C, a tensão na saída do sensor é de 10,9 V. Dessa maneira, é necessário reduzir a tensão para 3,3 V na entrada do conversor AD.

FIGURA 65 – CIRCUITO DE CONDICIONAMENTO DA TENSÃO CC DO MÓDULO DE POTÊNCIA



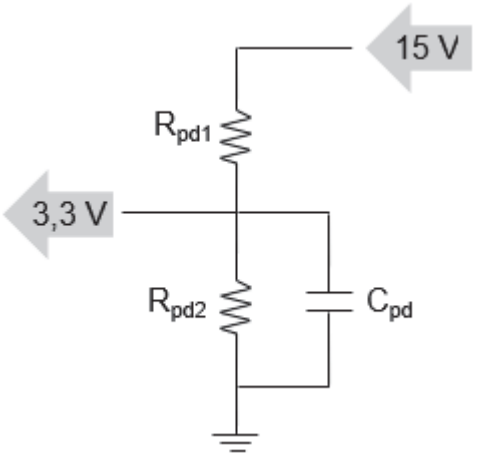
FONTE: O autor (2023).

O sinal de tensão na saída do sensor é reduzido pelo divisor resistivo e os demais estágios do circuito de condicionamento são os mesmos apresentados para o circuito de condicionamento dos sinais provenientes da placa de sensores.

Os valores dos resistores dos circuitos de condicionamento dos sinais, de tensão CC proveniente do módulo de potência estão na TABELA 17 e os resistores e capacitores do filtro anti-*alising* estão representados na TABELA 16.

O módulo de potência ainda fornece sinais digitais para indicar algum estado anormal de operação. O nível lógico alto do módulo de potência é entre 11 V e 15 V, portanto, um circuito de condicionamento do sinal digital é necessário para reduzi-lo até os limites da tensão das entradas digitais do microcontrolador. O circuito de condicionamento dos sinais digitais provenientes do módulo de potência é retratado na FIGURA 66.

FIGURA 66 – CIRCUITO DE CONDICIONAMENTO DO SINAL DIGITAL DO MÓDULO DE POTÊNCIA



FONTE: O autor (2023).

O circuito de condicionamento do sinal digital contém um divisor resistivo para ajuste da tensão e um capacitor como filtro. Os valores dos resistores do circuito de condicionamento dos sinais digitais, provenientes do módulo de potência, estão na TABELA 17.

Os detalhes de projeto para os circuitos de condicionamento dos sinais analógicos e digitais provenientes do módulo de potência estão no Apêndice 12.

TABELA 17 – ELEMENTOS DO CIRCUITO DE CONDICIONAMENTO DOS SINAIS DO MÓDULO DE POTÊNCIA

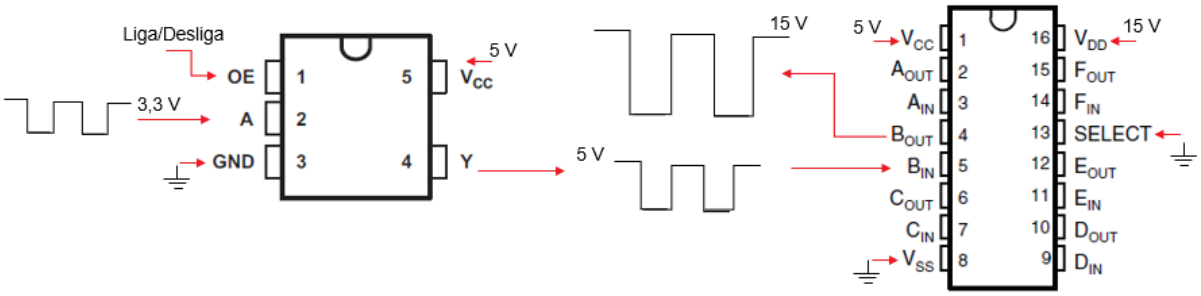
Elemento	Sinal de Tensão CC	Sinal da Temperatura	Sinal Digital
R_{di1}	46,4 kΩ	46,4 kΩ	-
R_{di2}	23,7 kΩ	16,2 kΩ	-
R_{pd1}	-		82,5 kΩ
R_{pd2}	-		23,7 kΩ
C_{pd}	-		10 nF

FONTE: O autor (2023).

O circuito de comando dos interruptores do módulo de potência é alimentado pelo sinal PWM gerado pelo microcontrolador. Contudo, a tensão do PWM gerado pelo microcontrolador é de 3,3 V e necessita ser adequada para a tensão de nível lógico do módulo de potência de 15 V.

O condicionamento do sinal de comando é realizado em dois estágios utilizando circuitos elevadores de tensão (*level shifter*) como ilustrado na FIGURA 67.

FIGURA 67 – CIRCUITO DE CONDICIONAMENTO DO SINAL PWM DO MICROCONTROLADOR



FONTE: O autor (2023).

No primeiro estágio de condicionamento, o circuito integrado SN74LV1T126 é utilizado para elevar a tensão de 3,3 V para 5 V e, no segundo estágio, o circuito integrado CD4504 eleva a tensão de 5 V para 15 V. As tensões de referência para os estágios de elevação são obtidas pela fonte de 5 V e pela fonte de 15 V. O tempo de propagação máximo do primeiro estágio é de 8,5 ns e do segundo estágio de 80 ns.

Mais detalhes em relação aos circuitos integrados utilizados para elevar a tensão do sinal de PWM estão em Texas Instruments (2022) e Texas Instruments (2008).

5.2.3 Ganhos de Realimentação

Os ganhos de realimentação que foram utilizados para estabelecer os compensadores das malhas de controle do inversor de interligação são obtidos através da soma do ganho de condicionamento de sinal, do ganho dos sensores e do ganho do conversor AD.

Na TABELA 18 está o resumo com o ganho dos sensores e do circuito de condicionamento para cada um dos sinais analógicos aquisitados pelo conversor AD, sendo que, os detalhes do cálculo realizado para obtenção dos ganhos estão descritos no Apêndice 12.

TABELA 18 – GANHO DOS SENSORES E DOS CIRCUITOS DE CONDICIONAMENTO

Ganho	Valor (V/V)
Sensor de Tensão CA (k_{sv})	0,0332
Sensor de Corrente (k_{si})	0.01185
Sensor de Tensão CC (k_{svc})	0,01
Condicionamento Tensão CA (k_{cdv})	0,136
Condicionamento Corrente (k_{cdi})	1,955
Condicionamento Tensão CC (k_{cdvc})	0,338

FONTE: O autor (2023).

Os ganhos de realimentação são obtidos através da multiplicação entre o ganho do conversor AD (4096/3), o ganho do sensor e do ganho de condicionamento. Na TABELA 19 está o resumo com os ganhos de realimentação para cada uma das malhas de controle.

TABELA 19 – GANHO DE REALIMENTAÇÃO DAS MALHAS DE CONTROLE

Ganho	Valor (V/V)
Tensão CA (H_{vC})	6,165
Corrente (H_{ir})	31.630
Tensão CC (H_{cc})	4.615

FONTE: O autor (2023).

5.3 PLACA DE CONTROLE

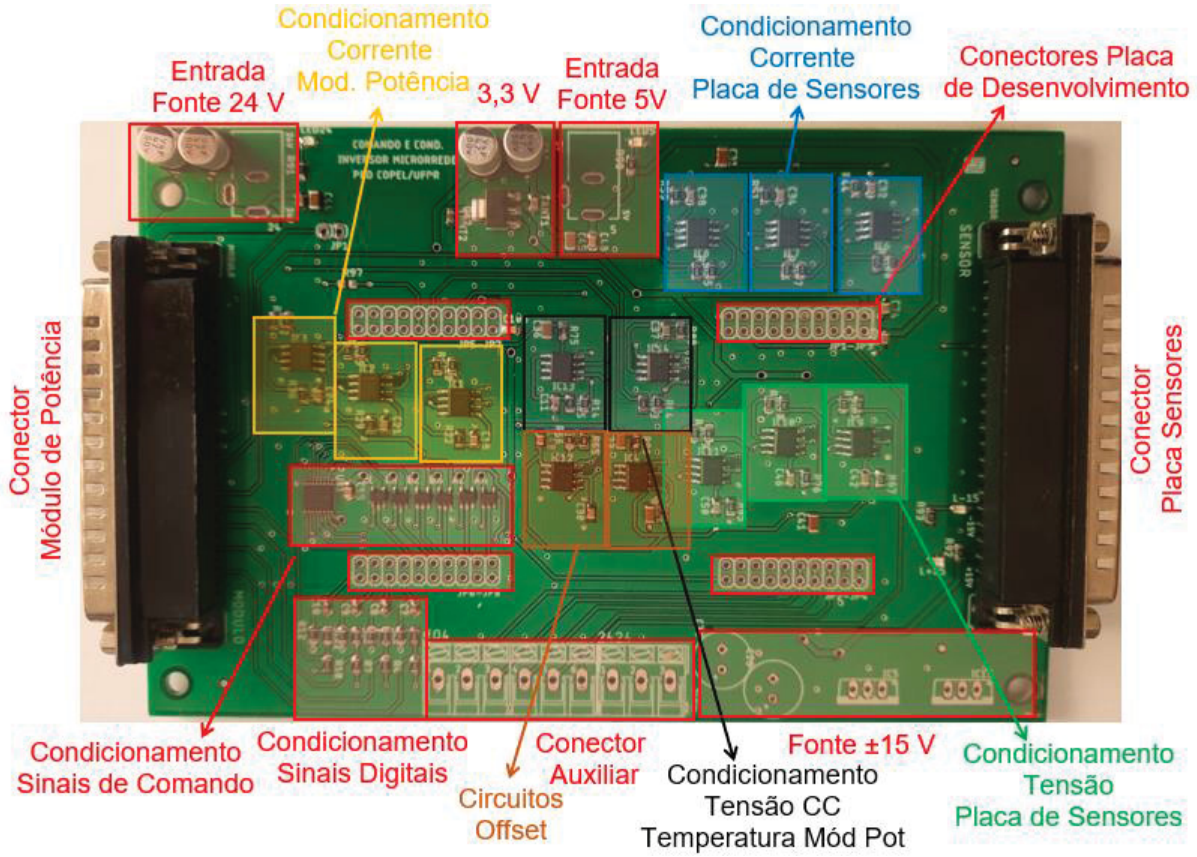
A placa de controle foi desenvolvida para processar as informações provenientes dos demais elementos do protótipo do inversor de interligação e fornecer a esses elementos as tensões de alimentação que são geradas em diferentes níveis.

Na FIGURA 68 está a placa de controle com dimensões de 160 mm de comprimento por 110 mm de largura.

A função da entrada da fonte de 5 V na placa de controle é de alimentar o microcontrolador, gerar a tensão 3,3 V e fornecer a tensão de referência para o primeiro estágio do circuito de condicionamento para comando dos interruptores. A tensão de 3,3 V é utilizada para alimentar os amplificadores operacionais presentes

nos circuitos de condicionamento dos sinais analógicos que são gerados na placa de sensores e no módulo de potência.

FIGURA 68 – PLACA DE CONTROLE



FONTE: O autor (2023).

O módulo de potência é conectado à placa de controle através do conector dB37, do lado esquerdo da FIGURA 68. Pelo conector, a fonte de 24 V é conectada ao módulo de potência para alimentar os seus circuitos auxiliares, após condicionamento, os sinais de comando dos interruptores são enviados ao módulo de potência e os sinais digitais de estado anormal de operação são enviados à placa de controle, condicionados e conectados às entradas digitais do microcontrolador. Por fim, os sinais analógicos provenientes dos sensores da tensão CC e de temperatura são enviados à placa de controle, são condicionados e aquisitados pelo conversor AD do microcontrolador.

O módulo de potência fornece os sinais de corrente dos indutores L_i, do lado do inversor de interligação, contudo, esses sinais apresentam ruído elevado durante os ensaios de configuração do inversor de interligação e não serão aproveitados no

protótipo. A possível causa do ruído é a transmissão dos sinais do módulo de potência até a placa de controle como tensão e não como corrente. Os circuitos de condicionamento dos sinais de corrente proveniente do módulo de potências estão presentes na placa de controle, pois, a definição de descartar o uso desses sinais somente ocorreu após confecção da placa de controle.

O outro conector db37, do lado direito na FIGURA 68, é utilizado para conectar a placa de controle à placa de sensores. A fonte simétrica de ± 15 V é conectada aos sensores da placa de controle e os sinais de tensão na saída da corrente do indutor $L_{r,}$ e do capacitor C_f do filtro LCL. Os sinais dos sensores são transmitidos como corrente até a placa de controle, os circuitos de condicionamento passam os sinais para tensão e adequam o sinal para aquisição do AD.

Os circuitos de *offset* são utilizados para acrescentar o nível CC nos sinais de corrente e tensão senoidais provenientes da placa de sensores, pois, o conversor AD somente aceita sinais com tensões positivas. Esses sinais de *offset* são aquisitados pelo conversor AD para serem retirados dos sinais aquisitados de tensão e de corrente. Contudo, durante os ensaios de configuração do inversor de interligação foi observado uma flutuação no sinal de *offset* aquisitado pelo conversor AD e, consequentemente, os sinais senoidais de corrente tensão não eram reconstruídos como sinal original.

O transformador utilizado para alimentar os reguladores lineares da fonte simétrica ± 15 V é conectado a placa de controle através do conector auxiliar, assim como, o botão liga/desliga.

Outra função prevista para o conector auxiliar é realizar a comunicação do microcontrolador e o CLP. Contudo, durante este trabalho não será realizada a comunicação entre o CLP e a placa de controle. O projeto do protótipo do inversor de interligação prevê a comunicação da placa de controle com o CLP, tendo, como objetivo futuro mostrar as condições de operação do protótipo em tempo real, controlar o acionamento do circuito de pré-carga, processar as informações provenientes do controle central da microrrede híbrida e comissionar do protótipo.

Na TABELA 21 está o resumo dos sinais de entrada e saída analógico ou digitais que são condicionados na placa de controle e que são utilizados pelo microcontrolador. Na coluna tipo, os sinais de entrada são identificados com a letra ‘E’

e a de saída com a letra ‘S’ e na coluna A/D, os sinais analógicos pela letra ‘A’ e os sinais digitais pela ‘D’.

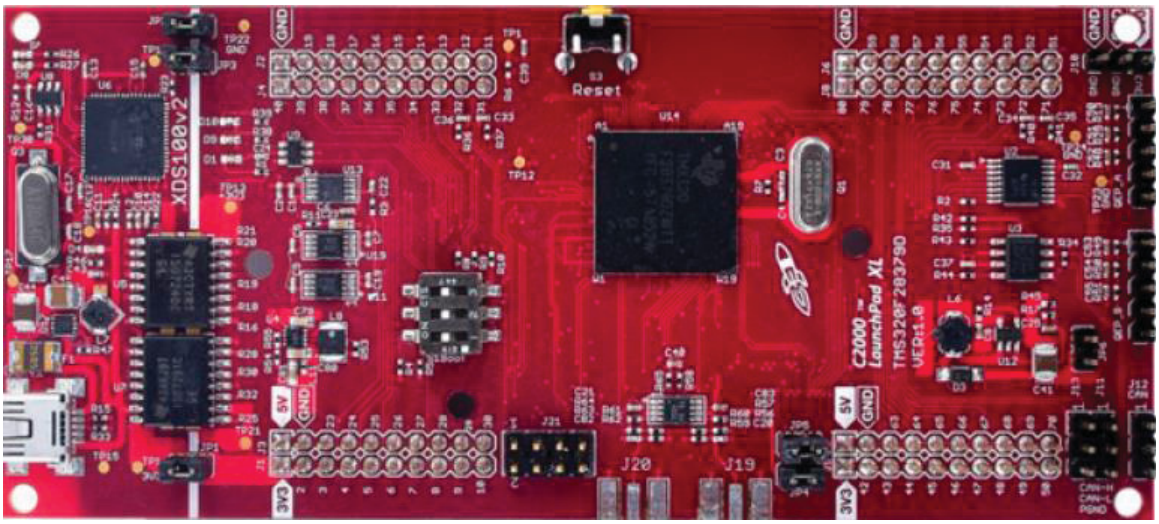
TABELA 20 – SINAIS DE ENTRADA E SAÍDA DA PLACA DE CONTROLE

Tipo	Sinal	A/D	Qtd	Função Principal
E	Tensão do Capacitor C_f	A	3	Malha de controle de tensão CA
E	Corrente do indutor L_r	A	3	Malha de controle de corrente
E	Tensão do lado CC	A	1	Malha de controle de tensão CC
E	Sensor NTC do mód. pot.	A	1	Monitoramento da temperatura do módulo
E	Estado Anormal de operação	D	1	Sobretensão CC, baixa tensão circuitos auxiliares e alta temperatura do módulo
E	Estado Anormal de operação	D	3	Falta de fase, erro no *drive*, sobrecorrentes
S	Sinais de comando	D	6	Sinais de comando dos interruptores IGBT

FONTE: O autor (2023).

O microcontrolador definido para o projeto é da linha C2000 modelo TMS320F28379D e é utilizado através da placa de desenvolvimento LAUNCHXL-F28379D posicionada sobre a placa de controle através dos quatro conectores de pinos 10 x 2. A FIGURA 69 retrata a face superior do LAUNCHXL-F28379D.

FIGURA 69 – PLACA DE DESENVOLVIMENTO LAUNCHXL-F28379D



FONTE: O autor (2023).

A linha de processadores C2000 são indicados para operação em sistemas em tempo real, pois, apresentam capacidade de processamento em paralelo e capacidade acima de 500 milhões de instruções por minuto (500 MIPS). Na TABELA 21 estão listadas as principais características do processador TMS320F28379D, sendo que, mais informações podem ser obtidas em Texas Instruments (2021).

TABELA 21 – CARACTERISTICAS DO PROCESSADOR TMS30F28379D

Característica	Valor
Frequência de *Clock* (f_{cl})	200 Mhz
Número de Núcleos	2
Arquitetura	32 bits
Memória RAM	204 kB
Memória Flash	1 MB
Resolução Conversor Analógico Digital (AD)	12 bits
Frequência máx. PWM	100 MHz
Instruções por Segundo	600 MIPS

FONTE: O autor (2023).

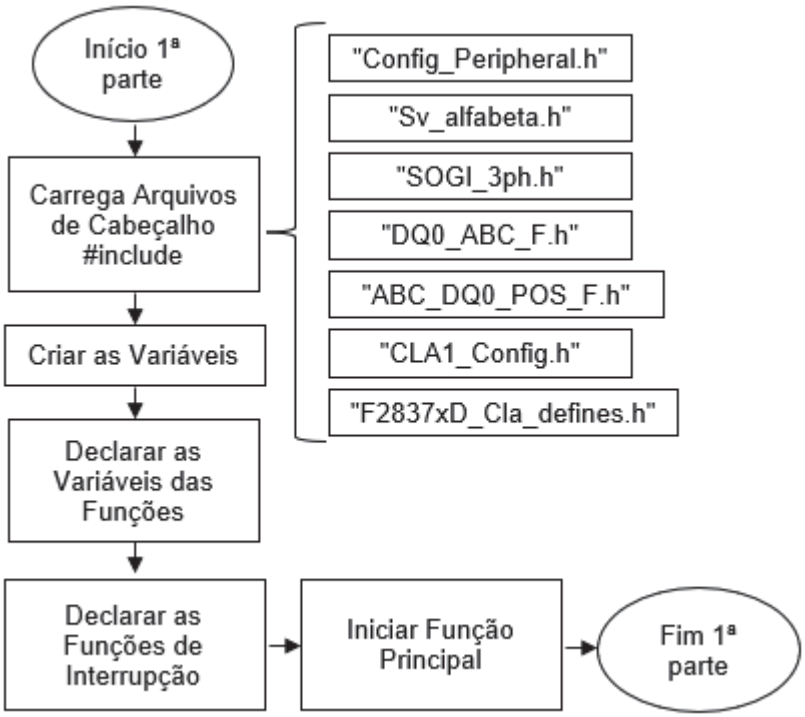
O algoritmo desenvolvido para o microcontrolador que realiza o controle do protótipo do inversor de interligação é dividido em três partes: configuração, função principal, função de interrupção do AD.

A configuração do microcontrolador é descrita pelo fluxograma da FIGURA 70 e a implementação desse código é realizada utilizando o ambiente de desenvolvimento integrado Code Composer Studio (CCS) e pode ser visualizada no Apêndice 13.

O arquivo de cabeçalho “Config_Peripheral” é criado para configurar as entradas/saídas digitais, o PWM e o AD, sendo que, a nomenclatura utilizada para definir esses periféricos é, respectivamente, GPIO, ePWM e ADC.

Na configuração do GPIO é definido os pinos que serão utilizados como PWM, entradas digitais e saídas digitais. As entradas digitas recebem os sinais de operação anormal do módulo de potência e um sinal gerado pelo botão de liga/desliga. As saídas digitais são utilizadas para indicar o tempo das funções de interrupção, como uma forma de medir o tempo de processamento de cada interrupção do conversor AD.

FIGURA 70 – CONFIGURAÇÃO DO MICROCONTROLADOR



FONTE: O autor (2023).

O total de pinos utilizado pelo PWM são seis, um para cada interruptor, sendo que, três deles são complementares. Os parâmetros que são configurados do periférico PWM são: valor de pico da do contador em rampa, que define a frequência de operação, tipo do contador, valor do contador quando ocorre a atualização da razão cíclica, interrupção de liga/desliga e as ações do comparador que são realizadas quando o contador cruza o valor de referência. Por último, o PWM é configurado para realizar o disparo da interrupção do AD sincronizada com o valor máximo e com o zero do contador do PWM, o que produz uma frequência de amostragem de 28 kHz.

A

TABELA 22 apresenta os valores definidos para cada parâmetro configurado do PWM.

O valor do contador do PWM é definido através da equação (75) , para uma frequência de *clock* (f_{cl}) do microcontrolador de 200 MHz e frequência de comutação (f_{co}) de 14 kHz. O multiplicado por quatro é definido para o tipo do contator (subida e descida).

$$PRD = \frac{f_{cl}}{4f_{co}} \tag{75}$$

TABELA 22 – PARÂMETROS DE CONFIGURAÇÃO DO PWM

Parâmetro	Valor
Valor máximo do Contador (PRD)	3572
Tipo do Contador	Subida e Descida
Atualização da Razão Cíclica	Topo e Zero
Ação Comparador na Subida	Nível Alto
Ação Comparador na Descida	Nível Baixo
Interrupção Liga/Desliga	1 - interrompe, 0 – não interrompe
Disparo interrupção AD	Topo e Zero

FONTE: O autor (2023).

O conversor AD é definido como de 12 bits, ou seja, uma resolução de 4096, em seguida, para cada pino de entrada é definida a ordem de aquisição, o tamanho da janela de amostragem e o evento que dispara a aquisição. Para a conversão de 12 bits a janela de amostragem é definida como, sendo, 75 ns e o evento de disparo é definido como a interrupção do AD, sendo que, a interrupção do AD é disparada pelo contador do PWM no topo e no zero.

O microcontrolador contém três módulos do conversor AD (A, B e C) e a aquisição segue a ordem: módulo A do conversor AD com as aquisições dos sinais de tensão da fase ‘c’ (v_{Cc}), de corrente da fase ‘a’ (i_{ra}) e de temperatura do módulo (NTC), módulo B do conversor AD com as aquisições dos sinais de corrente da fase ‘c’ (i_{rc}) e de tensão da fase ‘a’ (v_{Ca}) e módulo C do conversor AD com as aquisições dos sinais de tensão CC (V_e), de tensão da fase ‘b’ (v_{Cb}) e de corrente da fase ‘b’ (i_{rb}).

O arquivo de cabeçalho Sv_alfabeta é criado para produzir a modulação vetorial (SVM). Ele é definido através do algoritmo da modulação vetorial desenvolvido para a simulação que é descrito no Apêndice 3. Enquanto, o arquivo SOGI_3ph contém a programação do SRF-PLL com pré-filtro SOGI e é obtido através do algoritmo definido para simulação que e descrito no Apêndice 5.

Os arquivos de cabeçalho ABC_DQ0_POS_F e DQ0_ABC_F contêm, respectivamente, as transformadas de Park e Clarke e as transformadas inversas de Park e Clarke. Essas funções fazem parte da biblioteca controlSUITE do

microcontrolador C2000, sendo que, a biblioteca controlSUITE pode ser obtida na página do fabricante.

Os dois últimos arquivos de cabeçalho, CLA1_Config e F2837xD_CLa_defines, são referentes ao periférico CLA (*Control Law Accelerator*). O CLA é definido como um processador aritmético que opera em paralelo com o processador principal do microcontrolador. Para o protótipo do inversor de interligação, ele é utilizado para calcular o *offset*, através dos valores máximos e mínimos, dos sinais senoidais de tensão e corrente aquisitados pelo conversor AD.

O cálculo do *offset* é necessário, pois, os sinais de corrente e tensão que são aquisitados na placa de sensores são em corrente alternada e, com isso, apresentam valores negativos, sem a possibilidade de aquisição do AD. Dessa forma, para aquisição desses sinais é acrescentado o *offset* e, após aquisição do AD, o sinal deve retornar ao seu formato original, ou seja, o *offset* deve ser novamente incluído ao sinal aquisitado.

Devido a flutuação do sinal de *offset* aquisitado pelo microcontrolador, os sinais de corrente e tensão, quando reconstruídos utilizando o *offset* aquisitado, apresentam deslocamento em relação ao eixo zero e, dessa maneira, optou-se por calcular o *offset* de cada sinal CA aquisitado pelo CLA.

Após carregar os arquivos de cabeçalho, as variáveis utilizadas na função principal, na interrupção do AD e no CLA são criadas. Em seguida, as variáveis das funções externas, Sv_alfabeta, SOGI_3ph, ABC_DQ0_POS_F e DQ0_ABC_F são declaradas, assim como, as interrupções do conversor AD e do PWM.

Terminado a primeira etapa denominada de configuração, inicia-se a segunda etapa que é denominada como função principal.

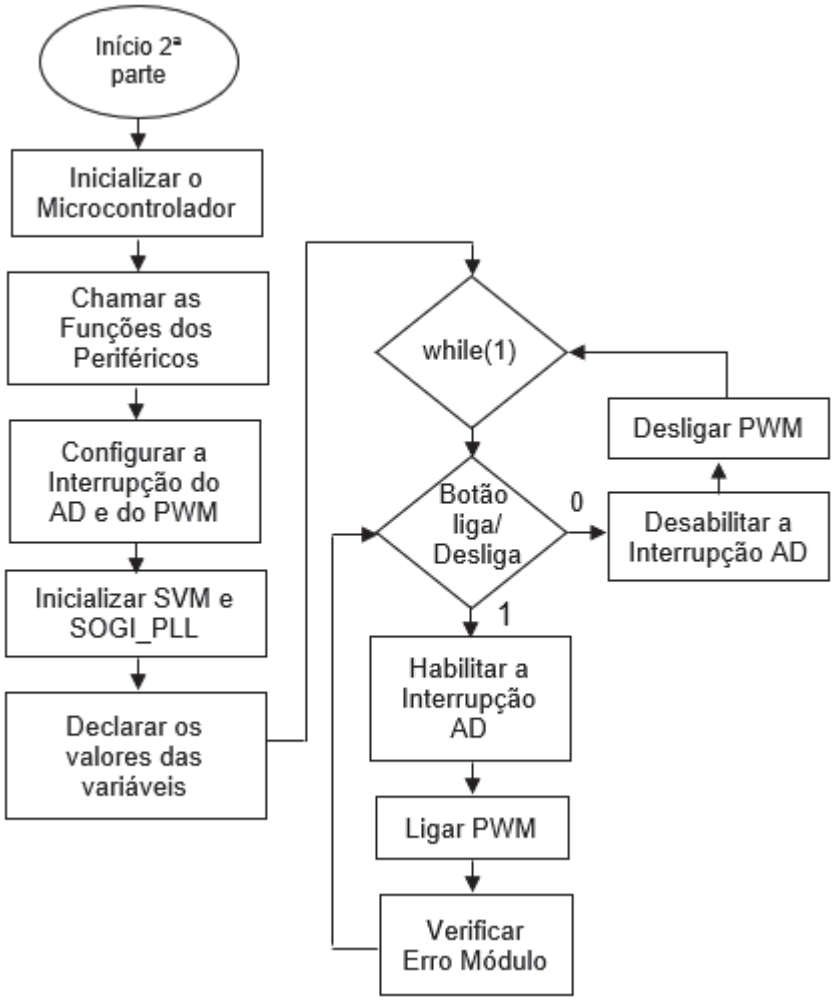
A função principal do microcontrolador é descrita pelo fluxograma da FIGURA 71 e a programação equivalente é realizada utilizando o ambiente de desenvolvimento integrado Code Composer Studio (CCS) e pode ser visualizada no Apêndice 13.

A função principal inicializa o microcontrolador através da rotina de inicialização e, em seguida, as funções dos periféricos, GPIO, ePWM, ADC e CLA, são chamadas.

O próximo passo é configurar as interrupções na matriz de interrupções do microcontrolador, com isso, após serem habilitadas, a conversão do AD é inicializada

e a interrupção do PWM fica habilitada, caso seja necessário desligar o protótipo do inversor de interligação pelo botão liga/desliga. Detalhes sobre a rotina de inicialização e em como configurar as interrupções podem ser encontradas no workshop desenvolvido pela Texas Instruments para os microcontroladores da família C2000, em Schachter (2018).

FIGURA 71 – FUNÇÃO PRINCIPAL DO ALGORITMO DE CONTROLE DO MICROCONTROLADOR



FONTE: O autor (2023).

A função da modulação vetorial e do PLL são inicializadas, sendo que, a função PLL é utilizada na operação do protótipo do inversor de interligação no CCM, CCM CC e no VCM CC. Em seguida, os valores iniciais das variáveis são definidos, antes de entrar no laço infinito, indicado pela função while(1).

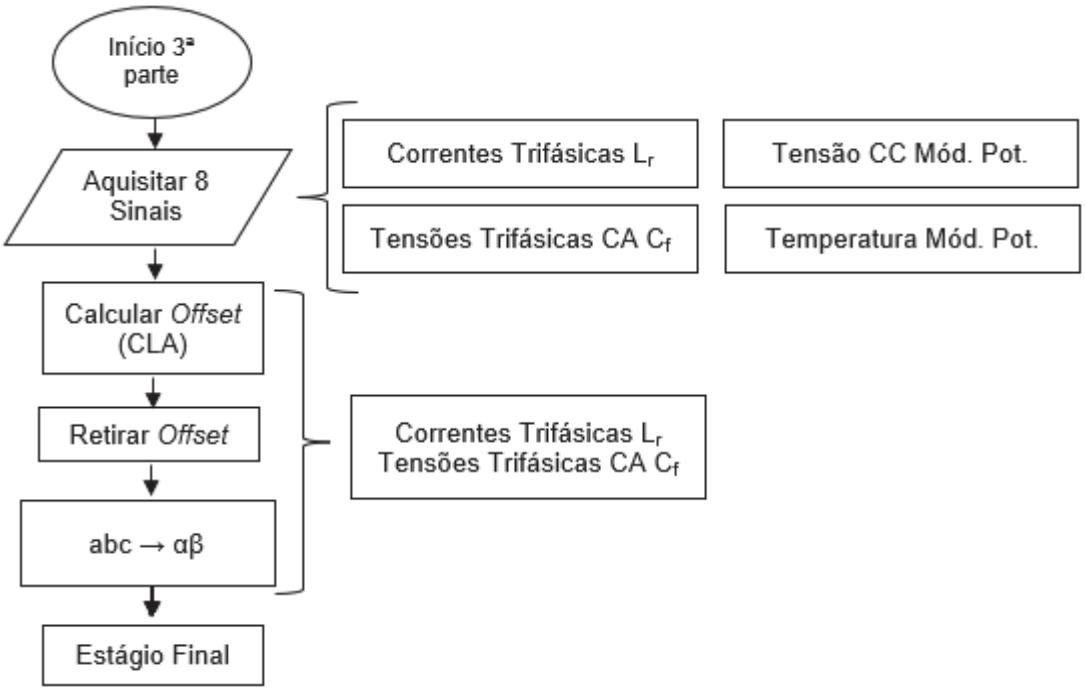
Dentro do laço infinito é verificado se o botão liga-desliga está habilitado, quando o valor for nível alto (1), as interrupções do conversor AD e o módulo PWM

são habilitados e as entradas digitais que indicam erro no módulo de potência são monitoradas. Se o valor for nível baixo (0), as interrupções do conversor AD é desabilitada e as saídas do PWM são definidas como nível baixo (0) para abrir todos os interruptores do módulo de potência.

A segunda etapa do algoritmo do inversor de interligação identificada como a função principal, define que o programa de controle do microcontrolador irá ficar dentro do laço infinito até que a interrupção do AD, terceira etapa do algoritmo, inicialize a sua função, terminada a função da interrupção do AD, o programa retorna para o laço infinito dentro da função principal.

Em um estágio inicial, a função de interrupção do AD do microcontrolador realiza a aquisição dos sinais, retirada de *offset* dos sinais senoidais e transformação dos sinais CA de tensão e corrente para o referencial estacionário αβ, como descrito pelo fluxograma da FIGURA 72.

FIGURA 72 – FUNÇÃO DE INTERRUPÇÃO DO AD ESTÁGIO INICIAL



FONTE: O autor (2023).

Os sinais da corrente do indutor L_r, da tensão do capacitor C_f, da tensão CC e da temperatura do módulo de potência são adquiridos pelo conversor AD, em seguida, os *offsets* presentes nos sinais senoidais são calculados e retirados para, então, transformar as correntes e tensões do referencial abc para o referencial αβ.

O estágio final da função de interrupção do AD leva em consideração a configuração da microrrede híbrida, ou seja, as malhas de controle que o protótipo do inversor de interligação irá utilizar dependendo da configuração da microrrede híbrida que ele está inserido. A FIGURA 73 descreve através de fluxograma o estágio final da função de interrupção do AD. Para definir as estratégias de controle do inversor de interligação, o usuário deve definir um valor de 1 a 7 para a variável que indica qual a configuração da microrrede híbrida.

O usuário define qual é a configuração da microrrede híbrida que o protótipo do inversor de interligação está operando e, com isso, o algoritmo adota a melhor estratégia de controle. A configuração da microrrede híbrida é definida durante a declaração dos valores das variáveis na função principal, ou seja, na segunda etapa do algoritmo.

Para a configuração da microrrede híbrida 1 e 4, o protótipo do inversor de interligação está no VCM CC, ou seja, como formador da tensão da sub-rede CC.

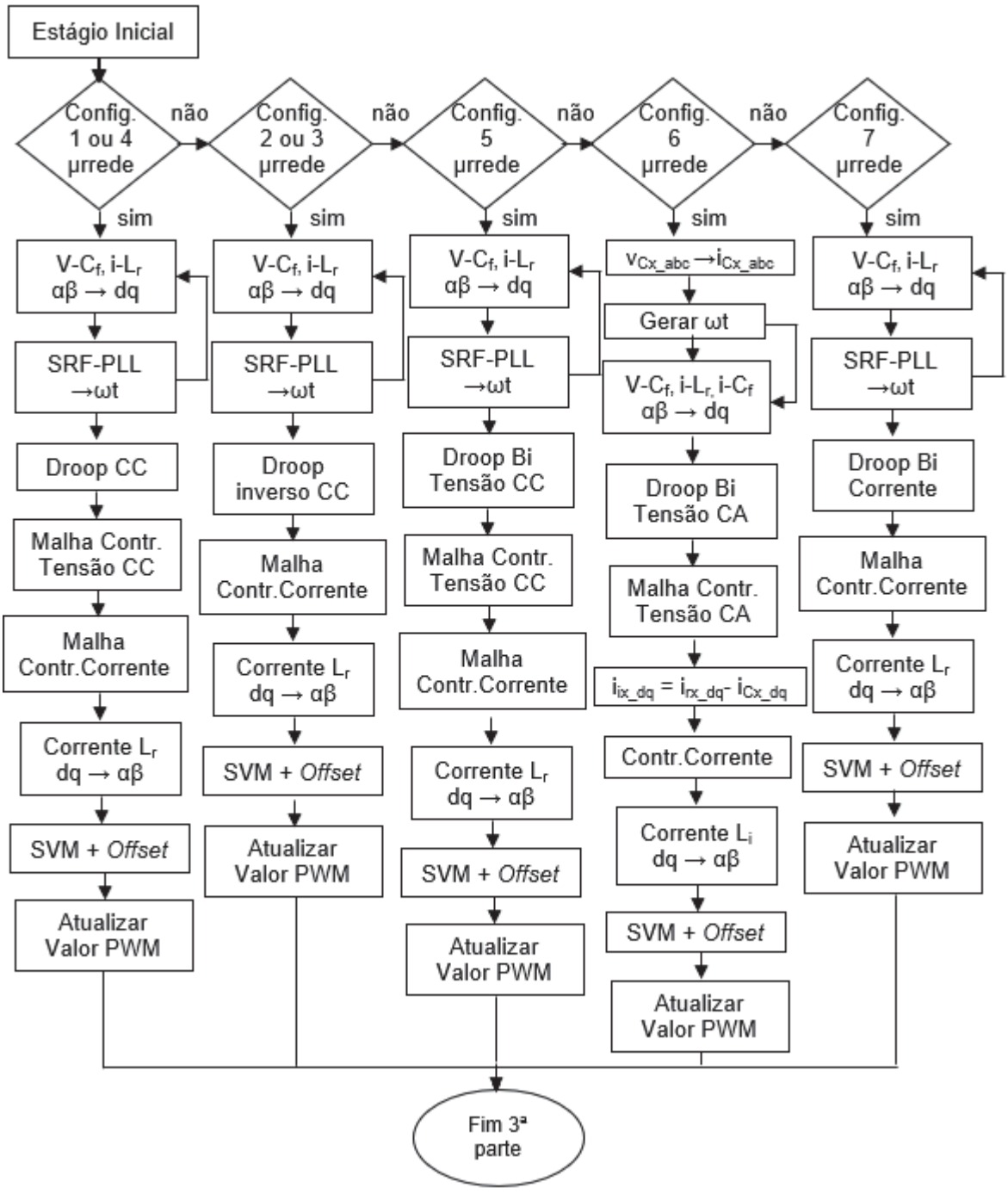
O SRF-PLL obtém a frequência da sub-rede CA e gera o sinal ωt que é utilizado na transformada de Park. Em seguida, a referência da tensão do lado CC para a malha de controle de tensão CC é definida pelo *droop* CC. O próximo passo é definir a referência da corrente i_{rd} através da malha de controle de tensão CC.

Os sinais de saída da malha de controle de corrente são transformados para o referencial estacionário αβ para serem processados pela modulação SVM que gera o sinal modulante para comparação com o contador em rampa do PWM. Como a transformação do referencial dq para αβ gera sinais senoidais com valor médio igual a zero, um *offset* com metade do valor máximo do contador do PWM é introduzido aos sinais de saída da SVM. Por fim, o valor do sinal modulante pode ser atualizado.

Se a microrrede híbrida estiver na configuração 2 ou 3, o protótipo do inversor de interligação irá operar como CCM CC com *droop* inverso CC, ou seja, o protótipo irá compartilhar potência com o formador da sub-rede CC.

A única diferença entre a operação do protótipo na configuração 2 ou 3 para a configuração 1 ou 4 está apenas na malha que irá gerar a referência da corrente de coordenada ‘d’. Na configuração 2 ou 3, o sinal de referência para a corrente i_{rd} é dado pela malha de controle de *droop* inverso CC, enquanto, para configuração 1 ou 4, o sinal de referência i_{rd} é gerado pela malha de controle de tensão CC que, por sua vez, recebe a referência de tensão CC da malha de controle *droop* CC.

FIGURA 73 – FUNÇÃO DE INTERRUPÇÃO DO AD ESTÁGIO FINAL



FONTE: O autor (2023).

Assim como na configuração 1 ou 4, o protótipo do inversor de interligação também opera no VCM CC quando a microrrede híbrida está na configuração 5. Substituindo o controle *droop* CC pelo controle *droop* bidirecional de tensão CC para gerar a referência da tensão CC, o restante do fluxograma descreve os mesmos blocos que na configuração 1 ou 4 da microrrede híbrida.

O mesmo ocorre comparando a operação do protótipo do inversor de interligação na configuração 2 ou 3 com a configuração 7 da microrrede hibrida. A diferença está apenas no uso do *droop* bidirecional de corrente, para a configuração 7 da microrrede híbrida, em substituição do *droop* inverso CC, na configuração 2 ou 3.

Quando a microrrede híbrida está na configuração 6, o protótipo do inversor de interligação opera no VCM, formando a tensão da sub-rede CA, com *droop* bidirecional de tensão CA.

A corrente do capacitor C_f é definida e, em seguida, o sinal da frequência que é utilizado na transformada de Park é obtido pelo algoritmo gerador de rampa de 0 a 2π. A tensão e a corrente do capacitor C_f e a corrente do indutor L_r passam para o referencial síncrono dq e a corrente do indutor L_i é calculada.

Com a corrente do indutor L_i definida, o controle *droop* bidirecional de tensão CA gera a referência de frequência f_n, para o algoritmo gerador de rampa de 0 a 2π. Por fim, a malha de controle de tensão CA gera as referências para a malha de controle de corrente.

Ao final da interrupção do AD, terceira etapa do algoritmo do microcontrolador, ocorre o retorno para o laço infinito na função principal e permanece lá, até que a próxima interrupção do AD ocorra.

A programação completa do microcontrolador é realizada em linguagem C/C++, através do ambiente de desenvolvimento integrado Code Composer Studio (CCS), e pode ser visualizada no Apêndice 13.

5.4 CONSIDERAÇÕES FINAIS DO CAPÍTULO

Os componentes do protótipo são organizados dentro de um armário elétrico, o que contribui com a segurança durante os ensaios e facilita o transporte do equipamento.

A escolha de um módulo de potência com os interruptores, circuitos auxiliares e de acionamento disponibilizados em uma única estrutura diminui o tempo de construção do protótipo.

O uso do circuito de pré-carga CA deve ficar restrito apenas a operação do protótipo do inversor de interligação no VCM CC, pois, a pré-carga CA não atinge 100% da carga do capacitor do filtro do lado CC.

Algumas partes do projeto do protótipo do inversor de interligação que, inicialmente, foram previstas para desenvolvimento durante este trabalho, irão ficar para trabalhos futuros, entre elas estão:

(i) O uso do CLP e da IHM para comissionamento do protótipo, comunicação com outros elementos da microrrede e a exibição das condições de operação em tempo real.

(ii) Durante o projeto da placa de controle foram previstos a aquisição das correntes do módulo de potência. Os sinais de corrente do módulo apresentam um nível maior de ruído em comparação com o sinal de corrente gerado na placa de sensores e acima do que era esperado para a corrente gerada antes do filtro LCL. O desenvolvimento do algoritmo que calcula a corrente do capacitor surgiu como solução para se obter a corrente do indutor L_i e permitir a operação no VCM.

Mesmo que o protótipo do inversor de interligação não está sendo instalado junto à microrrede híbrida do DELT, a presença dos circuitos de proteção e de pré-carga, assim como, os resultados experimentais realizados em ambiente de laboratório, elevam o seu nível de maturidade tecnológica (TRL), do inglês *Technology Readiness Level*.

Como o protótipo do inversor de interligação está sendo testado em ambiente de laboratório pode ser classificado como TRL 4, enquanto, uma classificação como TRL 5 pode ser alcançada através de testes com características nominais de operação.

6 RESULTADOS EXPERIMENTAIS DO PROTÓTIPO DO INVERSOR DE INTERLIGAÇÃO

O Capítulo 6 apresenta os resultados dos ensaios experimentais que o protótipo do inversor de interligação é submetido com o objetivo de validar as estratégia de controle. Os ensaios experimentais consideram as configurações 5, 6 e 7 da microrrede híbrida e, com isso, o inversor de interligação está utilizando as estratégias de controle, respectivamente, VCM CC com *droop* bidirecional de tensão CC, VCM com *droop* bidirecional de tensão CA e CCM com *droop* bidirecional de corrente.

O Laboratório de Geração Distribuída (LABGD) do Departamento de Engenharia Elétrica (DELT) da Universidade Federal do Paraná (UFPR), conta com uma fonte trifásica de tensão CA, para formar a tensão da sub-rede CA, uma fonte CC para formar a tensão da sub-rede CC e uma carga de impedância fixa. A FIGURA 74 ilustra a estrutura do laboratório de Geração Distribuída junto ao protótipo do inversor de interligação.

FIGURA 74 – LABORATÓRIO DE GERAÇÃO DISTRIBUÍDA, DELT, UFPR

FONTE: O autor (2023).

A fonte CA e a fonte CC não contém malhas de controle *droop*, mas, apresentam a capacidade de alterar, respectivamente, a frequência e a magnitude da tensão durante sua operação.

Com as condições de operação das fontes estabelecidas, a TABELA 23 lista os ensaios que serão realizados para validação das malhas de controle do inversor de interligação.

O controle *droop* CC e o controle *droop* bidirecional de tensão CC apresentam a relação entre a potência do inversor de interligação e a tensão da sub-rede CC. Assim como, o controle *droop* inverso CC e o controle *droop* bidirecional de corrente apresentam a relação entre a tensão da sub-rede CC e a potência do inversor de interligação. Portanto, os ensaios serão realizados com o inversor de interligação operando nos modos VCM CC, VCM e CCM e com as malhas de controle, respectivamente, de *droop* bidirecional de tensão CC, *droop* bidirecional de tensão CA e *droop* bidirecional de corrente.

TABELA 23 – ENSAIOS EXPERIMENTAIS DO INVERSOR DE INTERLIGAÇÃO NO LABGD

N°	Config. μrrede	Fonte CA	Fonte CC	Carga	Estratégia de Controle Protótipo
1	1, 4 e 5	VCM + δf	N/A	CC	VCM CC + *droop* Bi CC
2	6	N/A	VCM CC + δV	CA	VCM + *droop* Bi CA
3	2, 3 e 7	VCM + δf	VCM CC + δV	CC	CCM + *droop* Bi Corrente

FONTE: O autor (2023).

No ensaio 1, a fonte CA opera formando a tensão da sub-rede CA e o inversor de interligação operando no modo VCM CC para formar a tensão da sub-rede CC. Uma carga é conectada à sub-rede CC e, com isso, através da flutuação da frequência da sub-rede CA e da potência do inversor de interligação é estabelecida a flutuação equivalente da tensão da sub-rede CC.

No ensaio 2, o inversor de interligação está no modo VCM para formar a tensão da sub-rede CA, enquanto, a fonte CC forma a tensão da sub-rede CC. Uma carga trifásica resistiva e conectada na sub-rede CA e através da flutuação da tensão da sub-rede CC e da potência do inversor de interligação é estabelecida a flutuação equivalente da frequência da sub-rede CA.

No ensaio 3, a fonte CA e a fonte CC formam, respectivamente, a tensão da sub-rede CA e da sub-rede CC e o inversor de interligação está no modo CCM. Através da flutuação da frequência da sub-rede CA e da tensão da sub-rede CC a potência do inversor de interligação é definida.

Para os ensaios experimentais, a potência nominal do inversor de interligação é de 60 W, dessa maneira, o objetivo é validar as preposições de controle e a operação dos componentes que contemplam o protótipo do inversor de interligação. Não é escopo deste trabalho o ensaio das transições entre as estratégias de controle do inversor de interligação, ou seja, a configuração da microrrede híbrida não altera durante os ensaios.

As novas condições nominais utilizadas no ensaios experimentais estão listadas na TABELA 24.

TABELA 24 – PARÂMETROS ELÉTRICOS DO PROTÓTIPO DO INVERSOR DE INTERLIGAÇÃO PARA ENSAIOS EM LABORATÓRIO

Parâmetro	Valor
Potência Inversor de Interligação	60 W
Tensão de Fase Sub-rede CA	17,32 V
Corrente Nominal do Inversor de Interligação	1,155 A
Tensão Sub-rede CC	60 V
Frequência da Sub-rede CA	60 Hz
Flutuação Máxima da Frequência	1 Hz
Flutuação Máxima Tensão CC	6 V

FONTE: O autor (2023).

Utilizando as metodologias de projeto apresentadas no Capítulo 3, os compensadores de corrente, tensão CA e tensão CC são reprojetados para as novas condições nominais, assim como, os índices das malhas de controle *droop*. Os valores dos componentes do filtro LCL e do filtro C não foram alterados para os ensaios experimentais.

A função de transferência no domínio de ‘z’ dos novos compensadores de corrente (G_{in}), tensão CA (G_{vn}) e tensão CC (G_{ccn}) estão na equação (76).

$$G_{in}(z) = \frac{30.12\,z - 29.48}{z - 1} \tag{76}$$

$$G_{vn}(z) = \frac{0.6762\,z\, - 0.6526}{z - 1}$$

$$G_{ccn}(z) = \frac{3.377z\, - 3.374}{z - 1}$$

O resumo com os novos índices de *droop* estão na TABELA 25.

TABELA 25 – ÍNDICE DE DROOP PARA OS ENSAIOS EXPERIMENTAIS

Malha *Droop*	Índice	Valor
Bidirecional de Tensão CC	k_{PIIVe}	1,183 m
Bidirecional de Tensão CC	k_{fVe}	13,845
Bidirecional de Tensão CA	k_{PIIf}	42,735 µ
Bidirecional de Tensão CA	k_{Vef}	18,057 m
Bidirecional de Corrente	k_{edPII}	11,700 k

FONTE: O autor (2023).

Para obtenção dos resultados experimentais são utilizados um osciloscópio e a ferramenta gráfica no *debug* do ambiente de desenvolvimento integrado CCS com um taxa de amostragem e 28 kHz.

As formas de onda senoidais da tensão e corrente da sub-rede CA e da tensão da sub-rede CC são apresentadas através do osciloscópio. Enquanto, a ferramenta gráfica do CCS é utilizada para ilustrar os sinais de entrada da malha de controle *droop*, após o filtro, e os sinais resultantes após atuação de controle.

A potência do inversor de interligação é calculada através da equação (45) utilizando os sinais da corrente i_{rd} e da tensão v_{Cd} aquisitados pela ferramenta gráfica do CCS, detalhes da equação (45) estão na Seção 3.5.

6.1 ENSAIO EXPERIMENTAL 1 – VCM CC COM *DROOP* BIDIRECIONAL DE TENSÃO CC

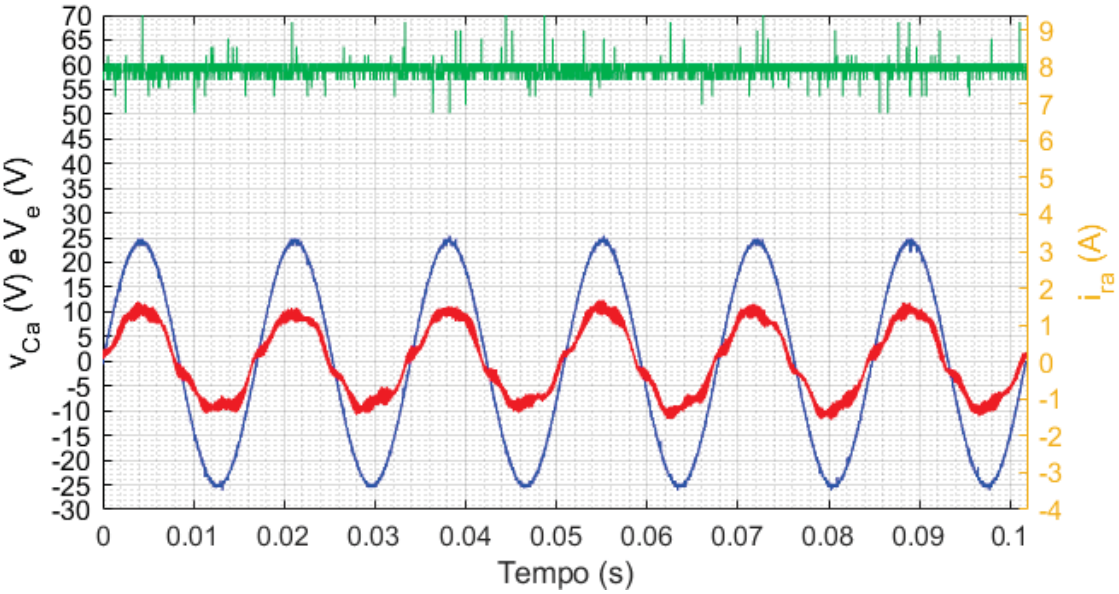
No ensaio experimental 1, a fonte CA está formando a sub-rede CA, o protótipo do inversor de interligação realiza a conexão com a sub-rede CA através dos contatores de pré-carga CA. Após carregar o capacitor do filtro do lado CC com a

tensão de pico da sub-rede CA, o protótipo inicia a sua operação como formador da sub-rede CC.

O resultado do primeiro experimento está na FIGURA 75, onde, a tensão da sub-rede CC (V_e), na cor verde, e a tensão da fase ‘a’ da sub-rede CA (v_{Ca}), na cor azul, são representadas pelo eixo ‘y’ da esquerda e a corrente da fase ‘a’ (i_{ra}), na cor vermelho, pelo eixo ‘y’ da direita.

O protótipo do inversor de interligação está na sua potência nominal de 60 W sem a atuação do *droop* bidirecional de tensão CC e, portanto, a referência da malha de controle de tensão CC é definida para 60 V.

FIGURA 75 – RESULTADO EXPERIMENTAL 1: ENSAIO 1



FONTE: O autor (2023).

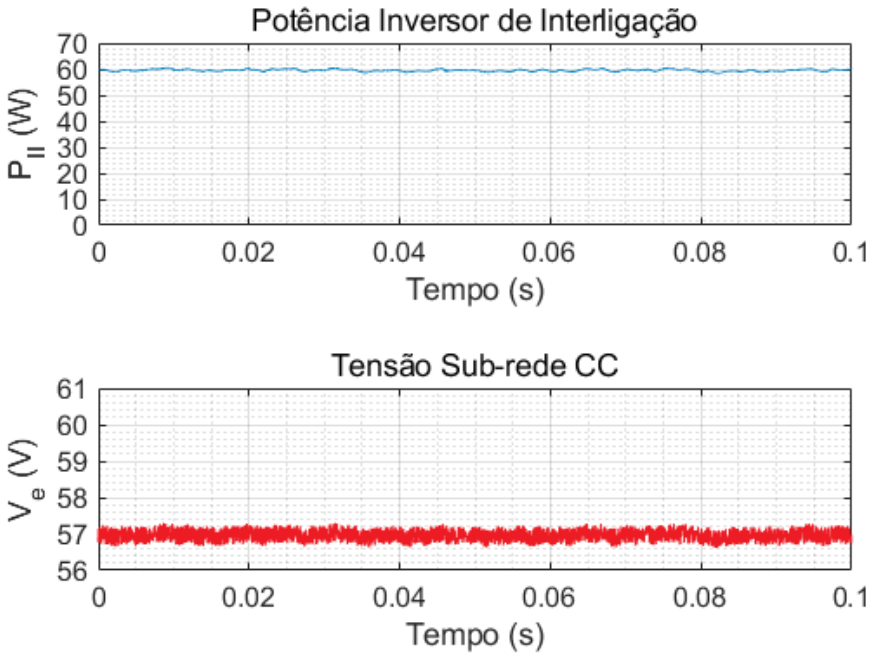
Na sub-rede CC está conectada uma carga de 60 Ω e, dessa maneira, a corrente do inversor de interligação, do lado CC, é de 1 A. Desconsiderando as perdas, a corrente de fase do lado CA assume o valor de 1,155 A. A relação da corrente do lado CC com a corrente do lado CA é de 0,612 e é definida pela equação (47), descrita na Seção 3.5. A tensão da sub-rede CA é igual a 17,32 V / 60 Hz e é formada pela fonte CA.

O resultado do segundo experimento está na FIGURA 76, onde, a condição de carga da sub-rede CC é mantida ajustando-se a resistência, conectada à sub-rede

CC, para o valor aproximado de 54,2 Ω. O protótipo do inversor de interligação passa a operar com a malha de controle *droop* bidirecional de tensão CC.

A potência do inversor de interligação é mantida em 60 W, incluindo a esse valor o ganho de realimentação da corrente de 31,63 e o ganho de realimentação da de tensão 6,165, ambos definidos na Seção 5.2.3, o sinal de controle que representa a potência apresenta um valor igual a 11.699,937. Multiplicando a potência pelo índice de *droop* k_{PIIVe}, de valor igual a 1,183 m listado na TABELA 25, obtém-se uma flutuação da tensão CC de 13,84. Retirando o ganho de realimentação da tensão CC de 4,651, a flutuação da tensão é igual a -2,98 V. Portanto, a tensão da sub-rede CC diminui para 57,2 V.

FIGURA 76 – RESULTADO EXPERIMENTAL 2: ENSAIO 1

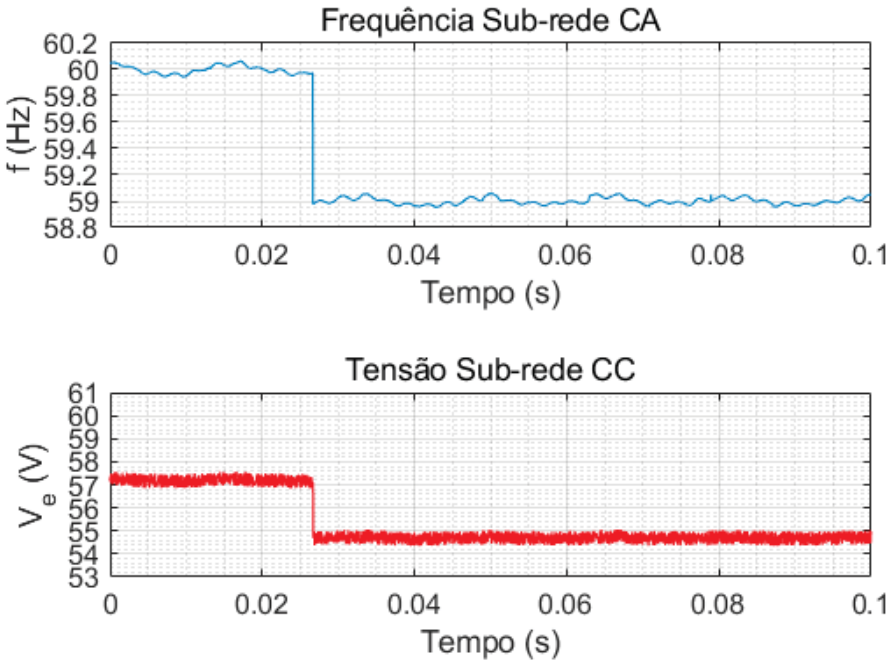


FONTE: O autor (2023).

Quando a direção da potência do inversor de interligação é da sub-rede CA para a sub-rede CC seu valor, por convenção, é negativo, contudo, o sinal de potência na FIGURA 76 é decorrente do sinal positivo da corrente que é definido pelo posicionamento do sensor de corrente. Na malha de controle *droop* bidirecional de tensão CC que foi implementada no protótipo do inversor de interligação, a potência é multiplicada pelo índice *droop* e o sinal resultante é subtraído do valor nominal de tensão da sub-rede CC.

O resultado do terceiro experimento está representado na FIGURA 77 e é realizado para demonstrar a relação entre a frequência da sub-rede CA com a tensão da sub-rede CC. Um degrau de frequência de -1 Hz, flutuação máxima da frequência, é aplicado através da fonte CA, enquanto, a carga da sub-rede CC é mantida em 54,2 Ω.

FIGURA 77 – RESULTADO EXPERIMENTAL 3: ENSAIO 1



FONTE: O autor (2023).

Antes do degrau de frequência, a potência é mantida em 60 W e, como demonstrado no experimento 2, a tensão CC é de, aproximadamente, 57,2 V. Em seguida, o degrau de frequência de -1 Hz é aplicado na sub-rede CA e, dessa maneira, produz uma flutuação de -2.98 V na tensão CC. Contudo a tensão da sub-rede CC não reduz para 54,2 V. Como a carga CC permanece constante, ou seja, 54,2 Ω, a flutuação da tensão CC decorrente da potência do inversor de interligação reduz para -2,67 V.

O valor de flutuação da tensão CC decorrente do degrau de frequência pode ser obtido multiplicando a flutuação de frequência de -1 Hz pelo índice de *droop* k_{fVe} = 13.845 e dividindo pelo ganho de realimentação da tensão CC.

O primeiro resultado experimental demonstra a capacidade do inversor de interligação manter a tensão nominal operando no VCM CC como formador da sub-rede CC.

Na FIGURA 76 há uma redução da tensão CC ocasionada pela potência do inversor de interligação. Pelo índice de *droop* k_{PIIVe}, a flutuação da tensão CC é de 50 % para a potência nominal (60 W), essa condição é descrita pelo segundo resultado experimental e demonstra a influência da potência do inversor de interligação na formação da tensão da sub-rede CC pelo inversor de interligação.

Na FIGURA 77, um degrau de frequência no valor da flutuação máxima, define a redução da tensão CC em mais 50 % da flutuação máxima da tensão CC.

Como formador da tensão da sub-rede CC, o protótipo do inversor de interligação é capaz de formar a tensão na sub-rede CC considerando a condição da frequência da sub-rede CA e da potência do inversor de interligação.

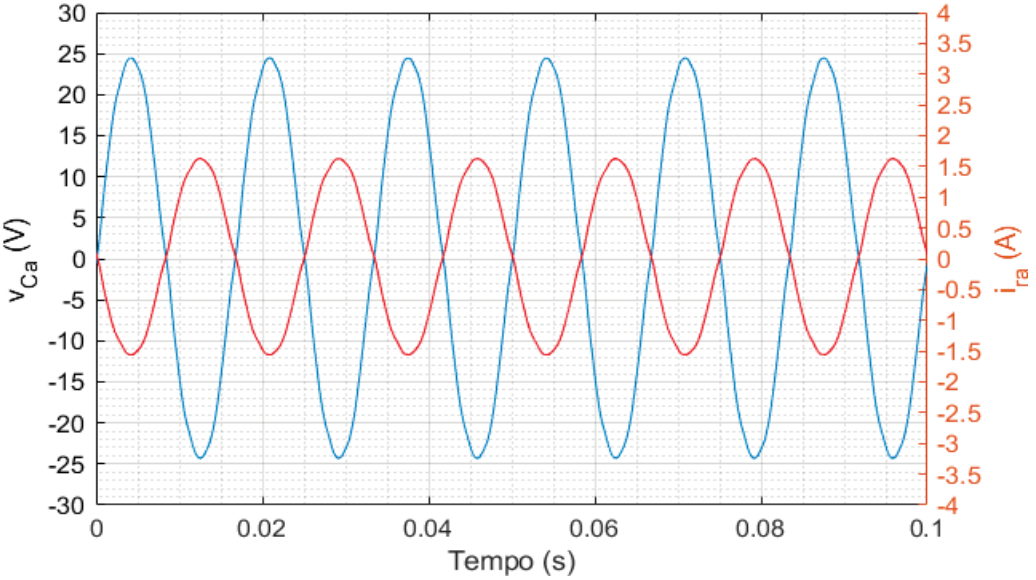
6.2 ENSAIO EXPERIMENTAL 2 – VCM COM *DROOP* BIDIRECIONAL DE TENSÃO CA

No ensaio experimental 2, a fonte CC está formando a sub-rede CC, o protótipo do inversor de interligação realiza a conexão com a sub-rede CC através dos contatores de pré-carga CC. Após carregar o capacitor do filtro do lado CC com a tensão sub-rede CC, o protótipo inicia a sua operação como formador da sub-rede CA.

O resultado do primeiro experimento está na FIGURA 78, onde, a tensão da fase ‘a’ da sub-rede CA (v_{Ca}), na cor azul, é representada pelo eixo y da esquerda e a corrente da fase ‘a’ (i_{ra}), na cor vermelho, pelo eixo y da direita. A fonte CC mantém a tensão da sub-rede CC no seu valor nominal de 60 V.

O protótipo do inversor de interligação está formando uma tensão de 17,32 V / 60 Hz e está na sua potência nominal de 60 W sem a atuação do *droop* bidirecional de tensão CA e, portanto, a referência da frequência da sub-rede CA é definida como 60 Hz. Na sub-rede CA está conectada uma carga trifásica em estrela de 15 Ω por fase e, dessa maneira, a corrente de fase do inversor de interligação é de 1,155 A.

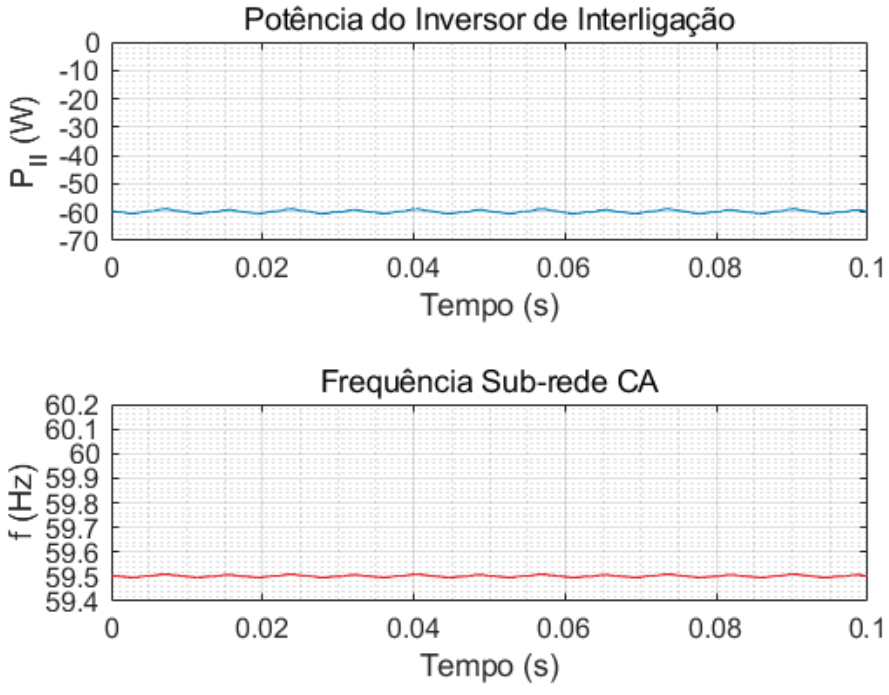
FIGURA 78 – RESULTADO EXPERIMENTAL 1: ENSAIO 2



FONTE: O autor (2023).

O resultado do segundo experimento está na FIGURA 79, onde, a condição de carga da sub-rede CA e a tensão da sub-rede CC são mantidas com os valores, respectivamente, de 15 Ω e 60 V. O protótipo do inversor de interligação passa a operar com a malha de controle *droop* bidirecional de tensão CA.

FIGURA 79 – RESULTADO EXPERIMENTAL 2: ENSAIO 2



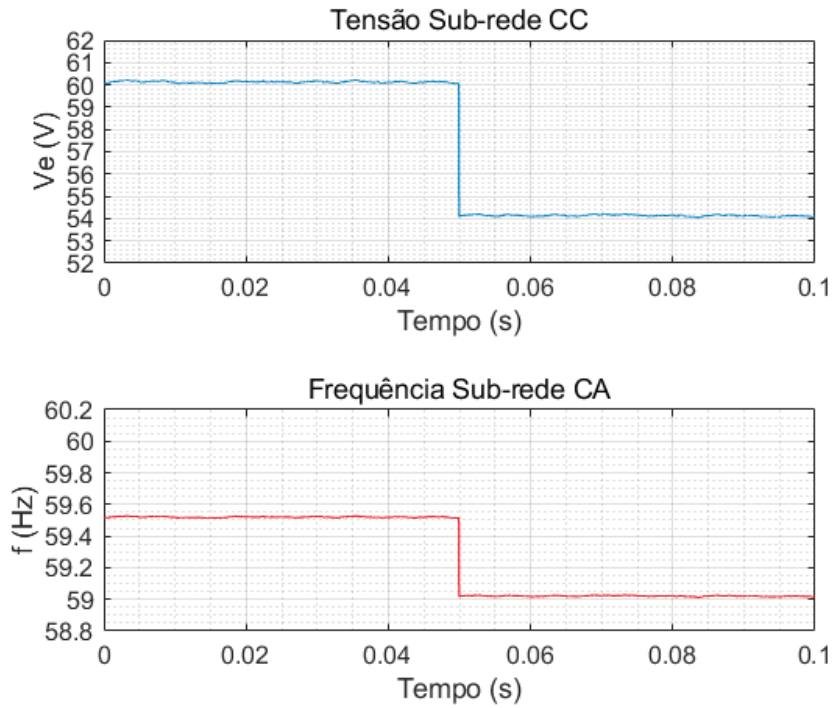
FONTE: O autor (2023).

O sinal de controle de potência é obtido multiplicando a potência de -60 W pelos ganhos de realimentação de corrente e tensão e é igual a -11.699,937. Para se obter a flutuação da frequência, o sinal de controle de potência é multiplicado pelo índice de *droop* k_{PIIf} = 42,735 µ, listado na TABELA 25, e, com isso, a flutuação da frequência resulta em -0,49 Hz, portanto, a frequência da sub-rede CA diminui para 59,51 Hz.

Quando a direção da potência do inversor de interligação é da sub-rede CC para a sub-rede CA seu valor, por convenção, é positivo, contudo, o sinal de controle da potência na FIGURA 79 é decorrente do sinal negativo da corrente que é definido pelo posicionamento do sensor de corrente. Na malha de controle *droop* bidirecional de tensão CA, a potência é multiplicada pelo índice *droop* e o sinal resultante é somado ao valor nominal da frequência da sub-rede CA.

O resultado do terceiro experimento está representado na FIGURA 80 e é realizado para demonstrar a relação entre a tensão da sub-rede CC com a frequência da sub-rede CA. Um degrau da tensão CC de -6 V, flutuação máxima da tensão CC, é aplicado através da fonte CC, sendo que, a carga da sub-rede CA é mantida em 15 Ω.

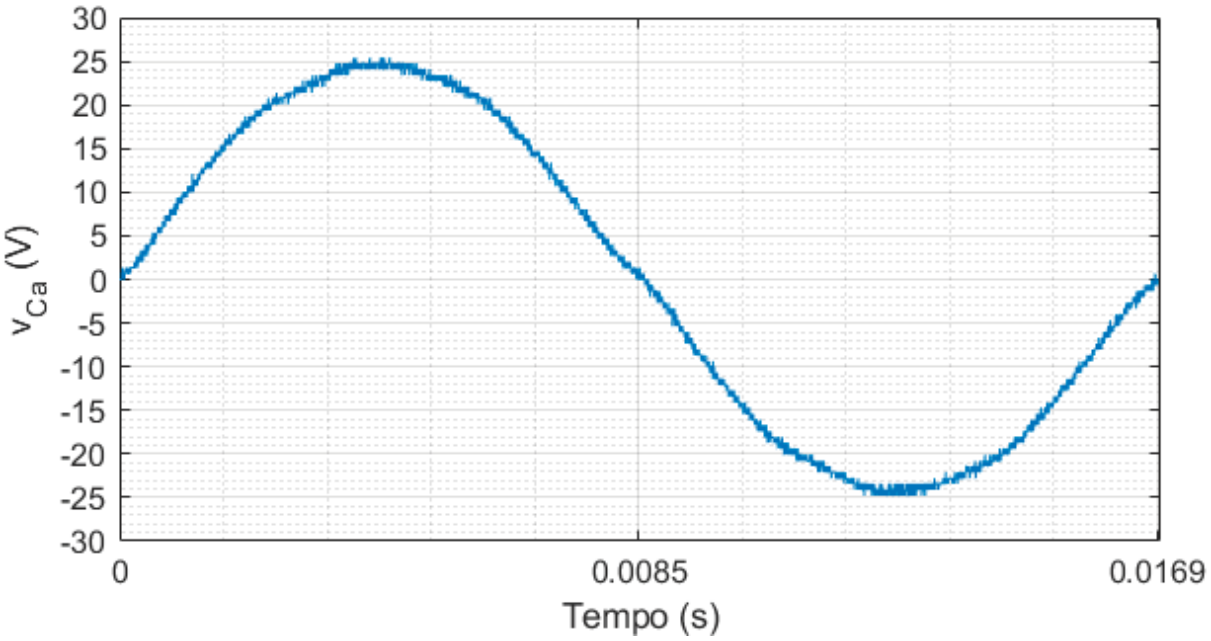
FIGURA 80 – RESULTADO EXPERIMENTAL 3: ENSAIO 2



FONTE: O autor (2023).

Como a condição de carga da sub-rede CA é mantida, a frequência da sub-rede CA permanece e, 59,51 Hz até a ocorrência do degrau da tensão da sub-rede CC. Após o degrau, a tensão da sub-rede CC assume o valor de 54 V. A flutuação da frequência é definida multiplicando a flutuação da tensão CC (-6 V) pelo ganho de realimentação de 4,651 e, sem seguida, pelo índice *droop* k_{Vef} = 18,057 m. O valor da flutuação da frequência assume um valor igual a -0,50 Hz e, com isso, o protótipo do inversor de interligação como formador da sub-rede CA produz uma tensão com a frequência de 59 Hz, como ilustrado na FIGURA 81.

FIGURA 81 – RESULTADO EXPERIMENTAL 4: ENSAIO 2



FONTE: O autor (2023).

O período da senoide para uma frequência de 59 Hz é igual a 16,95 m.

O primeiro resultado experimental apresenta a tensão da sub-rede CA, formada pelo inversor de interligação, com pequena ondulação e, visualmente, baixa distorção.

No segundo resultado experimental (FIGURA 79), a carga conectada à sub-rede CA define uma potência de 60 W para o protótipo do inversor de interligação, com isso, a frequência da sub-rede CA reduz 50% da flutuação máxima. Essa condição demonstra a atuação da relação entre a potência do inversor de interligação

e a frequência da sub-rede CA presente na malha de controle *droop* bidirecional de tensão CA.

No terceiro e quarto resultado experimental, um degrau, com o valor da flutuação máxima de tensão CC, é aplicado à tensão da sub-rede CC. Dessa maneira, a frequência da sub-rede CA reduz 50 % da flutuação máxima. Essa condição demonstra a relação entre a frequência da sub-rede CA e tensão da sub-rede CC definida na malha de *droop* bidirecional de tensão CA.

Os resultados obtidos mostram que o protótipo do inversor de interligação é capaz de formar a tensão da sub-rede CA e flutuar a frequência através da malha de controle *droop* bidirecional de tensão CA.

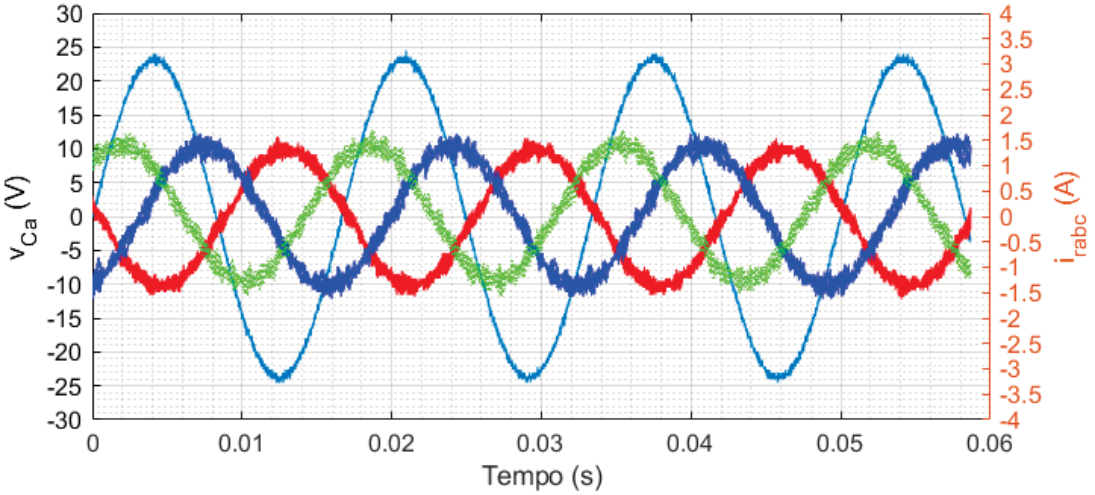
6.3 ENSAIO EXPERIMENTAL 3 – CCM COM DROOP BIDIRECIONAL DE CORRENTE

No ensaio experimental 3, a fonte CA está formando a tensão da sub-rede CA e a fonte CC está formando a sub-rede CC. O protótipo do inversor de interligação realiza o controle da potência entre as sub-redes considerando a condição de carga das sub-redes, através da frequência das sub-rede CA e da tensão da sub-rede CC. Após carregar o capacitor do filtro do lado CC com a tensão sub-rede CC, o protótipo inicia a sua operação.

O resultado do primeiro experimento está na FIGURA 82, onde, a tensão da fase ‘a’ da sub-rede CA (v_{Ca}), na cor azul, é representada pelo eixo y da esquerda e as correntes trifásicas pelo eixo y da direita, a corrente da fase ‘a’ é representada em vermelho, a corrente da fase ‘b’ em verde e a corrente da fase ‘c’ em azul.

A malha de controle *droop* bidirecional de corrente está desligada e, com isso, a potência do inversor de interligação é definida da sub-rede CC para a sub-rede CA através da referência da corrente de coordenada ‘d’, ou seja, i_{rd}^{*} = -1,633 A.

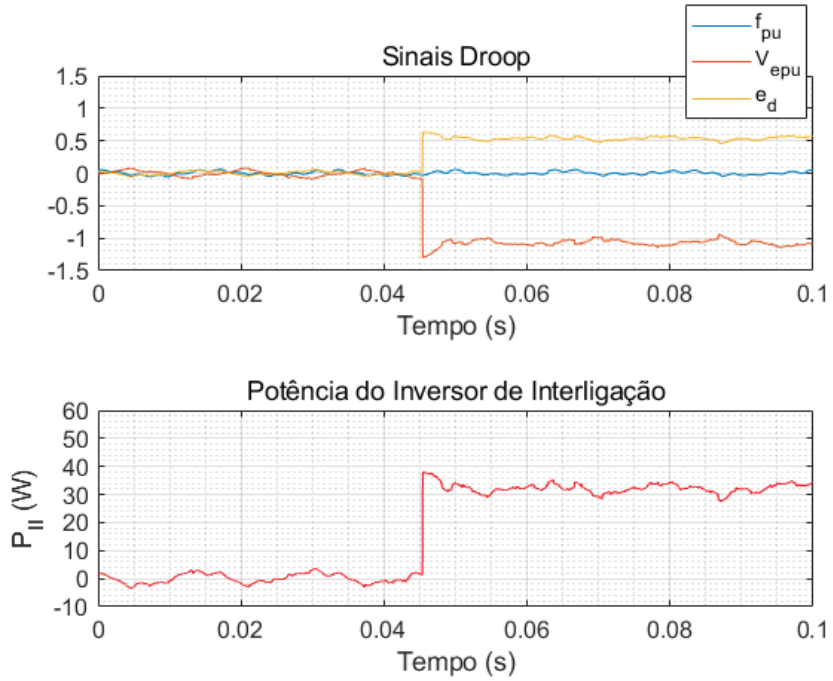
FIGURA 82 – RESULTADO EXPERIMENTAL 1: ENSAIO 3



FONTE: O autor (2023).

O resultado do segundo experimento está na FIGURA 83 e ilustra a relação entre a tensão da sub-rede CC e a potência do inversor de interligação. A frequência da sub-rede CA é mantida igual a 60 Hz, enquanto, um degrau de - 6 V é inserido na tensão da sub-rede CC, ou seja, para o experimento 1 a tensão CC passa do valor nominal de 60 V para 54 V. O protótipo do inversor de interligação passa a operar com a malha de controle *droop* bidirecional de corrente.

FIGURA 83 – RESULTADO EXPERIMENTAL 2: ENSAIO 3



FONTE: O autor (2023).

Antes do degrau de tensão da sub-rede CC, o sinal de erro produzido pela diferença dos valores em pu da frequência e da tensão da sub-rede CC é igual a zero, portanto, a potência do inversor de interligação permanece igual a zero.

Após o degrau da tensão da sub-rede CC, o erro assume o valor da diferença entre a frequência e a tensão CC, para a flutuação máxima da tensão CC de – 6 V, sendo que, o seu valor em pu é igual a -1 pu. O valor em pu tem seu sinal negativo suprimido pela subtração com o sinal de frequência e o resultado é dividido por dois para gerar o valor do erro, onde, e_d = 0,5 pu. Multiplicando o sinal do erro pelo índice *droop* k_{edPII} = 11,7 k, obtém-se um sinal de potência igual a 5,85 k, dividindo o valor do sinal de potência pelo ganho de realimentação de corrente e pelo ganho de realimentação de tensão CA o valor da potência do inversor de interligação é obtido e é igual a 30 W.

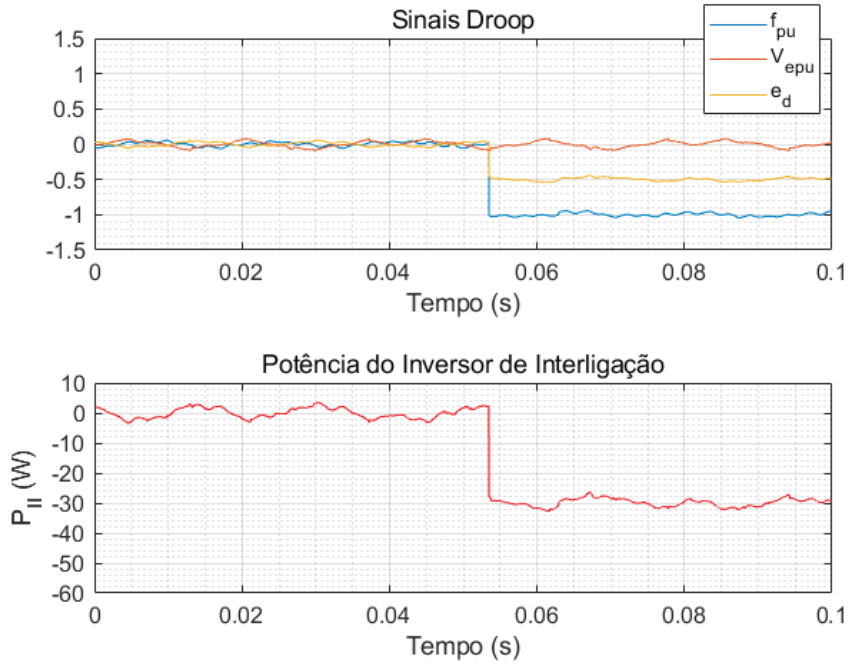
Com a condição de flutuação da tensão CC, o inversor de interligação passa a transferir potência da sub-rede CA para a sub-rede CC. Por convenção a potência do protótipo do inversor de interligação é negativa quando a direção é da sub-rede CA para a sub-rede CC, contudo, o sinal de controle da potência é positivo, pois, recebe o sinal da corrente de coordenada ‘d’.

O resultado do terceiro experimento está representado na FIGURA 84 e é realizado para demonstrar a relação entre a frequência da sub-rede CA e a potência do inversor de interligação. Um degrau da frequência de -1 Hz é aplicado através da fonte CA, o que representa a flutuação máxima da frequência. A tensão da sub-rede CC permanece com seu valor nominal de 60 V.

Anteriormente ao degrau da frequência, o erro é igual a zero e, consequentemente, a potência do protótipo do inversor de interligação é igual a zero.

Após o degrau da frequência, o erro assume o valor da diferença entre a frequência e a tensão CC, para a flutuação máxima de -1 Hz, sendo que, o seu valor em pu é igual a -1 pu. O valor em pu é somado ao valor da flutuação em pu da tensão da sub-rede CC e é dividido por dois para gerar o valor do erro, onde, e_d = -0,5 pu. Multiplicando o sinal do erro pelo índice *droop* k_{edPII} = 11,7 k, obtém-se um sinal de potência igual a -5,85 kW, dividindo o valor do sinal de potência pelo ganho de realimentação de corrente e pelo ganho de realimentação de tensão CA o valor da potência do inversor de interligação é obtido e é igual a -30 W.

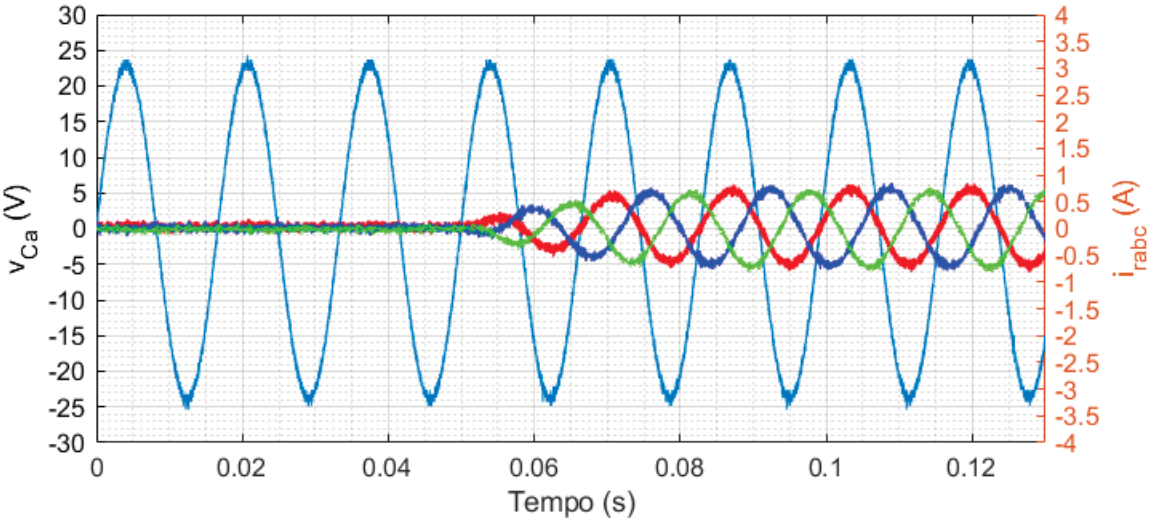
FIGURA 84 – RESULTADO EXPERIMENTAL 3: ENSAIO 3



FONTE: o autor (2023).

Com a flutuação negativa da frequência, o inversor passa a transferir potência da sub-rede CC para a sub-rede CA. A FIGURA 85apresenta as formas de onda das correntes trifásicas para essa condição, onde, a tensão da fase ‘a’ da sub-rede CA (v_{Ca}), na cor azul, é representada pelo eixo y da esquerda e as correntes trifásicas pelo eixo y da direita, a corrente da fase ‘a’ é representada em vermelho, a corrente da fase ‘b’ em verde e a corrente da fase ‘c’ em azul.

FIGURA 85 – RESULTADO EXPERIMENTAL 4: ENSAIO 3



FONTE: o autor (2023).

O inversor de interligação operando no CCM com *droop* bidirecional de corrente foi capaz de operar como retificador, ou seja, transferindo potência da sub-rede CA para a sub-rede CC, e como inversor, transferindo potência da sub-rede CA para a sub-rede CC.

No segundo e no terceiro resultado experimental, o controle *droop* bidirecional demonstra o uso do erro gerado entre a frequência da sub-rede CA e a tensão da sub-rede CC para definir a direção e magnitude da potência so inversor de interligação.

No segundo experimento um degrau de valor máximo da flutuação da tensão da sub-rede CC define que o inversor de interligação deve transferir metade da potência nominal (30 W) da sub-rede CA para a sub-rede CC. Da mesma forma, o degrau de frequência com o valor da flutuação máxima, no terceiro experimento, define a transferência de 30 W da sub-rede CC para a sub-rede CA.

6.4 CONSIDERAÇÕES FINAIS DO CAPÍTULO

As malhas de controle projetada para o protótipo do inversor de interligação são validadas através de resultados experimentais.

O primeiro ensaio experimental compreende o protótipo do inversor de interligação operando como VCM CC como formador da tensão da sub-rede CC. A malha controle *droop* bidirecional de tensão CC é implementada e é validada pelos resultados obtidos a partir da resposta na flutuação da tensão da sub-rede CC. A tensão da sub-rede CC flutua com a potência do inversor de interligação e flutua com a frequência da sub-rede CA.

O experimento que apresenta o resultado da flutuação da tensão da sub-rede CC com a potência do inversor de interligação também valida a operação do inversor de interligação no VCM CC com *droop* CC. Dessa maneira, as configurações 1, 4 e 5 da microrrede híbrida podem ser operacionalizadas através do protótipo do inversor de interligação operando no VCM CC e com controle *droop* CC, para as configurações 1 e 4 e com *droop* bidirecional de tensão CC para a configuração 5.

O segundo ensaio experimental apresenta o inversor de interligação operando como formador da sub-rede CA no modo VCM. A malha de controle *droop* bidirecional de tensão CA é implementada e através dela a frequência da sub-rede CA é definida pela flutuação da tensão da sub-rede CC e pela potência do inversor de interligação.

A configuração 6 da microrrede híbrida pode ser posta em operação através do protótipo do inversor de interligação operando no VCM e com controle *droop* bidirecional de tensão CA.

No terceiro ensaio experimental, o inversor de interligação está no modo CCM com a malha de controle *droop* bidirecional de corrente. A frequência da sub-rede CA flutua para indicar a necessidade de o inversor de interligação transferir potência para sub-rede CC para a sub-rede CA. Enquanto, a tensão da sub-rede CC flutua para indicar que o inversor de interligação deve transferir potência da sub-rede CA para a sub-rede CC.

O experimento que apresenta o resultado da potência do inversor de interligação através da flutuação da tensão da sub-rede CC também valida a operação do inversor de interligação no CCM CC com *droop* inverso CC. Portanto, as configurações 2, 3 e 7 da microrrede híbrida podem ser implementadas utilizando o inversor de interligação no modo CCM com *droop* inverso CC, para as configurações 2 e 3 e *droop* bidirecional de corrente para a configuração 7.

Embora, os resultados experimentais sejam realizados em baixa potência, a maneira de operar as malhas de controle *droop* e a atuação sobre as malhas de controle de tensão e corrente são as mesmas para a potência nominal do inversor de interligação. Como o filtro LCL não foi reprojetado para estabelecer os resultados experimentais considerando a baixa potência, as não linearidades que, por ventura, possam surgir, não são previstas não são consideradas para validade da estratégia de controle proposta neste trabalho.

7 CONCLUSÕES FINAIS

Este trabalho apresenta as estratégias de controle para o inversor de interligação considerando diferentes configurações de microrrede híbridas. As estratégias contemplam um modo de operação e uma malha de controle de potência, baseadas na metodologia de *droop*.

O trabalho demonstra, através de simulações, que para cada uma das sete configurações da microrrede híbrida existe um modo de operação do inversor de interligação mais uma malha de controle *droop* que estabelece a sua operação com controle de potência, compartilhamento de carga e formação da tensão de ambas as sub-redes.

Enquanto, os resultados experimentais, através do protótipo do inversor de interligação, demonstram a operação das malhas de controle de *droop* mediante as flutuações de frequência da sub-rede CA e da tensão da sub-rede CC, assim como, da potência do inversor de interligação.

Dessa maneira, se estabeleceu que para as configurações que a microrrede híbrida está conectada com a rede elétrica de distribuição, a frequência da sub-rede CA é fixa e as malhas de controle do inversor de interligação são estabelecidas para a sub-rede CC.

Na configuração com uma fonte formadora de tensão na sub-rede CC, o inversor de interligação operou com o controle de corrente CC (CCM CC) com a malha de controle *droop* inverso CC, com isso, o inversor de interligação controlou a potência entre as sub-redes e compartilhou a carga na sub-rede CC com a fonte formadora.

Com a fonte formadora de tensão na sub-rede CC, o inversor de interligação operou com o controle de tensão CC (VCM CC) com a malha de controle *droop* CC e formou a tensão da sub-rede CC, controlou a potência entre as sub-redes e compartilhou carga com as fontes CC operando semelhante a uma fonte de corrente.

Para as configurações em que a microrrede híbrida foi desconectada sub-rede CA a fonte formadora da sub-rede CA apresenta flutuação da frequência e as técnicas de controle *droop* bidirecional foram utilizados para alcançar o controle bidirecional de potência considerando a condição de carga de ambas as sub-redes, o compartilhamento de carga e a formação das tensões das sub-redes.

Na configuração da microrrede híbrida com uma fonte formadora apenas e conectada à sub-rede CA, o inversor de interligação operou no modo VCM CC e com controle *droop* bidirecional de tensão CC e, com isso, formou a tensão da sub-rede CC, realizou o controle de potência e demonstrou capacidade de compartilhar a carga com uma fonte CC operando com controle de corrente. O controle *droop* bidirecional de tensão CC foi desenvolvido durante este trabalho para realizar o controle de potência considerando a condição de carga de ambas as sub-redes, quando o inversor de interligação é o formador da tensão da sub-rede CC.

Na configuração da microrrede híbrida com uma fonte formadora apenas e conectada a sub-rede CC, o inversor de interligação operou no VCM com controle *droop* bidirecional de tensão CA, dessa forma, o inversor de interligação formou a tensão da sub-rede CA, demonstrou capacidade de controlar a potência considerando a condição de carga de ambas as sub-redes. Por fim, o inversor de interligação compartilhou a carga com uma fonte CA operando com controle de corrente.

Quando a microrrede híbrida apresentou duas fontes formadoras, uma na sub-rede CC e a outra na sub-rede CA, o inversor de interligação operou no CCM com controle *droop* bidirecional de corrente e alcançou o controle bidirecional de potência considerando a condição de carga de ambas as sub-redes, além de compartilhar carga com as fontes formadoras de ambas as sub-redes.

Através das estratégias de controle de controle definidos neste trabalho o inversor de interligação ganha em flexibilidade e pode ser aplicado as configurações da microrrede híbrida para se estabelecer o controle de potência, a formação da tensão das sub-redes e o compartilhamento de carga.

Durante o desenvolvimento deste trabalho os objetivos específicos foram alcançados, como descrito:

- A elaboração do controle *droop* bidirecional para o inversor de interligação operando como formador da sub-rede CC foi implementada e se mostrou efetiva na operação do inversor de interligação no VCM CC.
- A Análise da resposta do pré-filtro SOGI foi estabelecida durante a o projeto da malha de PLL com resultados expressivos na filtragem de harmônicas na tensão da sub-rede CA.

- O algoritmo que definiu a frequência da sub-rede CA, quando o protótipo do inversor de interligação operou no VCM, através de um contador em rampa de 0 a 2π. Dessa maneira, como o algoritmo opera como um contador em rampa finita evitou-se o *overflow* da variável no controle digital.
- Foi estabelecido o algoritmo para cálculo da corrente no indutor do lado do filtro LCL, a partir da tensão aquisitada do capacitor do filtro e da corrente aquisitada do indutor do lado da rede, dessa forma, reduziu-se o custo no uso de sensores, circuitos de condicionamento e uso das portas do conversor AD.
- Para simular o compartilhamento de carga entre o inversor de interligação e as fontes presentes na microrrede híbrida, foram elaborados os modelos de fontes despacháveis com controle de corrente ou com controle de tensão e utilizando malhas de controle *droop*.
- O uso de um protótipo para validar a operação das malhas de controle propostas neste trabalho.
- O controle do protótipo do inversor de interligação implementado através da programação do microcontrolador da família C2000 do fabricante Texas Instruments.

7.1 SUGESTÕES DE TRABALHOS FUTUROS

As estratégias de controle estabelecidas neste trabalho fazem parte do projeto do protótipo de interligação que apresenta participação da proposta de P&D da Agência Nacional de Energia Elétrica (ANEEL), intitulado “Desenvolvimento de Minirredes com Fontes de Energia Renováveis não Convencionais”. O P&D é financiado pela COPEL (Companhia Paranaense de Energia).

O projeto de P&D tem como objetivo a implantação de uma microrrede no bloco do Departamento de Engenharia Elétrica (DELT) da Universidade Federal do Paraná (UFPR) e a motivação para construção do protótipo do inversor de interligação é a sua utilização em experimentos utilizando a microrrede híbrida.

Portanto algumas sugestões forram previstas para continuação do desenvolvimento do protótipo em trabalhos futuros, entre elas estão:

(i) O uso do CLP e da IHM para comissionamento do protótipo, comunicação com a central de controle da microrrede híbrida e a exibição das condições de operação em tempo real.

(ii) Estabelecer na programação do microcontrolador as diretrizes de segurança contra sobrecorrentes, sobretensão e desligamentos de emergência considerando as condições dos demais elementos da microrrede híbrida.

REFERÊNCIAS

ALSIRAJI, H. A.; ELSHATSHAT, R.; RADWAN A. **A novel control strategy for the interlinking converter in hybrid microgrid**. 2017 IEEE Power & Energy Society General Meeting. 2017. ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/document/8274192. Acesso em: 01 Out 2023.

ANSARI, S.; CHANDEL, A.; TARIQ, M. **A Comprehensive Review on Power Converters Control and Control Strategies of AC/DC Microgrid**. IEEE Access, v. 9, p. 17998–18015, 2021. Disponível em: https://ieeexplore.ieee.org/document/9178771/. Acesso em: 01 Out 2023.

ARYANI, D.; SONG, H. **Coordination control strategy for AC/DC hybrid microgrids in stand-alone mode**. Energies, 2016. mdpi.com. Disponível em: https://www.mdpi.com/1996-1073/9/6/469. Acesso em: 01 Out 2023.

BAHARIZADEH, M.; KARSHENAS, H. R.; GUERRERO, J. M. **An improved power control strategy for hybrid AC-DC microgrids.** International Journal of Electrical Power and Energy Systems, 2018. Elsevier. Disponível em: https://www.sciencedirect.com/science/article/pii/S0142061517303253. Acesso em: 01 Out 2023.

BAHARIZADEH, M.; KARSHENAS, H. R.; GUERRERO, J. M. **Control strategy of interlinking converters as the key segment of hybrid AC–DC microgrids**. IET Generation, Transmission & Distribution, 2016. IET. Disponível em: https://digital-library.theiet.org/content/journals/10.1049/iet-gtd.2015.1014. Acesso em: 01 Out 2023.

BAO, C.; RUAN, X.; WANG, X.; LI, W.; PAN, D.; WENG K. **Design of injected grid current regulator and capacitor-current-feedback active-damping for LCL-type grid-connected inverter.** In Proceedings of the IEEE Energy Conversion Congress and Exposition, pp. 579–586 (2012). Disponível em: https://ieeexplore.ieee.org/document/6342769 Acesso em: 01 Out 2023.

BOUZID, A. M.; GUERRERO, J. M.; CHERITI, A.; **A survey on control of electric power distributed generation systems for microgrid applications**. Renewable and Sustainable Energy Reviews, 2015. Elsevier. Disponível em: https://www.sciencedirect.com/science/article/pii/S136403211500026X. Acesso em: 01 Out 2023.

BUSO, S.; MATTAVELI, P. **Digital Control in Power Electronics**. Morgan & Claypool. 2006.

CHANG, J. W.; MOON, S. IL; LEE, G. S.; HWANG, P. I. **A New Local Control Method of Interlinking Converters to Improve Global Power Sharing in an Islanded Hybrid AC/DC Microgrid**. IEEE Transactions on Energy Conversion, v. 35, n. 2, p. 1014–1025, 2020. Disponível em: https://ieeexplore.ieee.org/document/8962175 Acesso em: 01 Out 2023.

CHAPMAN, S. J. **Electric Machinery Fundamentals**. Quarta edição. Nova York: McGraw-Hill. 2005.

CHEN, J.; YUE, D.; DOU, C.; CHEN L.; WENG, S.; LI, Y. **A Virtual Complex Impedance Based P − ˙V in Low-Voltage AC Microgrids.** IEEE Transactions on Industrial Informatics V.: 17, I: 3, 2021. ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/document/9099380 Acesso em: 01 Out 2023.

CIOBOTARU, M.; TEODORESCU, R.; BLAABJERG, F. **A new single-phase PLL structure based on second order generalized integrator**. PESC Record - IEEE Annual Power Electronics Specialists Conference, 2006. ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/abstract/document/1711988/. Acesso em: 01 Out 2023.

CLARKE E., **Circuit analysis of A-C power systems: symmetrical and related components**, Vol 1. New York: John Wiley and Sons. 1943. Disponível em: https://archive.org/details/circuitanalysiso0001clar/page/n5/mode/2up. Acesso em: 01 Out 2023.

COHN, L. Industry Bullish on Future of Microgrid Market Over Next 10 Years. **Microgrid Knowledge**, nov. 2020. Disponível em: https://microgridknowledge.com/industry-leaders-bullish-on-future-of-microgrid-market-over-next-10-years/ Acesso em: 10 Fev. 2021.

CONSELHO INTERNACIONAL DE GRANDES SISTEMAS ELÉTRICOS. **Microgrids 1 Engineering, Economics, & Experience**, v. 1, p. 144, 2015 Disponível em: e-cigre > Publication > Microgrids 1 Engineering, Economics, & Experience Acesso em: 10 de abr. 2022.

DEMONTI, R. VILELA JUNIOR, J. A. OLIVEIRA. G. H. DA C. ET. AL., **Implantação de uma Microrrede no Departamento de Engenharia Elétrica da Universidade Federal do Paraná**, XVIII Encontro Ibero-americano do CIGRE, Foz do Iguaçu, 2019.

EGHTEDARPOUR, N.; FARJAH, E. **Power control and management in a Hybrid AC/DC microgrid**. IEEE Transactions on Smart Grid, v. 5, n. 3, p. 1494–1505, 2014. ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/abstract/document/6786493/. Acesso em: 01 Out 2023.

GOLESTAN, S.; GUERRERO, J. M.; VASQUEZ, J. **Three-phase PLLs: A review of recent advances.** IEEE Transactions on Power Electronics V: 32, I: 3, 2017. ieeexplore.ieee.org. Disponível em: <https://ieeexplore.ieee.org/abstract/document/7467498/. Acesso em: 01 Out 2023.

GU, L.; JIN, K. **A three-phase isolated bidirectional AC/DC converter and its modified SVPWM Algorithm**. IEEE Transactions on Power Electronics, v. 30, n. 10, p. 5458–5468, 2015. Disponível em: https://ieeexplore.ieee.org/abstract/document/6977976. Acesso em: 01 Out 2023.

GUERRERO, J. M.; CHANDORKAR, M.; LEE, T. L.; LOH, P. C. **Advanced control architectures for intelligent microgridspart i: Decentralized and hierarchical control**. IEEE Transactions on Industrial Electronics, v. 60, n. 4, p. 1254–1262, 2013. ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/abstract/document/6184305/. Acesso em: 01 Out 2023

HOLMES, D. G.; LIPO, T. A. **Pulse Width Modulation for Power Converters: Principles and Practice**. IEEE Press. 2003.

HOLMES, D. G.; MCGRATH, B. P.; PARKER, S. G. **Current regulation strategies for vector-controlled induction motor drives**. IEEE Transactions on Industrial Electronics, v. 59, n. 10, p. 3680–3689, 2012. ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/abstract/document/5991955/ Acesso em: 01 Out 2023.

HSIEH, G. C.; HUNG, J. C. **Phase-locked loop techniques - A survey**. IEEE Transactions on Industrial Electronics, v. 43, n. 6, p. 609–615, 1996. etc.tuiasi.ro. Disponível em: https://ieeexplore.ieee.org/document/544547 Acesso em: 01 Out 2023.

IEEE Standard 1547-2018, **IEEE Standard Conformance Test Procedures for Equipment Interconnecting Distributed Resources with Electric Power Systems,** IEEE Std 1547-2018, 2018.

IEEE Std.929-2000, **IEEE Recommended Practice for Utility Interface of Photovoltaic (PV) System**, IEEE Std.929-2000, 2000.

INFINEON TECHNOLOGY AG. **PrimeStack: Documentation and Operation Instructions**. 2006. Disponível em: https://www.infineon.com/dgdl/Infineon-PrimeSTACK_family_documentation-PI-v2.3-en.pdf?fileId=db3a304320d39d590121c47ebf8c6ee8 Acesso em: 01 Out 2023.

LEM. **Current Transducer LA 100-P**. 2018. Disponível em: https://www.lem.com/sites/default/files/products_datasheets/la_100-p_e_.pdf Acesso em: 01 Out 2023

LEM. **Voltage Transducer LV 25-P**. 2020. Disponível em: https://www.lem.com/sites/default/files/products_datasheets/lv_25-p.pdf Acesso em: 01 Out 2023.

LI, X.; GUO, L.; LI, Y.; et al. **A unified control for the DC–AC interlinking converters in hybrid AC/DC microgrids**. IEEE Transactions on Smart Grids, 2017. ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/abstract/document/7954058/ . Acesso em: 01 Out 2023.

LIANG, B.; KANG, L.; HE, J.; et al. **Coordination control of hybrid AC/DC microgrid**. The Journal of Engineering. 2018. The Institution of Engineering and Technology. IET. Disponível em: https://ieeexplore.ieee.org/document/8694335/. Acesso em: 01 Out 2023

LISERRE, M.; BLAABJERG, F.; HANSEN, S. **Design and control of an LCL-filter-based three-phase active rectifier.** IEEE Transactions on Industry Applications (Vo. 41, I: 5, 2005. ieeexplore.ieee.org. Disponível em: <https://ieeexplore.ieee.org/abstract/document/1510826/. Acesso em: 01 Out 2023.

LIU, Q.; CALDOGNETTO, T.; BUSO, S. **Flexible control of interlinking converters for DC microgrids coupled to smart AC power systems**. IEEE Transactions on Industrial Electronics, 2018. ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/abstract/document/8415751/. Acesso em: 01 Out. 2023.

LOH, P C; LI, D.; CHAI, Y. K.; BLAABJERG, F.; **Autonomous control of interlinking converter with energy storage in hybrid AC–DC microgrid**. IEEE IEEE Transactions on Industry Applications 2013. ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/abstract/document/6478799/. Acesso em: 01 Out 2023.

LOH, POH CHIANG; LI, D.; CHAI, Y. K.; BLAABJERG, F. **Autonomous operation of hybrid microgrid with ac and dc subgrids**. IEEE Transactions on Power Electronics, v. 28, n. 5, p. 2214–2223, 2013. Disponível em: https://ieeexplore.ieee.org/document/6279488. Acesso em: 01 Out. 2023.

LUO, F.; LOO, K. H.; LAI, Y. M. **A hybrid AC/DC microgrid control scheme with voltage-source inverter-controlled interlinking converters**. 2016 18th European Conference on Power Electronics and Applications (EPE'16 ECCE Europe), 2016. ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/abstract/document/7695536/. Acesso em: 01 Out 2023.

MORTEZAPOUR, V.; LESANI, H. **Hybrid AC/DC microgrids: A generalized approach for autonomous droop-based primary control in islanded operations**. International Journal of Electrical Power and Energy Systems, 2017. Elsevier. Disponível em: https://www.sciencedirect.com/science/article/pii/S0142061517306087. Acesso em: 01 Out 2023.

MOUSAVI, S. Y. M.; JALILIAN, A.; SAVAGHEBI, M.; ... **Autonomous control of current-and voltage-controlled DG interface inverters for reactive power sharing and harmonics compensation in islanded microgrids**. IEEE Transactions on Power Electronics. V: 33, I: 11, 2018. ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/abstract/document/8263177/ . Acesso em: 01 Out 2023.

NAJAFZADEH, M.; AHMADIAHANGAR, R.; HUSEV, O.; et al. **Recent Contributions, Future Prospects and Limitations of Interlinking Converter Control in Hybrid AC/DC Microgrids**. IEEE Access, v. 9, p. 7960–7984, 2021. Disponível em: https://ieeexplore.ieee.org/document/9312595/. Acesso em: 01 Out 2023.

NEJABATKHAH, F.; LI, Y. W. **Overview of Power Management Strategies of Hybrid AC/DC Microgrid.** IEEE Transactions on Power Electronics, v. 30, n. 12, p.

7072–7089, 2015. ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/abstract/document/6994843/. Acesso em: 01 Out 2023

NICASTRI, A.; NAGLIERO, A. **Comparison and evaluation of the PLL techniques for the design of the grid-connected inverter systems.** IEEE International Symposium on Industrial Electronics, p. 3865–3870, 2010. ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/abstract/document/5637778/>. Acesso em: 01 Out 2023.

NUTKANI, I. U.; LOH, P. C.; WANG, P.; BLAABJERG, F. **Autonomous droop scheme with reduced generation cost**. IEEE Transactions on Industrial Electronics, v. 61, n. 12, p. 6803–6811, 2014. Disponível em: https://ieeexplore.ieee.org/document/6779649. Acesso em: 01 Out 2023.

ORDONO, A.; UNAMUNO, E.; BARRENA, J. A.; PANIAGUA, J. **Interlinking converters and their contribution to primary regulation: a review**. International Journal of Electrical Power and Energy Systems, v. 111, p. 44–57, 2019. Elsevier. Disponível em: https://www.sciencedirect.com/science/article/pii/S0142061518333477. Acesso em: 01 Out 2023

PARK, R. H. **Two-reaction theory of synchronous machines generalized method of analysis-part I**. Transactions of the American Institute of Electrical Engineers. V.: 48, I: 3, 1929. Disponível em: https://ieeexplore.ieee.org/abstract/document/5055275/. Acesso em: 01 Out 2023.

PARKER, S. G.; MCGRATH, B. P.; HOLMES, D. G. **Regions of active damping control for LCL**. IEEE Transactions on Industry Applications. V: 50, I: 1, 2014. Disponível em: https://ieeexplore.ieee.org/document/6527358 Acesso em: 01 Out 2023.

PENA-ALZOLA, R.; LISERRE, M.; BLAABJERG, F.; **Analysis of the passive damping losses in LCL-filter-based grid converters**. IEEE Transactions on Power Electronics. V.: 28, I: 6, 2013. ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/abstract/document/6324450/. Acesso em: 01 Out 2023.

PEYGHAMI, S.; MOKHTARI, H.; BLAABJERG, F. **Autonomous operation of a hybrid AC/DC microgrid with multiple interlinking converters** IEEE Transactions on Smart Grid.V: 9, I: 6, 2018. ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/abstract/document/7944699/ . Acesso em: 01 Out 2023

RASHID M H. **Power Electronics Handbook**. Terceira Edição. Burlington: Butterworth-Heinemann. 2011.

REZNIK, A.; SIMÕES, M. G.; AL-DURRA, A.; **LCL filter design and performance analysis for small wind turbine systems.** 2012 IEEE Power Electronics and Machines in Wind Applications. 2012 ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/abstract/document/6316408/. Acesso em: 01 Out 2023.

ROCABERT, J.; LUNA, A.; BLAABJERG, F.; RODRÍGUEZ, P. **Control of power converters in AC microgrids.** IEEE Transactions on Power Electronics, v. 27, n. 11, p. 4734–4749, 2012. Disponível em: https://ieeexplore.ieee.org/document/6200347 Acesso em: 01 Out 2023.

RUAN, X.; WANG, X.; PAN, D.; YANG, D.; LI, W.; BAO, C. **Control Techniques for LCL-Type Grid-Connected Inverters.** Primeira Edição. Pequim: Springer, Science Press. 2018.

SAHOO, S. K.; SINHA, A. K.; KISHORE, N. K. **Control techniques in AC, DC, and hybrid AC–DC microgrid: a review**. IEEE Journal of Emerging and Selected Topics in Power Electronics. 2018.ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/abstract/document/8234570/. Acesso em: 01 Out 2023.

SAJID, A.; SABZEHGAR, R.; RASOULI, M.; FAJRI, P. **Control of interlinking bidirectional converter in AC/DC hybrid microgrid operating in stand-alone mode**. 2019 IEEE Milan PowerTech, PowerTech 2019. Anais... , 2019. Disponível em: https://ieeexplore.ieee.org/abstract/document/8810563 Acesso em: 01 Out. 2023.

SCHACHTER, K. W. **TMS320F2837xD Microcontroller Workshop: Workshop Guide and Lab Manual.** 2018. Disponível em: https://software-dl.ti.com/trainingTTO/trainingTTO_public_sw/c28x28379/F2837xD_Microcontroller_MDW_2-0.pdf Acesso em: 01 Out 2023.

SINGH, M.; LOPES, L. A. C.; NINAD, N. A. **Grid forming Battery Energy Storage System (BESS) for a highly unbalanced hybrid mini-grid**. Electric Power Systems Research, 2015. Elsevier. Disponível em: https://www.sciencedirect.com/science/article/pii/S0378779615001546 Acesso em: 01 Out 2023.

TANG, Y., LOH, P.C., WANG, P., CHOO, F.H., GAO, F., BLAABJERG, F.: **Generalized design of high performance shunt active power filter with output LCL filter**. IEEE Trans. Ind. Electron. 59 (3), 1443–1452 (2012). Disponível em: https://ieeexplore.ieee.org/document/6009185 Acesso em: 01 Out 2023.

TEXAS INSTRUMENTS. **CMOS HEX Voltage-Level Shifter for TTL-To-CMOS or CMOS-To-CMOS Operation**. 2008. Disponível em: https://www.ti.com/lit/ds/symlink/cd4504b-ep.pdf?ts=1696212412351&ref_url=https%253A%252F%252Fwww.google.com%252F Acesso em: 01 Out 2023.

TEXAS INSTRUMENTS. **SN74LV1T126 Single Power Supply Single Buffer Gate with 3-State Output CMOS Logic Level Shifter.** 2022. Disponível em: https://www.ti.com/product/SN74LV1T126?keyMatch=SN74LV1T126&tisearch=search-everything&usecase=GPN Acesso em: 01 Out 2023.

TEXAS INSTRUMENTS. **TMS320F2837xD Dual-Core Microcontrollers.** 2021**.** Disponível em:

https://www.ti.com/product/TMS320F28379D?keyMatch=TMS320F28379D%20LAUNCHPAD Acesso em: 1 Out 2023

TEXAS INSTRUMENTS. **TMS320F2837xD Dual-Core Microcontrollers: Technical Reference Manual (SPRUHM8I).** 2019.

Texas Instruments Lauchxl-F28378d, **User's Guide: LAUNCHXL-F28379D Overview: (SPRUI77C).** 2019.

UNAMUNO, E.; BARRENA, J. A. **Hybrid ac/dc microgrids—Part I: Review and classification of topologies**. Renewable and Sustainable Energy Reviews, 2015a. Elsevier. Disponível em: https://www.sciencedirect.com/science/article/pii/S1364032115008412. Acesso em: 01 Out 2023.

UNAMUNO, E.; BARRENA, J. A. **Hybrid ac/dc microgrids—Part II: Review and classification of control strategies**. Renewable and Sustainable Energy Reviews, 2015b. Elsevier. Disponível em: https://www.sciencedirect.com/science/article/pii/S1364032115008333. Acesso em: 01 Out 2023.

VASQUEZ, J. C.; GUERRERO, J. M.; SAVAGHEBI, M.; **Modeling, analysis, and design of stationary-reference-frame droop-controlled parallel three-phase voltage source inverters**. IEEE Transactions on Industrial Electronics. V: 60, I: 4, 2013. ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/abstract/document/6184306/ Acesso em: 01 Out 2023.

WANG, C.; DENG, C.; LI, G. **Control Strategy of Interlinking Converter in Hybrid Microgrid Based on Line Impedance Estimation**. Energies, v. 15, n. 5, 2022. Disponível em: https://www.mdpi.com/1996-1073/15/5/1664. Acesso em: 01 Out 2023.

WANG, J.; JIN, C.; WANG, P. **A Uniform Control Strategy for the Interlinking Converter in Hierarchical Controlled Hybrid AC/DC Microgrids**. IEEE Transactions on Industrial Electronics. Vol.: 65, Issue: 8, 2018. ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/document/8219372 Acesso em: 01 Out 2023.

WU, D.; TANG, F.; VASQUEZ, J. C.; GUERRERO, J. M. **Control and analysis of droop and reverse droop controllers for distributed generations**. 2014 IEEE 11th International Multi-Conference on Systems, Signals and Devices, SSD 2014, , n. 3, p. 1–5, 2014. IEEE. Disponível em: https://ieeexplore.ieee.org/document/6808842 Acesso em: 01 Out 2023.

WU, W.; HE, Y.; TANG, T.; BLAABJERG, F. **A new design method for the passive damped LCL and LLCL filter-based single-phase grid-tied inverter**. IEEE Transactions on Industrial Electronics, v. 60, n. 10, p. 4339–4350, 2013. ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/abstract/document/6297457/. Acesso em: 01 Out 2023.

XIA, Y.; PENG, Y.; YANG, P.; YU, M.; **Distributed coordination control for multiple bidirectional power converters in a hybrid AC/DC microgrid**. IEEE Transactions on Power Electronics, 2016. ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/abstract/document/7552521/. Acesso em: 01 Out 2023.

YANG P.; YU M.; WU Q.; HATZIARGYRIOU N.; XIA Y.; WEI. W. **Decentralized Bidirectional Voltage Supporting Control for Multi-Mode Hybrid AC/DC Microgrid**. IEEE Transactions on Smart Grid. Vol. 11. No. 3. 2020. ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/document/8930578 Acesso em: 01 Out 2023.

YANG, P.; XIA, Y.; YU, M.; WEI, W.; PENG, Y. **A Decentralized Coordination Control Converters in a Hybrid AC/DC Microgrid.** IEEE Transactions on Industrial Electronics. V.: 65, Issue: 8, 2018. ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/document/8234674 Acesso em: 01 Out 2023.

YOUSSEF, T. A.; MOHAMMED**, O. Adaptive SRF-PLL with reconfigurable controller for Microgrid in grid-connected and stand-alone modes**. 2013 IEEE Power & Energy Society General Meeting, 2013. ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/abstract/document/6673028/ Acesso em: 01 Out 2023.

ZHANG, B.; QIU, D. **m-MODE SVPWM Technique for Power Converters**. Singapura: Springer. 2019.

ZHANG, C.; LI, P.; GUO, Y**. Bidirectional DC/DC and SOC drooping control for DC microgrid application.** Electronics, v. 9, n. 2, 2020. Disponível em: https://www.mdpi.com/2079-9292/9/2/225. Acesso em: 01 Out 2023.

ZHANG, H.; ZHOU, J.; SUN, Q.; **Data-driven control for interlinked AC/DC microgrids via model-free adaptive control and dual-droop control**. IEEE Transactions on Smart Grid, 2015. ieeexplore.ieee.org. Disponível em: https://ieeexplore.ieee.org/abstract/document/7348696/ . Acesso em: 01 Out 2023.

ZHANG, J.; GUO, D.; WANG, F.; ZUO, Y.; ZHANG, H. **Control strategy of interlinking converter in hybrid AC/DC microgrid**. International Conference on Renewable Energy Research and Applications p.97–102, 2013. Disponível em: https://ieeexplore.ieee.org/document/6749733 Acesso em: 01 Out. 2023.

ZHANG, N.; TANG, H.; YAO, C. **A systematic method for designing a PR controller and active damping of the LCL filter for single-phase grid-connected PV inverters**. Energies, 2014. mdpi.com. Disponível em: https://www.mdpi.com/74850 Acesso em : 01 Out 2023.

APÊNDICE 1 – PROCESSO DE SELEÇÃO DE PORTFÓLIO BIBLIOGRÁFICO

O processo de seleção dos trabalhos citados na revisão bibliográfica foi realizado no repositório Scopus através da busca de palavras-chaves nos campos definidos na ferramenta de busca como: *title, abstract* e *keyword*.

As palavras-chaves foram combinadas em grupos de três e a busca foi realizada em um período entre 2013 e 2022. A relação entre as palavras-chaves e o resultado da pesquisa estão presentes na TABELA 26.

TABELA 26 – RESULTADO DA PESQUISA DO MATERIAL BIBLIOGRÁFICO

Eixo 1	*Microgrid*	
Eixo 2 / Eixo 3	*Inverter*	*Converter*
Hybrid	313	729
AC/DC	904	1.680
Total	1.217	2.409

FONTE: o autor (2023).

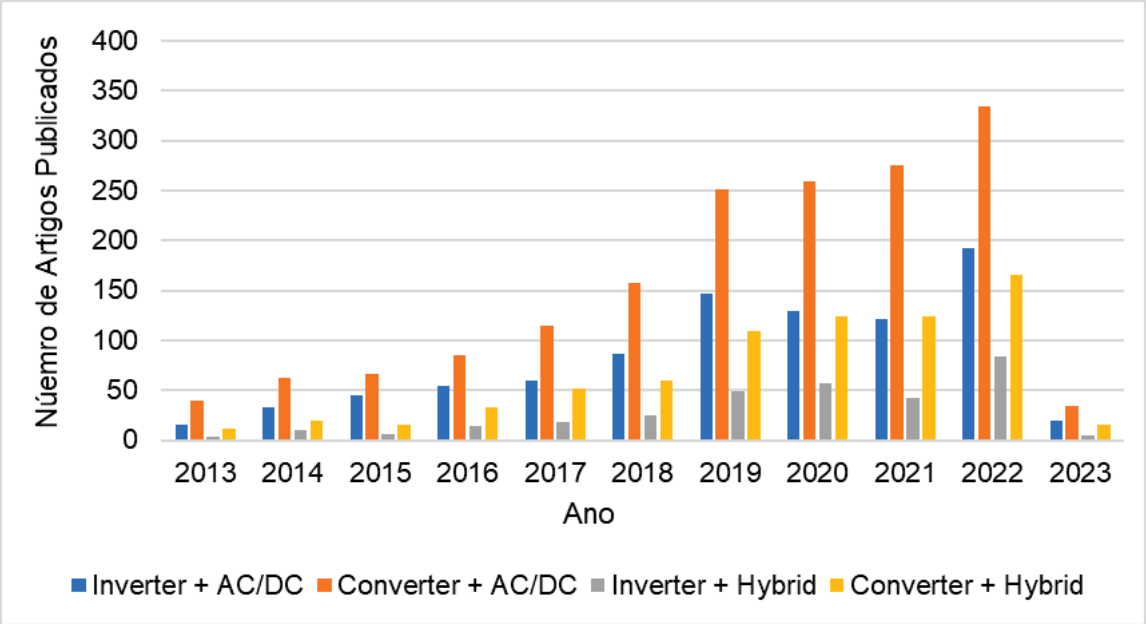
Um total de 3.626 artigos em periódicos foram encontrados, excluindo as repetições restaram 1.637 artigos. O número elevado de duplicatas foi ocasionado pelo uso de palavras-chaves com significado semelhante.

Na FIGURA 86 estão os trabalhos selecionados classificados pelo ano de publicação.

A próxima etapa é a classificação dos artigos em relação a qualidade dos periódicos, para isso, foi utilizado o critério QUALIS da Coordenação de Aperfeiçoamento de Pessoal de Nível Superior (CAPES). As revistas com a produção de conteúdo em Engenharia Elétrica estão na área de avaliação das Engenharias IV e, como critério de seleção, somente os trabalhos publicados em periódicos com classificação A1, A2 e B1 permanecem selecionados para o portifólio bibliográfico. Após cruzamento dos 1.637 trabalhos com a base do QUALIS restaram 853 artigos.

Com o objetivo de manter somente os artigos com aderência ao tema, a leitura dos títulos dos 853 foi realizada, com isso, um total de 375 artigos foram selecionados. Após, a leitura do resumo, 78 artigos permaneceram no processo de seleção. Por fim, a leitura da introdução e da conclusão definiram 48 artigos para compor a revisão bibliográfica em relação à aderência ao tema

FIGURA 86 – NÚMERO DE ARTIGOS PUBLICADOS POR CONJUNTO DE PALAVRAS-CHAVES



FONTE: o autor (2023).

Até o momento, a metodologia adotada para seleção das referências bibliográficas definiu um total de 48 artigos que apresentam aderência ao tema. Após, a leitura compreensiva dos trabalhos selecionados, um total de 21 artigos foram determinados para a revisão bibliográfica, considerando os trabalhos que contêm pontos relevantes e que se aplicam em relação à proposta deste trabalho.

A TABELA 27 apresenta o número de artigos restantes após a realização de cada etapa de seleção.

TABELA 27 – ETAPAS DE SELEÇÃO DO PORTIFÓLIO BIBLIOGRÁFICO

Critérios de Seleção	Quantidade de Artigos Selecionados
Eixos de Pesquisa	3.626
Trabalhos Repetidos	1.637
QUALIS	863
Leitura dos Títulos	375
Leitura do Resumo	78
Leitura da Introdução e Conclusão	48
Leitura Compreensiva do Artigo	21

FONTE: o autor (2023)

A TABELA 28 apresenta as métricas finais dos trabalhos selecionados para a revisão bibliográfica.

TABELA 28 – MÉTRICAS DOS ARTIGOS SELECIONADOS

INDICADOR	VALOR
Total de Citações	2.757
Citações por Ano	383,47
Índice h	20
Índice g	20

FONTE: o autor (2023)

As métricas confirmam a relevância do portifólio bibliográfico selecionado pelos critérios adotados.

APÊNDICE 2 – REPRESENTAÇÃO DE SISTEMAS TRIFÁSICOS

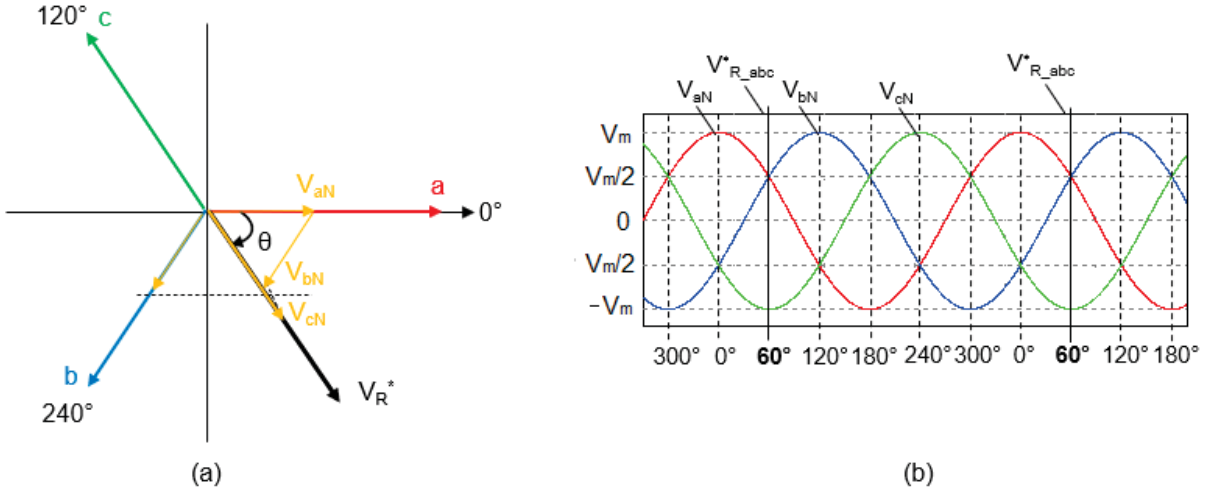
Os sistemas trifásicos apresentam acoplamento entre as fases e, dessa maneira, para fins de controle e visualização de resultados são adotadas as representações em planos referenciais simplificados.

As grandezas elétricas trifásicas, como a corrente e a tensão, podem ser representadas através de um plano com referencial de coordenadas estacionárias abc, gerando assim, um vetor resultante que representa as três fases. Com o mesmo conceito, um referencial estacionário com dois eixos (αβ) pode ser utilizado para representar o vetor resultante em coordenadas αβ e, por fim, a representação do vetor resultante pode ser realizada por um plano com dois eixos girantes denominado como referencial síncrono dq. Embora, na essência a informação contida em cada tipo de representação seja a mesma, algumas preposições para controle são facilitadas.

A FIGURA 87 apresenta um plano com um sistema de coordenadas abc e as tensões senoidais que representa cada fase do sistema trifásico. O vetor resultante é definido como V_R^*, sendo ele, a soma das três fases.

O ângulo do vetor resultante é representado por θ, e tem valor igual a 60°, em relação a referência 0°, o pico das tensões das fases (V_{aN}, V_{bN}, V_{cN}) é representado por V_m.

FIGURA 87 – REPRESENTAÇÃO SISTEMA TRIFÁSICO NO PLANO ABC



FONTE: O autor (2023).

O vetor resultante percorre todo o plano abc deslocando-se com a velocidade angular da rede elétrica, sendo que, para o exemplo apresentado na FIGURA 87, o deslocamento do vetor é no sentido horário.

A equação (77) representa as tensões V_{aN}, V_{bN} e V_{cN} e há uma defasagem de fase de -90°, sendo que, o sistema tem como referência para sincronização o valor de pico da tensão na fase 'a'. Na FIGURA 87 (a) o eixo que indica 0º está em fase com o vetor 'a', portanto, para que o vetor resultante sincronize com o pico da tensão da fase 'a', indicado como 0° na FIGURA 87 (b) é necessário que ele inicie -90° defasado.

$$\begin{cases} V_{aN} = V_m \operatorname{sen}(\theta + 90°) \\ V_{bN} = V_m \operatorname{sen}(\theta + 90° + 240°) \\ V_{cN} = V_m \operatorname{sen}(\theta + 90 + 120°) \end{cases} \tag{77}$$

A representação em coordenadas polares das tensões de fase para um vetor resultante (V_R^*) com θ = 60° está na equação (78).

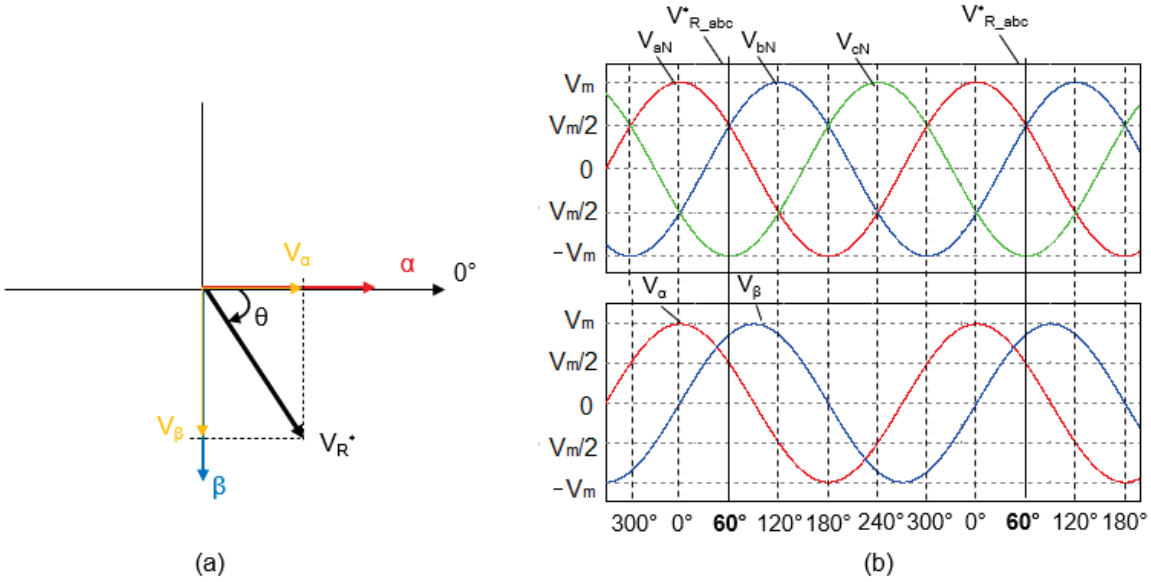
$$\begin{cases} \vec{V}_{aN} = \dfrac{1}{2} V_m \lfloor \underline{\quad}^{0°} \\ \vec{V}_{bN} = \dfrac{1}{2} V_m \lfloor \underline{\quad}^{240°} \\ \vec{V}_{cN} = -1\, V_m \lfloor \underline{\quad}^{120°} \end{cases} \tag{78}$$

A equação (79) contém o vetor resultante na forma polar para um θ = 60°, como indicado na FIGURA 87. No sistema equilibrado, a amplitude do vetor resultante é constante e tem valor igual a 3/2 do pico das tensões de fases.

$$\vec{V}_R = \frac{3}{2} V_m \lfloor \underline{\quad}^{60°} \tag{79}$$

Na FIGURA 88 está o vetor da equação (79) no referencial estacionário αβ sendo que, a tensão V_α está em fase V_{aN}, enquanto, a tensão V_β está defasada em 90°. O uso de apenas duas coordenadas simplifica a representação do vetor.

FIGURA 88 – REPRESENTAÇÃO SISTEMA TRIFÁSICO NO PLANO αβ



FONTE: o autor (2023).

Obtendo o valor das tensões das fases (V_{aN}, V_{bN}, V_{cN}) é possível utilizar a transformada de Clarke (CLARKE,1938), para determinar as coordenadas no plano αβ que representam o vetor resultante.

A transformada de Clarke é descrita na equação (80), onde, o termo 2/3 é utilizado para manter a amplitude do vetor com o valor da tensão de pico das fases (V_m).

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \frac{2}{3}\begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix}\begin{bmatrix} v_{aN} \\ v_{bN} \\ v_{cN} \end{bmatrix} \tag{80}$$

Caso seja necessário realizar a operação inversa, a transformada inversa de Clarke é utilizada, equação (81) (CLARKE, 1938).

$$\begin{bmatrix} v_{aN} \\ v_{bN} \\ v_{cN} \end{bmatrix} = \frac{3}{2}\begin{bmatrix} 1 & 0 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix}\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} \tag{81}$$

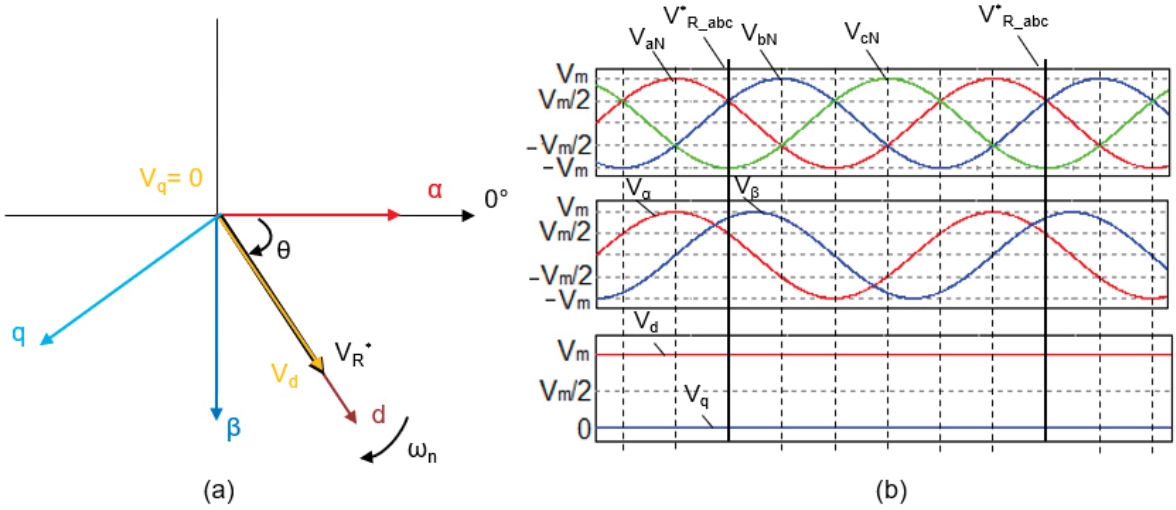
Usualmente, o referencial estacionário αβ é utilizado em malhas de controle de tensão e corrente dos inversores trifásicos conectados à sistemas equilibrados.

Para o projeto do inversor de interligação, o referencial estacionário αβ é utilizado para gerar os vetores da modulação vetorial, e para os sinais de tensão durante a pré-filtragem que é realizada no algoritmo de PLL.

O vetor resultante da equação (79) ainda pode ser representado em um referencial síncrono dq. A FIGURA 89 apresenta o vetor resultante V_R^*, onde, o plano dq e o vetor giram com a frequência angular natural da rede elétrica (ω_n), dessa maneira, os sinais senoidais passam a ser representados por valores constantes.

A principal vantagem do referencial síncrono dq é a separação entre a parte real e a parte imaginária do vetor resultante, o que contribui para as estratégias de controle do inversor de interligação. No exemplo da FIGURA 89, o vetor resultante está em fase com o eixo 'd' e, com isso, ele é formado apenas pela coordenada V_d, sendo que, o valor da coordenada no V_q é igual a zero.

FIGURA 89 – REPRESENTAÇÃO SISTEMA TRIFÁSICO NO PLANO dq



FONTE: o autor (2023).

A transformada de Park está na equação (82) (PARK, 1929), e, e é utilizada para transformar o referencial estacionário αβ para o referencial síncrono dq, onde, θ = $\omega_n t$.

$$\begin{bmatrix} v_d \\ v_q \end{bmatrix} = \begin{bmatrix} \cos(\theta) & sen(\theta) \\ -sen(\theta) & \cos(\theta) \end{bmatrix} \begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} \quad (82)$$

Caso seja necessário obter novamente os valores das tensões no referencial estacionário αβ, a transformada inversa de Park é utilizada, equação (83) (PARK, 1929).

$$\begin{bmatrix} v_\alpha \\ v_\beta \end{bmatrix} = \begin{bmatrix} \cos(\theta) & -sen(\theta) \\ sen(\theta) & \cos(\theta) \end{bmatrix} \begin{bmatrix} v_d \\ v_q \end{bmatrix} \quad (83)$$

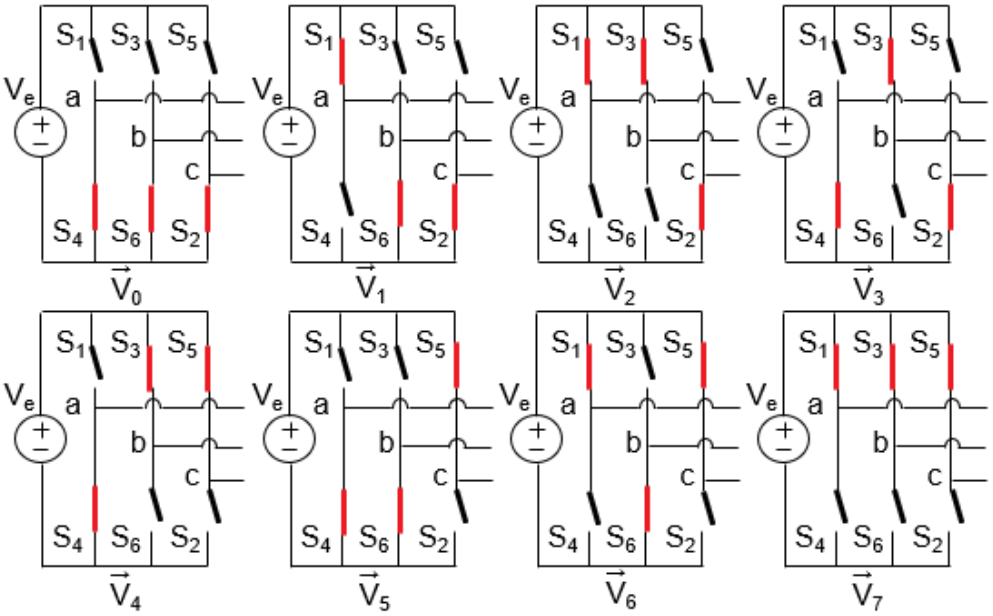
O referencial síncrono dq é amplamente utilizado em algoritmos de PLL, como demonstrado em Nicastri e Nagliero (2010) e Ciobotaru, Teodorescu e Blaabjerg (2006). Como os sinais v_d e v_q são constantes, usualmente, um controlador do tipo PI é utilizado como compensador das malhas de controle de inversores trifásicos. Exemplos de projetos de compensadores no referencial síncrono dq são apresentados por Holmes et al. (2012) e Vasquez, Guerrero e Savaghebi (2013).

Para o projeto do inversor de interligação, o referencial síncrono dq é utilizado para sincronismo com a rede elétrica através de um algoritmo de PLL e na malha de controle de corrente e na malha de controle de tensão.

APÊNDICE 3 – ALGORITMO DA MODULAÇÃO VETORIAL (SVM)

Embora, os inversores de tensão trifásicos apresentem seis interruptores, apenas um interruptor de cada braço pode ser acionado por vez, com isso, existem 2^3 possibilidades para sintetizar uma tensão trifásica. Na FIGURA 90 estão as possíveis combinações de comutações dos interruptores que geram os vetores resultantes identificados como $\vec{V}_0$ a $\vec{V}_7$ e de coordenadas (V_{Ma}, V_{Mb}, V_{Mc}).

FIGURA 90 – VETORES RESULTANTES NA MODULAÇÃO VETORIAL

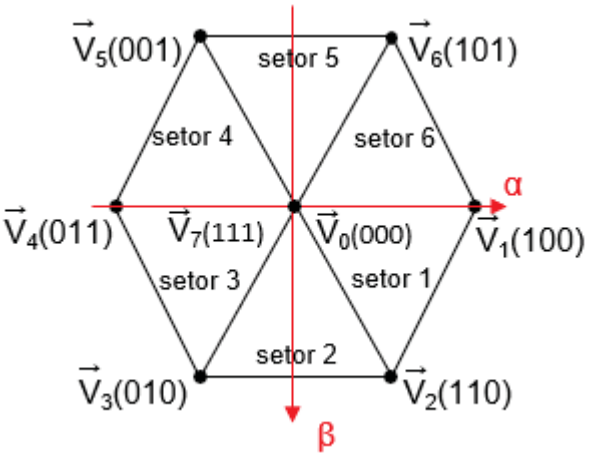


FONTE: o autor (2023).

Os vetores $\vec{V}_0$ e $\vec{V}_7$ correspondem a valores nulos na saída do inversor e combinam-se com os vetores $\vec{V}_1$ a $\vec{V}_6$ para sintetizar o vetor de referência ($V_{D\alpha}$, $V_{D\beta}$).

A FIGURA 91 ilustra a posição dos vetores $\vec{V}_0$ a $\vec{V}_7$ no plano αβ, sendo que, cada par de vetor delimita um setor de 60°. Para simplificar, a representação binária foi adotada para diferenciar o acionamento dos interruptores superiores (S_1, S_3, S_5) dos inferiores (S_4, S_6, S_2). O valor um (1) é utilizado quando o interruptor superior está acionado e o valor zero (0) é utilizado quando o interruptor inferior está acionado.

FIGURA 91 – SETORES DA SVM NO PLANO αβ

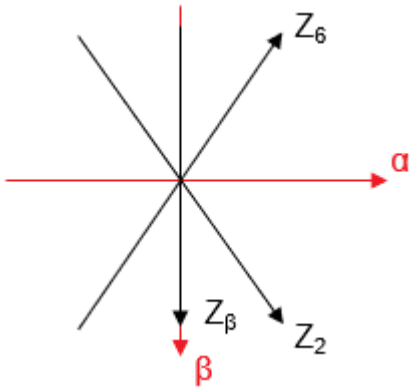


FONTE: O autor (2023).

O objetivo do algoritmo da modulação vetorial é identificar a posição do vetor referência, de coordenadas ($V_{D\alpha}$, $V_{D\beta}$), em relação aos setores e, em seguida, calcular o tempo que cada vetor de referência, que delimita o setor, deve ficar acionado para reproduzi-lo.

Buso e Mattavelli, (2006) descrevem uma metodologia para identificar o setor em que o vetor referência está localizado, para isso, o plano αβ é dividido em três vetores (Z_β, Z_2, Z_6), como representado na FIGURA 92. A proposta consiste em projetar o vetor referência no plano e identificar através dos sinais dos vetores (Z_β, Z_2, Z_6), o setor o ele está localizado.

FIGURA 92 – PLANO αβ COM VETORES PARA IDENTIFICAR OS SETORES



FONTE: Modificado de BUSO e MATTAVELLI (2006).

A equação (84) descreve os vetores (Z_β, Z_2, Z_6) em relação as coordenadas αβ. Enquanto, a TABELA 29 relaciona os sinais dos vetores com o setor do vetor de referência.

$$Z_\beta = \frac{V_{D\beta}}{\sqrt{3}}$$
$$Z_6 = V_{D\alpha} - \frac{V_{D\beta}}{\sqrt{3}} \quad (84)$$
$$Z_2 = V_{D\alpha} + \frac{VD_\beta}{\sqrt{3}}$$

TABELA 29 – IDENTIFICAÇÃO DOS SETORES PELOS SINAIS DOS VETORES

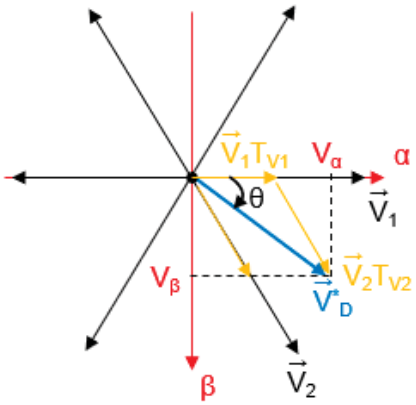
Setor	Z_β	Z_6	Z_2
1	+	+	+
2	+	-	+
3	+	-	-
4	-	-	-
5	-	+	-
6	-	+	+

FONTE: O Autor. (2023).

Definido o setor onde o vetor referência está localizado, o algoritmo deve fornecer o tempo que cada vetor resultante, que delimita o setor, deve permanecer ativo. A FIGURA 93 apresenta um exemplo do vetor de referência identificado como $\vec{V}^*_D$ e posicionado no setor 1.

Como o setor 1 é delimitado pelos vetores resultantes $\vec{V}_1$ e $\vec{V}_2$, o objetivo é determina quanto tempo cada vetor deve ficar acionado para sintetizar o vetor de referência. O tempo que $\vec{V}_1$ fica acionado é identificado como T_{v1} e o tempo que $\vec{V}_2$ fica acionado é identificado como T_{v2}.

FIGURA 93 – EXEMPLO DE VETOR REFERÊNCIA NO SETOR 1 DO PLANO αβ



FONTE: O autor (2023).

A equação (85) determina o vetor de referência $\vec{V}^*_D$ através da soma do vetor $\vec{V}_1$ com $\vec{V}_2$, considerando que, a cada meio período de comutação ($T_c/2$) o vetor de referência pode ser sintetizado.

$$\vec{V}_D^* = \frac{\vec{V}_1 T_{v1}}{\frac{T_c}{2}} + \frac{\vec{V}_2 T_{v2}}{\frac{T_c}{2}} \tag{85}$$

Através da relação trigonométrica definida na FIGURA 93, o vetor de referência é definido pela equação (86), onde, a amplitude dos vetores $\vec{V}_1$ e $\vec{V}_2$ é igual a 2/3 de V_e, conforme representado na FIGURA 6.

$$V_D^* \begin{bmatrix} \cos(\theta) \\ sen(\theta) \end{bmatrix} \frac{T_c}{2} = \frac{2}{3} V_e \begin{bmatrix} \cos 0° \\ \sin 0° \end{bmatrix} T_{v1} + \frac{2}{3} V_e \begin{bmatrix} \cos 60° \\ \sin 60° \end{bmatrix} T_{v2} \tag{86}$$

Resolvendo a equação (86) e reescrevendo o vetor de referência em relação as coordenadas αβ, obtém-se a equação (87).

$$\begin{bmatrix} V_{D\alpha} \\ V_{D\beta} \end{bmatrix} \frac{T_c}{2} = \frac{2}{3} V_e \begin{bmatrix} 1 \\ 0 \end{bmatrix} T_{v1} + \frac{2}{3} V_e \begin{bmatrix} \frac{1}{2} \\ \frac{\sqrt{3}}{2} \end{bmatrix} T_{v2} \tag{87}$$

E, por fim, T_{V1} e T_{V2} são obtidos através da equação (88).

$$T_{v1} = \frac{1}{V_e}\left(\frac{3}{2}V_{D\alpha} - \frac{\sqrt{3}}{2}V_{D\beta}\right)\frac{T_c}{2}$$
$$T_{v2} = \left(\sqrt{3}\frac{V_{D\beta}}{V_e}\right)\frac{T_c}{2} \quad (88)$$

Da mesma forma, os tempos de acionado de cada vetor resultante são determinados para os demais setores e estão descritos na TABELA 30, onde, T_{vx} e T_{vy} são os tempos de acionamento dos vetores que delimitam cada setor.

TABELA 30 – TEMPO DE ACIONAMENTO DOS VETORES QUE DELIMITAM OS SETORES

Setor	T_{vx}	T_{vy}
1	$T_{v1} = \frac{1}{2V_e}\left(-\sqrt{3}V_{D\beta} + 3V_{D\alpha}\right)$	$T_{v2} = \sqrt{3}\frac{V_{D\beta}}{V_e}$
2	$T_{v2} = \frac{1}{2V_e}\left(\sqrt{3}V_{D\beta} - 3V_{D\alpha}\right)$	$T_{v3} = \frac{1}{2V_e}\left(\sqrt{3}V_{D\beta} + 3V_{D\alpha}\right)$
3	$T_{v3} = \sqrt{3}\frac{V_{D\beta}}{V_e}$	$T_{v4} = \frac{1}{2V_e}\left(-\sqrt{3}V_{D\beta} - 3V_{D\alpha}\right)$
4	$T_{v4} = -\sqrt{3}\frac{V_{D\beta}}{V_e}$	$T_{v5} = \frac{1}{2V_e}\left(\sqrt{3}V_{D\beta} - 3V_{D\alpha}\right)$
5	$T_{v5} = \frac{1}{2V_e}\left(-\sqrt{3}V_{D\beta} - 3V_{D\alpha}\right)$	$T_{v6} = \frac{1}{2V_e}\left(-\sqrt{3}V_{D\beta} + 3V_{D\alpha}\right)$
6	$T_{v6} = \frac{1}{2V_e}\left(\sqrt{3}V_{D\beta} + 3V_{D\alpha}\right)$	$T_{v1} = -\sqrt{3}\frac{V_{D\beta}}{V_e}$

FONTE: O autor (2023).

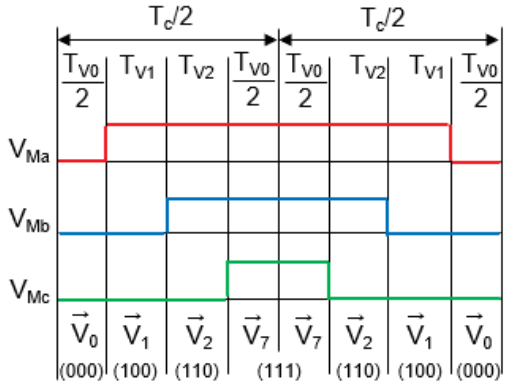
Pela TABELA 30, observa-se que os tempos de acionamento podem ser resumidos em três equações se considerarmos apenas o seu módulo.

Um vetor resultante é calculado a cada meio período de comutação ($T_c/2$). Para o exemplo do vetor de referência posicionado no setor 1, a soma dos tempos de acionamento dos vetores resultantes é menor $T_c/2$, portanto, os vetores nulos ($\vec{V}_0$ e $\vec{V}_7$) são utilizados para complementar o tempo. Dessa forma, os vetores nulos são complementares e a equação (89) pode ser utilizada para definir o tempo de acionamento do vetor nulo identificado como T_{v0}.

$$T_{v0} = 1 - Tv_1 - Tv_2 \quad (89)$$

A sequência de acionamento dos vetores resultantes para um período de comutação (T_c) é definida na FIGURA 94.

FIGURA 94 – SEQUÊNCIA DE ACIONAMENTO PARA O VETOR REFERÊNCIA NO SETOR 1



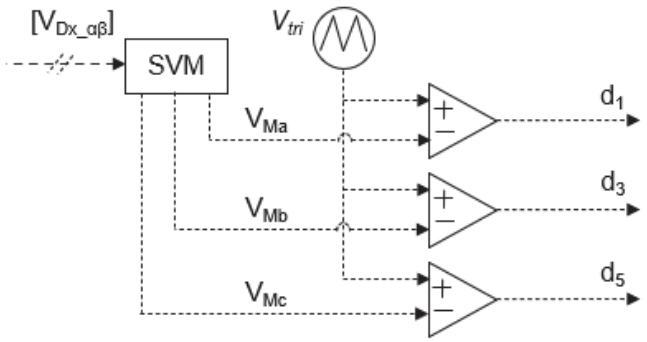
FONTE: Modificado de BUSO e MATTAVELLI (2006)

O posicionamento dos vetores nulos nas extremidades do período $T_c/2$ são responsáveis pela injeção da terceira harmônica nas tensões de fase sintetizadas através da modulação vetorial. Segundo Holmes e Lipo (2003), a flexibilidade em definir o posicionamento dos vetores nulos garante maior liberdade de projeto dos inversores operando com a SVM e, como resultado, é possível reduzir o número de acionamentos dos interruptores e atenuar harmônicas produzidas pela comutação.

Para o projeto do inversor de interligação proposto neste trabalho, os sinais de comando dos interruptores são gerados com a onda triangular conectada na entrada positiva do comparador e os sinais que representam os vetores resultantes, produzidos pela SVM, estão conectados na entrada negativa, como ilustrado na FIGURA 95.

Para o exemplo da FIGURA 94, os vetores $\vec{V}_1$ e $\vec{V}_2$ devem ser complementares, ou seja, 001 e 011 em lugar de 110 e 100.

FIGURA 95 – CIRCUITO MODULADOR



FONTE: O autor (2023).

A TABELA 31 define a sequência dos vetores utilizadas para meio período de comutação que será aplicada ao projeto do inversor de interligação deste trabalho, o símbolo negado é utilizado para identificar os vetores complementares.

TABELA 31 – SEQUÊNCIA DE ACIONAMENTO DOS VETORES DOS SETORES

Setor	Sequência	V_{Ma}	V_{Mb}	V_{Mc}
1	$\overline{V}_0$-$\overline{V}_1$-$\overline{V}_2$-$\overline{V}_7$	$T_{v0}/2$	$T_{v0}/2 + T_{v1}$	$T_{v0}/2 + T_{v1} + T_{v2}$
2	$\overline{V}_0$-$\overline{V}_2$-$\overline{V}_3$-$\overline{V}_7$	$T_{v0}/2 + T_{v2}$	$T_{v0}/2$	$T_{v0}/2 + T_{v2} + T_{v3}$
3	$\overline{V}_0$-$\overline{V}_3$-$\overline{V}_4$-$\overline{V}_7$	$T_{v0}/2 + T_{v3} + T_{v4}$	$T_{v0}/2$	$T_{v0}/2 + T_{v3}$
4	$\overline{V}_0$-$\overline{V}_4$-$\overline{V}_5$-$\overline{V}_7$	$T_{v0}/2 + T_{v4} + T_{v5}$	$T_{v0}/2 + T_{v4}$	$T_{v0}/2$
5	$\overline{V}_0$-$\overline{V}_5$-$\overline{V}_6$-$\overline{V}_7$	$T_{v0}/2 + T_{v5}$	$T_{v0}/2 + T_{v5} + T_{v6}$	$T_{v0}/2$
6	$\overline{V}_0$-$\overline{V}_6$-$\overline{V}_1$-$\overline{V}_7$	$T_{v0}/2$	$T_{v0}/2 + T_{v6} + T_{v1}$	$T_{v0}/2 + T_{v6}$

FONTE: O Autor. (2023).

O algoritmo da modulação vetorial utilizado para simulação e no protótipo do inversor de interligação foi desenvolvido na linguagem C/C++ e é baseado nas características da SVM descritas no Capítulo 2, Seção 2.2.

Na estrutura de código aplicada ao microcontrolador o algoritmo da modulação vetorial é uma função chamada durante o ciclo do módulo ADC. Na saída do algoritmo é incluso um *offset* na coordenada do vetor resultante com a metade do valor do contador do módulo PWM. As características dos módulos do microcontrolador podem ser obtidas no Apêndice 13, onde, a programa do microcontrolador descrita.

A transcrição do algoritmo aplicado ao protótipo do inversor de interligação é está no Apêndice 13, enquanto, o algoritmo aplicado ao programa de simulação PSIM é descrito como:

```
static float VDa, VDb, Ve;  //variáveis de entrada coordenadas vetor de referência
static float Zb, Z6, Z2;                    //vetores para identificação dos setores do vetor de referência
static float T1, T2, T3;                    //Equações do tempo de acionamento
static float Tvx, Tvy, Tv0;   //tempo de acionamento dos vetores resultantes
static float VMa, VMb, VMc;             //coordenadas do vetor resultante
static float VMa_offset, VMb_offset, VMc_offset;        //coordenadas do vetor resultante com offset

VDa = in[0];         // Coordenada alfa do vetor de referência
VDb = in[1];         // Coordenada beta do vetor de referência
Ve = 1;   // Sinal de tensão do lado CC do inversor de interligação

// Vetores para identificar o setor do vetor de referência.
Zb = VDb / sqrt(3);
Z6 = VDa - (VDb / sqrt(3));
Z2 = VDa + (VDb / sqrt(3));

// Equações do tempo de acionamento
T1 = (1/(2*Ve)) * (-sqrt(3) * VDb + 3 * VDa);
T2 = sqrt(3) * (VDb/Ve);
T3 = (1/(2*Ve)) * (sqrt(3) * VDb + 3 * VDa);

//Identificação dos setores e cálculo do tempo dos vetores que delimitam o setor
if(Zb > 0 && Z2 > 0 && Z6 > 0) //identifica se o vetor de referência está no setor 1
{
        // determina os tempos de cada vetor que delimitam o setor
        Tvx = T1;
        Tvy = T2;
        Tv0 = 1 - T1 - T2;
        // determina as coordenadas do vetor resultante
        VMa = Tv0/2;
        VMb = (Tv0/2) + Tvx;
        VMc = (Tv0/2) + Tvx + Tvy;
}

else if(Zb > 0 && Z6 < 0 && Z2 > 0) //identifica se o vetor de referência está no setor 2
{
        // determina os tempos de cada vetor que delimitam o setor
        Tvx = -T1;
        Tvy = T3;
```

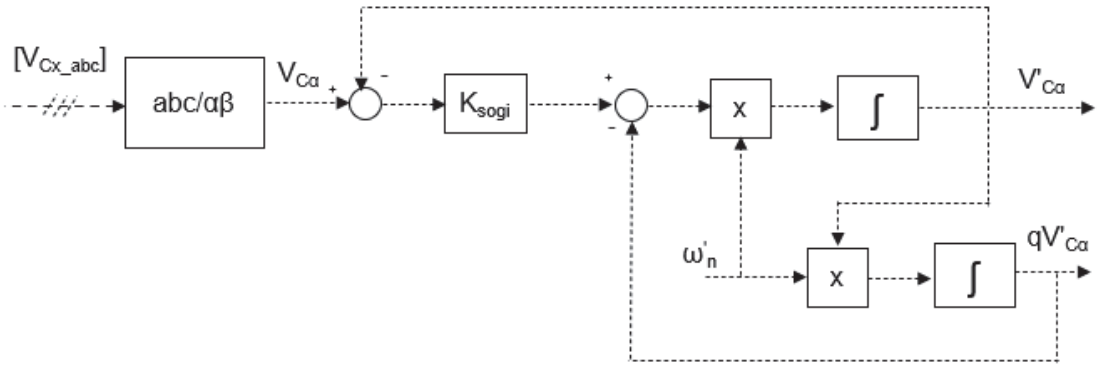
```
            Tv0 = 1 - Tvx - Tvy;
            // determina as coordenadas do vetor resultante
            VMa = (Tv0/2) + Tvx;
            VMb = (Tv0/2);
            VMc = (Tv0/2) + Tvx + Tvy;
}

else if(Zb > 0 && Z6 < 0 && Z2 < 0) //identifica se o vetor de referência está no setor 3
{
            // determina os tempos de cada vetor que delimitam o setor
            Tvx = T2;
            Tvy = -T3;
            Tv0 = 1 - Tvx - Tvy;
            // determina as coordenadas do vetor resultante
            VMa = (Tv0/2) + Tvx +Tvy;
            VMb = (Tv0/2);
            VMc = (Tv0/2) + Tvx;
}

else if(Zb < 0 && Z6 < 0 && Z2 < 0) //identifica se o vetor de referência está no setor 4
{
            // determina os tempos de cada vetor que delimitam o setor
            Tvx = -T2;
            Tvy = -T1;
            Tv0 = 1 - Tvx - Tvy;
            // determina as coordenadas do vetor resultante
            VMa = (Tv0/2) + Tvx + Tvy;
            VMb = (Tv0/2) + Tvx;
            VMc = (Tv0/2);
}

else if(Zb < 0 && Z6 > 0 && Z2 < 0) //identifica se o vetor de referência está no setor 5
{
            // determina os tempos de cada vetor que delimitam o setor
            Tvx = -T3;
            Tvy = T1;
            Tv0 = 1 - Tvx - Tvy;
            // determina as coordenadas do vetor resultante
            VMa = (Tv0/2) + Tvx;
            VMb = (Tv0/2) + Tvx + Tvy;
            VMc = (Tv0/2);
}

else (Zb < 0 && Z6 > 0 && Z2 > 0) //identifica se o vetor de referência está no setor 6
{
```

```
            // determina os tempos de cada vetor que delimitam o setor
            Tvx = T3;
            Tvy = -T2;
            Tv0 = 1 - Tvx - Tvy;
            // determina as coordenadas do vetor resultante
            VMa = (Tv0/2);
            VMb = (Tv0/2) + Tvx + Tvy;
            VMc = (Tv0/2) + Tvx;
}

// Coordenadas do vetor resultante com a inclusão do off-set
out[0] = VMa +1785.5;
out[1] = VMb +1785.5;
out[2] = VMc +1785.5;
```

APÊNDICE 4 – PRÉ-FILTRO SOGI

A estrutura do pré-filtro SOGI é ilustrado na FIGURA 96. Os sinais de entrada estão no referencial estacionário αβ e a estrutura apresentada é referente à coordenada $V_{C\alpha}$, sendo que, ela se repete para a coordenada $V_{c\beta}$.

FIGURA 96 – PRÉ-FILTRO SOGI



FONTE: O autor (2023).

O primeiro integrador produz um sinal filtrado em fase com o sinal de entrada, enquanto, o segundo produz um sinal filtrado 90° em atraso. O ganho K_{sogi} determina o nível de filtragem e a frequência angular (ω'_n) determina a frequência de ressonância do filtro.

As funções de transferências do filtro DSOGI obtidas através do diagrama de bloco da FIGURA 96 estão representadas na equação (90), onde, 'x' representa a coordenada α ou β do vetor de referência da tensão.

$$\frac{V'_{Cx_{\alpha\beta}}}{V_{Cx_{\alpha\beta}}}(s) = \frac{K_{sogi}\omega'_n s}{s^2 + K_{sogi}\omega'_n s + {\omega'_n}^2}$$
$$\frac{qV'_{Cx_{\alpha\beta}}}{V_{Cx_{\alpha\beta}}}(s) = \frac{K_{sogi}{\omega'_n}^2}{s^2 + K_{sogi}\omega'_n s + {\omega'_n}^2} \quad (90)$$

O funcionamento do filtro SOGI é ilustrado na FIGURA 97 que contém as formas de onda da tensão $V_{C\alpha}$, $V'_{C\alpha}$ e $qV'_{C\alpha}$. O experimento é realizado em ambiente

de simulação através do programa PSIM e utiliza as funções de transferência da equação (90) na presença de uma rede trifásica com harmônicas listadas na TABELA 32.

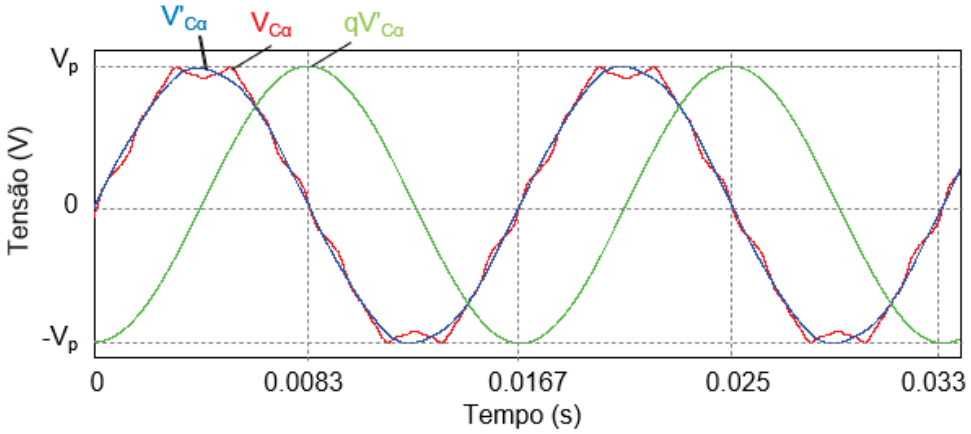
TABELA 32 – AMPLITUDE DAS HARMÔNICAS DE TENSÃO V_{Ca}

Harmônicas	Amplitude
5ª	4,5%
7ª	3,0%
11ª	2,1%
13ª	2,1%
23ª	0,9%

FONTE: O autor (2023)

As tensões na saída do filtro ($V'_{C\alpha}$ e $qV'_{C\alpha}$) não apresentam as distorções harmônicas presentes na tensão de entrada $V_{C\alpha}$. A distorção harmônica total, denominada *Total Harmonic Distortion* (THD), é calculada e tem como resultado: $THD_V_{C\alpha} = 6,4\%$, $THD_V'_{C\alpha} = 1\%$ e $THD_qV'_{C\alpha} = 0,25\ \%$.

FIGURA 97 – RESULTADO EXPERIMENTAL DO PRÉ-FILTRO SOGI



FONTE: O autor (2023).

APÊNDICE 5 – PROJETO DA MALHA DO SRF-PLL COM PRÉ-FILTRO SOGI

O PLL que será utilizado para o projeto do inversor de interligação contém duas etapas, a primeira etapa é composta pelo pré-filtro SOGI e a segunda etapa pela malha de SRF-PLL. O pré-filtro SOGI tem seu projeto descrito no Apêndice 4 deste trabalho, enquanto, o projeto do PI_{PLL} que compõe a etapa do SRF-PLL será descrito neste Apêndice, assim como, o algoritmo para implementação o PLL proposto.

A função de transferência da malha de controle do SRF-PLL é definida na equação (91) que foi obtida através do diagrama de blocos do SRF-PLL da FIGURA 9. Onde, V_m é a amplitude da tensão no referencial síncrono, PI_{PLL} é o compensador de fase, 1/s é o oscilador de fase, θ' é o sinal de fase na saída e θ é o sinal de fase na entrada.

$$\frac{\theta'}{\theta} = \frac{V_m \cdot PI_{PLL}}{s} \tag{91}$$

A equação (92) representa o compensador PI_{PLL}, onde, K_{p_PLL} e K_{i_PLL} são, respectivamente, o ganho proporcional e o ganho do integrador.

$$PI_{PLL} = K_{p_PLL} + \frac{K_{i_PLL}}{s} \tag{92}$$

A frequência de canto (f_{canto}) do compensador PI_{PLL} é calculada pela equação (93) e determina as mudanças de características do compensador. Antes da frequência de canto, a inclinação da magnitude é de -20 dB/dec e a fase é de -90°, após a frequência de canto a magnitude é de 0 dB/dec e a fase de 0°.

$$f_{canto} = K_{i_PLL} \cdot 2\pi K_{p_PLL} \tag{93}$$

O valor da frequência de canto deve ser menor que a frequência de corte desejada. Ruan et al. (2018) explicam que uma frequência de canto suficiente menor que a frequência de corte minimiza a influência da margem de fase do compensador PI_{PLL} e, como consequência, o ganho do compensador na frequência de corte (f_{c_PLL}), e em frequências maiores que a frequência de corte, é considerado como igual ao seu

ganho proporcional. Para a condição descrita, $PI_{PLL} = K_{P_PLL}$ e o ganho proporcional pode ser obtido através da equação (94) para uma frequência de canto definida quatro vezes menor que a frequência de corte do compensador.

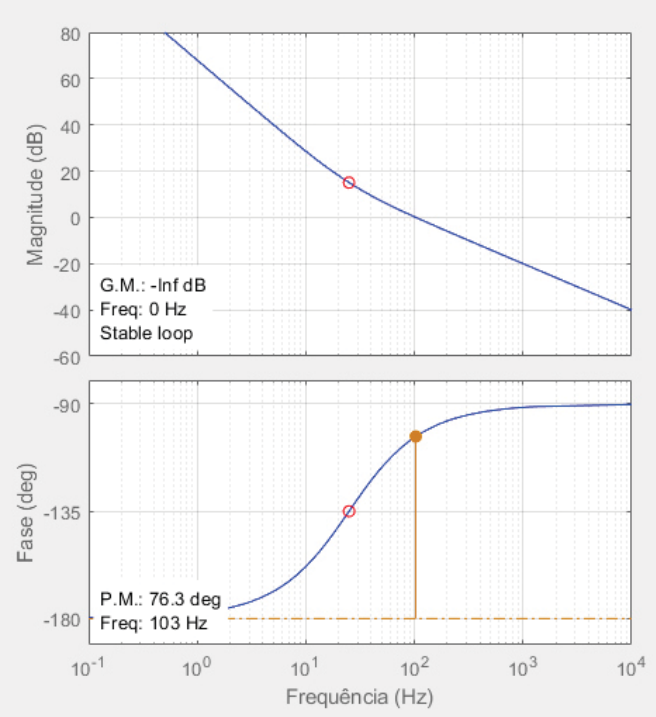
A equação (94) é obtida igualando a equação (91) a um, sendo que na frequência de corte a relação θ'/θ = 1, e substituindo PI_{PLL} por K_{P_PLL}, que, posteriormente, é isolado.

$$K_{p_PLL} = \left| \frac{s}{V_m} \right|_{s=j2\pi f_{c_PLL}} \tag{94}$$

Substituindo a equação (94) na equação (93), o ganho do integrador é obtido para o K_{p_PLL} definido para uma frequência de canto definida no projeto.

A FIGURA 98 apresenta a resposta em frequência da malha de controle do SRF-PLL com a atuação do compensador PI_{PLL}. Para a frequência de canto de 25 Hz, a frequência de corte e a margem de fase do projeto do compensador são, respectivamente, de 103 Hz e de 76.3°.

FIGURA 98 – RESPOSTA EM FREQUÊNCIA DA MALHA DE CONTROLE DO SRF-PLL



FONTE: O autor (2023).

O algoritmo do SRF-PLL com pré-filtro SOGI é implementado na simulação e no projeto do inversor de interligação e utiliza a linguagem C/C++. Na estrutura de código aplicada ao microcontrolador o algoritmo de PLL é uma função chamada durante o ciclo do módulo ADC.

As funções de transferência (FTs) do pré-filtro SOGI e do compensador PI_{PLL} foram discretizadas pelo método de Tustin, para uma frequência de amostragem de 28 kHz, e foram colocadas na forma de diferença para aplicação junto ao microcontrolador.

A transcrição do algoritmo aplicado ao protótipo do inversor de interligação é está no Apêndice 13, enquanto, o algoritmo aplicado ao programa de simulação PSIM é descrito como:

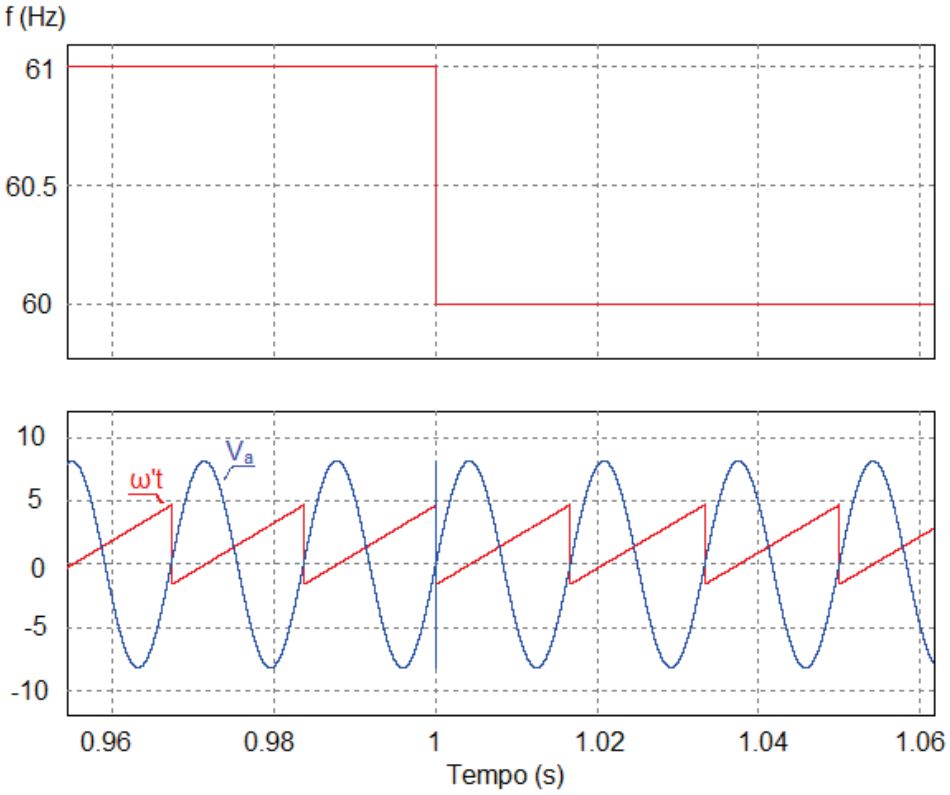
```
static float Vcalfa; // Tensão do capacitor do filtro LCL na coordenada alfa
static float Vcbeta; // Tensão do capacitor do filtro LCL na coordenada beta

// Constantes do algoritmo
static float fn = 60;                       //frequência nominal do sistema
static float wn = 2*3.1415926*fn;    // frequência angular nominal do sistema
static float fa = 28000;                    // frequência de amostragem
static float passo = 1/fz;                  // passo do integrador

//Variáveis das FTs digitalizadas e no formato de diferença do pré-filtro SOGI
static float VcaE2, VcaE1, VcbE2, VcbE1, VcaE3, VcbE3;      // Erros (numerador da FT)
static float VcaG2, VcaG1, VcbG2, VcbG1;                    // Ganhos (denominador da FT)
static float Vca1, Vcb1;                                          // Variáveis de saída direta
static float qVcaE2, qVcaE1, qVcbE2, qVcbE1, qVcaE3, qVcbE3; // Erros (numerador da FT)
static float qVcaG2, qVcaG1, qVcbG2 , qVcbG1;                 // Ganhos (denominador da FT)
static float qVca1, qVcb1;                                  // Variáveis de saída quadratura

//Variáveis das tensões de sequência positiva
static float Vca2, Vcb2;            //coordenadas alfa-beta
static float Vq, Vdq;                       //coordenada dq

// Variáveis do PI_PLL
static float PIE1, PIE2, PIG1;

//Variáveis de saída
static float fo;            //frequência de saída do PLL
static float wo;            //frequência angular de saída do PLL
static float wt0;           // saída do oscilador de frequência (integrador)
static float wt1;           // saída t-1 do oscilador de frequência (integrador)
```

```
static float wt;
static float wtfut;

// Tensão de entrada nas coordenadas alfa-beta
Vcalfa = in[0];
Vcbeta = in[1];

// Pré-filtro SOGI
//cálculo V'calfa e V'cbeta
//cálculo V'Calfa (Vca1)
VcaE3 = VcaE2;
VcaE2 = VcaE1;
VcaE1 = Vcalfa;
VcaG2 = VcaG1;
VcaG1 = Vca1;
Vca1 = 0.0066868232*VcaE1 + 0*VcaE2 - 0.0066868232*VcaE3 - (-1.9864463*VcaG1 + 0.98662635*VcaG2);

//cálculo V'Cbeta (Vcb1)
VcbE3 = VcbE2;
VcbE2 = VcbE1;
VcbE1 = Vcbeta;
VcbG2 = VcbG1;
VcbG1 = Vcb1;
Vcb1 = 0.0066868232*VcbE1 + 0*VcbE2 - 0.0066868232*VcbE3 - (-1.9864463*VcbG1 + 0.98662635*VcbG2);

//cálculo qV'calfa e qV'cbeta
//cálculo qV'Calfa (qVca1)
qVcaE3 = qVcaE2;
qVcaE2 = qVcaE1;
qVcaE1 = Vcalfa;
qVcaG2 = qVcaG1;
qVcaG1 = qVca1;
qVca1 = 4.5014535E-005 *qVcaE1 + 9.002907E-005*qVcaE2 + 4.5014535E-005*qVcaE3 - (-1.9864466*qVcaG1
+ 0.98662667*qVcaG2);

//cálculo qV'Cbeta (qVcb1)
qVcbE3 = qVcbE2;
qVcbE2 = qVcbE1;
qVcbE1 = Vcbeta;
qVcbG2 = qVcbG1;
qVcbG1 = qVcb1;
qVcb1 = 4.5014535E-005*qVcbE1 + 9.002907E-005*qVcbE2 + 4.5014535E-005*qVcbE3 - (-1.9864466*qVcbG1
+ 0.98662667*qVcbG2);
```

```
// Definição das coordenadas de tensão alfa-beta de sequência positiva
Vca2 = Vca1 - qVcb1;
Vcb2 = Vcb1 + qVca1;

// Transformada de Park para obtenção da tensão em quadratura de Vq
Vq = ((Vca2*-sin(wtfut)) + (Vcb2 * cos(wtfut)));

// Compensador PI_PLL para 103Hz e 76.3 graus
PIE2 = PIE1;
PIE1 = Vq - 0;
PIG1 = dVq;
dVq = 0.1736 *PIE1 - 0.1726 *PIE2 - (-1*PIG1);

// Definição da frequência de saída do PLL
fo = 60 + dVq;
wo = 2*3.1415926*fo;

//Oscilador de frequência
wt0 = wt1 + ((fo* passo)*(2*3.1415926));

// Gerador de rampa de 2pi
if(wt0 > 2*3.1415926)
{
        wt0 = wt0 - 2*3.1415926;
}

wt1 = wt0;
wt = wt1 - 1.5707963268;  //saída do oscilador em rampa e defasado 90°
```

Um experimento é conduzido com a estrutura completa do SRF-PLL com pré-filtro SOGI, a FIGURA 99 apresenta a tensão da fase ‘a’ de um sistema trifásico e a rampa de saída do algoritmo do PLL. A simulação foi realizada utilizado o programa PSIM, sendo que, inicialmente, a frequência do sistema é de 61 Hz e no tempo 1s a frequência passa para 60 Hz.

FIGURA 99 – RESPOSTA NO TEMPO DO ALGORITMO DO SRF-PLL COM PRÉ-FILTRO SOGI



FONTE: O autor (2023).

A rampa gerada pelo algoritmo está em fase com a tensão V_a e acompanha as mudanças na frequência do sistema, sendo que, na FIGURA 99 é possível observar que após o degrau de frequência a tensão V_a permanece sincronizado

APÊNDICE 6 – PROJETO DOS ELEMENTOS DO FILTRO LCL

A equação (95) foi deduzida por Ruan et al. (2018) e representa a ondulação da corrente no indutor Li (Δi_{Li}) normalizada em relação ao índice de modulação (M_r), a tensão do lado CC do inversor de interligação (V_e), o período de comutação (T_c) e a indutância (L_i).

A ondulação da corrente no indutor L_i normalizada em relação a tensão na saída do inversor de interligação é representada por Δi_1, Δi_2, Δi_3 e Δi_4, sendo que, existe uma curva para cada nível de tensão. Na FIGURA 6 do Capítulo 2, Seção 2.2 é possível identificar os quatro níveis de tensão na representação da tensão V_{aN} na saída do inversor de interligação.

$$\Delta i_1 \triangleq \frac{\Delta i_{Li}}{M_r V_e T_c \frac{1}{2L_i}} = \left|\frac{1}{6} sen(\omega_o t) + \frac{1}{3} sen\left(\omega_o t + \frac{2\pi}{3}\right) - \frac{3M_r}{4} sen^2(\omega_o t)\right|$$

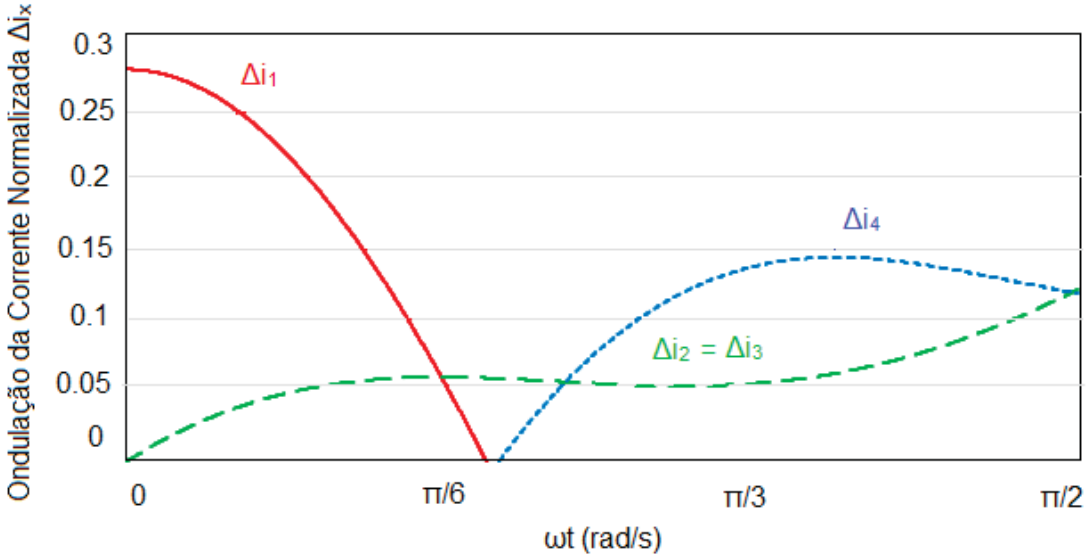
$$\Delta i_2 \triangleq \frac{\Delta i_{Li}}{M_r V_e T_c \frac{1}{2L_i}} = \left|\text{sen}\,\omega_o t \left[\frac{1}{2} + \frac{M_r}{2} sen\left(\omega_o t - \frac{2\pi}{3}\right) + \frac{M_r}{4} sen\left(\omega_o t + \frac{2\pi}{3}\right)\right]\right|$$

$$\Delta i_3 \triangleq \frac{\Delta i_{Li}}{M_r V_e T_c \frac{1}{2L_i}} = \left|\text{sen}\,\omega_o t \left[\frac{1}{2} - \frac{M_r}{2} sen(\omega_o t) - \frac{M_r}{4} sen\left(\omega_o t + \frac{2\pi}{3}\right)\right]\right| \quad (95)$$

$$\Delta i_4 \triangleq \frac{\Delta i_{Li}}{M_r V_e T_c \frac{1}{2L_i}} = \left|\frac{2}{3} sen\left(\omega_o t + \frac{2\pi}{3}\right) - \frac{1}{6} sen(\omega_o t) - \frac{3M_r}{4} sen(\omega_o t) sen\left(\omega_o t + \frac{2\pi}{3}\right)\right|$$

As curvas da ondulação normalizada de corrente (Δi_1, Δi_2, Δi_3, Δi_4) em relação a um quarto da tensão senoidal, intervalo de [0, pi/2], são traçadas na FIGURA 100, sendo que, o padrão se repete para os demais intervalos. Para o exemplo foi considerado $M_r = 1$ e, com isso, $\Delta i_2 = \Delta i_3$.

FIGURA 100 – ONDULAÇÃO NORMALIZADA DA CORRENTE NO INDUTOR L_i



FONTE: O autor (2023).

A ondulação de corrente para o indutor L_i (Δi_{Li}), presente na equação (95), é definida pela equação (96), onde, δ_{ix_Li} é o coeficiente de ondulação e apresenta valor de zero a um e i_{ix} é a corrente que circula pelo indutor.

$$\Delta i_{Li} = \delta_{ix_Li} i_{ix} \tag{96}$$

Substituindo a ondulação de corrente normalizado Δi_1 e a ondulação de corrente Δi_{Li} na equação (95), o menor valor do indutor L_i pode ser obtido para os parâmetros de projeto desejado através da equação (97).

Pela presente metodologia, a indutância do indutor L_i tem como parâmetros de entrada: o índice de modulação, a ondulação normalizada de corrente no indutor, a ondulação máxima da corrente no indutor, a tensão nominal da sub-rede CC e o período de comutação dos interruptores.

A TABELA 33 apresenta os valores de cada um dos parâmetros de entrada, considerando os dados do protótipo do inversor de interligação.

Pelas curvas da FIGURA 100, o maior valor da ondulação normalizada da corrente é identificado como 0,2887 e pertence a curva produzida pela Δi_1. O valor da ondulação máxima de corrente é definido como 13%, ($\delta_{ix_Li} = 0{,}13$), do valor eficaz da corrente nominal do inversor de interligação ($i_{ix} = 43{,}3$ A).

TABELA 33 – PARÂMETROS DO PROJETO DO INDUTOR L_i

Parâmetro de Projeto	Valores de Projeto
índice de modulação (M_r)	1
Ondulação Normalizada de Corrente (Δi_1)	0,2887
Ondulação Máxima da Corrente (Δi_{Li})	5,196 A
Tensão Nominal da Sub-rede CC (V_e)	725 V
Período de Comutação dos Interruptores (T_c)	14 kHz

FONTE: O autor (2023).

Isolando a indutância L_i na equação (95), obtém-se a equação (97).

$$L_i = \frac{M_r V_e T_c \Delta i_1}{2\Delta i_{Li}} \tag{97}$$

Substituindo os valores da TABELA 33 na equação (97), a indutância do indutor do lado do inversor (Li) é obtida e tem valor igual a 1,33 mH.

Para o projeto do filtro LCL que será utilizado no protótipo do inversor de interligação, a indutância L_i é definida com o valor igual a 1,37 mH.

Após calcular o valor do indutor do filtro LCL que fica do lado do inversor de interligação, o capacitor do filtro (C_f) pode ser definido através da máxima potência reativa que será introduzida na sub-rede CA pela sua presença do capacitor no filtro LCL. Altos valores do capacitor contribuem com a filtragem das harmônicas, mas, em contrapartida, elevadas correntes circulam nos indutores e nos interruptores.

Inicialmente, para definir o valor do capacitor, a impedância base do filtro LCL é calculada através da equação (98), onde, V_L é a tensão de linha da sub-rede CA e P_{II_n} é a potência nominal do inversor de interligação.

$$Z_{b_LCL} = \frac{V_L^2}{P_{II_n}} \tag{98}$$

A partir da impedância base do filtro é determinado um índice percentual (δ_{Cf}) que multiplicado pela reatância capacitiva base do filtro LCL determina qual será o valor do capacitor C_f, como representado na equação (99). A relação entre o valor da impedância base e a reatância capacitiva irá determinar o máximo fator de potência,

com isso, quanto maior o índice percentual (δ_{Cf}) maior será a potência reativa introduzida pelo filtro LCL na sub-rede CA. Valores em torno de 5% são usualmente utilizados para definir o índice percentual que determina o valor do capacitor C_f (LISERRE; BLAABJERG; HANSEN, 2005). Substituindo esse valor na equação (99), o capacitor do filtro LCL (C_f) é definido, onde, ω_n é a frequência angular nominal da sub-rede CA.

$$C_f = \delta_{Cf} \frac{1}{\omega_n Z_b} \tag{99}$$

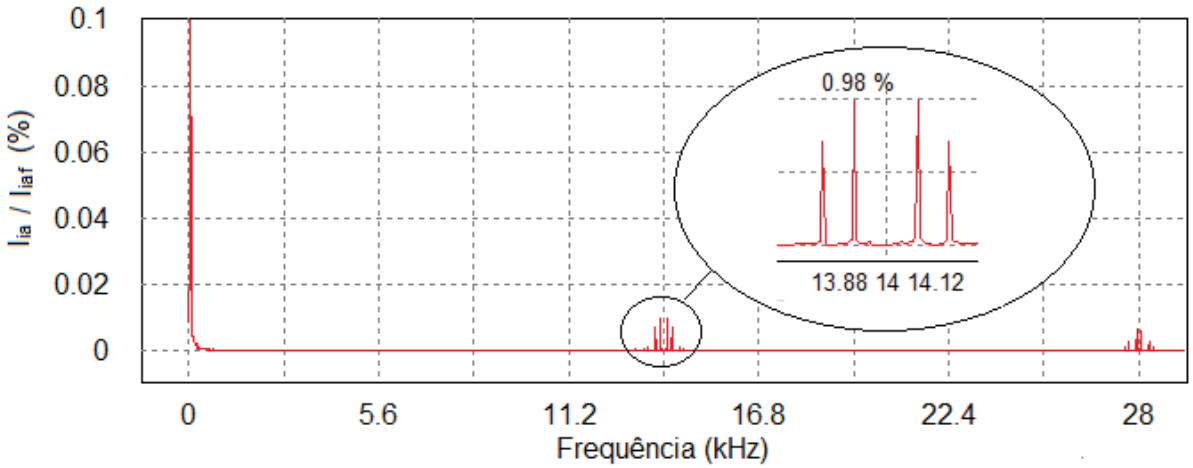
Para o projeto do inversor de interligação, a tensão de linha da sub-rede CA tem valor igual a 400 V e a potência do protótipo do inversor de interligação é igual a 30 kW. Os valores de projeto são substituídos na equação (98) e, com isso, a impedância base do filtro tem valor igual a 5,3 Ω. Com um fator de potência máxima de 5% (δ_{Cf} = 0,05) e com a frequência angular nominal de 376,99 rad/s, a capacitância do capacitor do filtro é determinada pela equação (99) tem valor igual a 24,9 µF.

Para o projeto do filtro LCL para o protótipo do inversor de interligação, a capacitância do filtro LCL foi aproximada para um valor comercial igual a 22,9 µF.

Utilizando a transformada rápida de Fourier (FFT) da ferramenta de simulação PSIM, o espectro da corrente no indutor L_i é obtido e representado na FIGURA 101, onde, I_{ia} é a amplitude da corrente do indutor L_i na fase 'a' e I_{iaf} é a amplitude da corrente fundamental de fase. Na simulação o inversor de interligação está operando com a modulação SVM e a frequência de comutação é de 14 kHz.

No gráfico da FIGURA 101 é possível estabelecer que as harmônicas mais relevantes estão localizadas nas frequências de 13,88 kHz e 14,12 kHz e apresentam valores de, aproximadamente, 0,98 %. O indutor L_r deve atenuar as harmônicas mais relevantes até o filtro atingir os parâmetros de injeção de harmônico de corrente previstos pela norma e exibidos na FIGURA 21. Portanto, como a ordem das harmônicas, que necessitam ser atenuadas, é acima de 35, sua amplitude deve ser pelo menos menor que 0,3% em relação a corrente fundamental.

FIGURA 101 – ESPECTRO DA FFT DA CORRENTE DO INDUTOR L_i



FONTE: O autor (2023)

Substituindo s por $j\omega_h$ e isolando L_r , obtêm-se a equação (100) que é utilizada para definir o valor da indutância do indutor L_r.

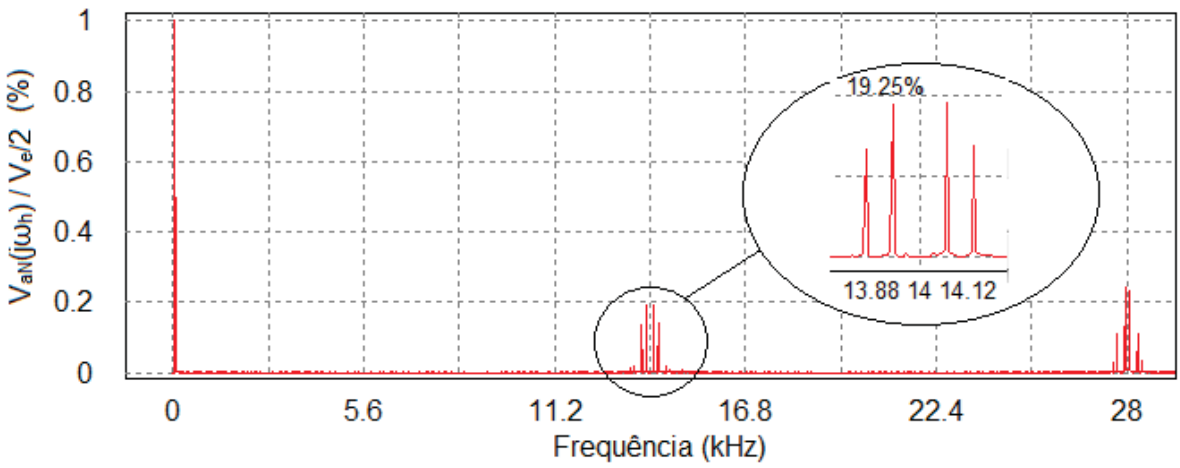
$$L_r = \frac{1}{L_i C_f \omega_h^2 - 1}\left(L_i + \frac{|V_{aN}(j\omega_h)|}{\omega_h |I_{ra}(j\omega_h)|}\right) \tag{100}$$

A frequência das harmônicas que se deseja atenuar é indicada por ω_h, a amplitude da tensão na frequência ω_h pode ser obtida pela FFT, como indicado na FIGURA 102, onde, $V_{aN}(j\omega_h) = 0{,}1925\ V_e/2$, sendo que, V_e é o valor da tensão do lado CC do inversor de interligação. Enquanto, o termo $I_{ra}(j\omega_h)$ é obtido pela equação (101) que é formada pela máxima corrente de fase do indutor L_r (i_{ra}) e pelo coeficiente de harmônicas (δ_h), onde, $\delta_h <= 0{,}3\%$ em relação a corrente fundamental, para o valor definido pela norma (FIGURA 21).

Através da equação (100) e dos dados de projeto para o protótipo do inversor de interligação, o indutor do lado da rede pode ser definido, a TABELA 34 resume os parâmetros de entrada para determinar L_r, o sistema é equilibrado e apenas a fase 'a' é utilizada para determinar o módulo da tensão e da corrente na frequência da harmônica mais relevante.

$$|I_{ra}(j\omega_h)| = \delta_h i_{ra} \tag{101}$$

FIGURA 102 – ESPECTRO DA FT DA TENSÃO DO INDUTOR L_i



FONTE: O autor (2023).

TABELA 34 – PARÂMETROS DO PROJETO DO INDUTOR L_r

Parâmetro de Projeto	Valores de Projeto
Indutor do Lado do Inversor (L_i)	1,37 mH
Capacitor do Filtro LCL (C_f)	22,9 µF
Frequência Angular da Harmônica (ω_h)	87,211 rad/s
Módulo da Tensão na Frequência ω_h ($\lvert V_{aN}(j\omega_h)\rvert$)	69,78 V
Módulo da Corrente do Indutor L_r na Frequência ω_h ($\lvert I_{ra}(j\omega_h)\rvert$)	0,13 A

FONTE: O autor (2023).

Pela FIGURA 101, a frequência da harmônica mais relevante, em relação a maior amplitude, que se deseja atenuar é de 13,88 kHz, multiplicando por 2π, obtém-se ω_h = 87.211 rad/s. O módulo da tensão na frequência ω_h é definido no espectro da FFT da tensão do indutor L_i representada na FIGURA 102 e, por fim, o módulo da corrente do indutor L_r na frequência ω_h é calculada pela equação (101) considerando um δ_h = 0,3% para I_{ra} = 43,3 A.

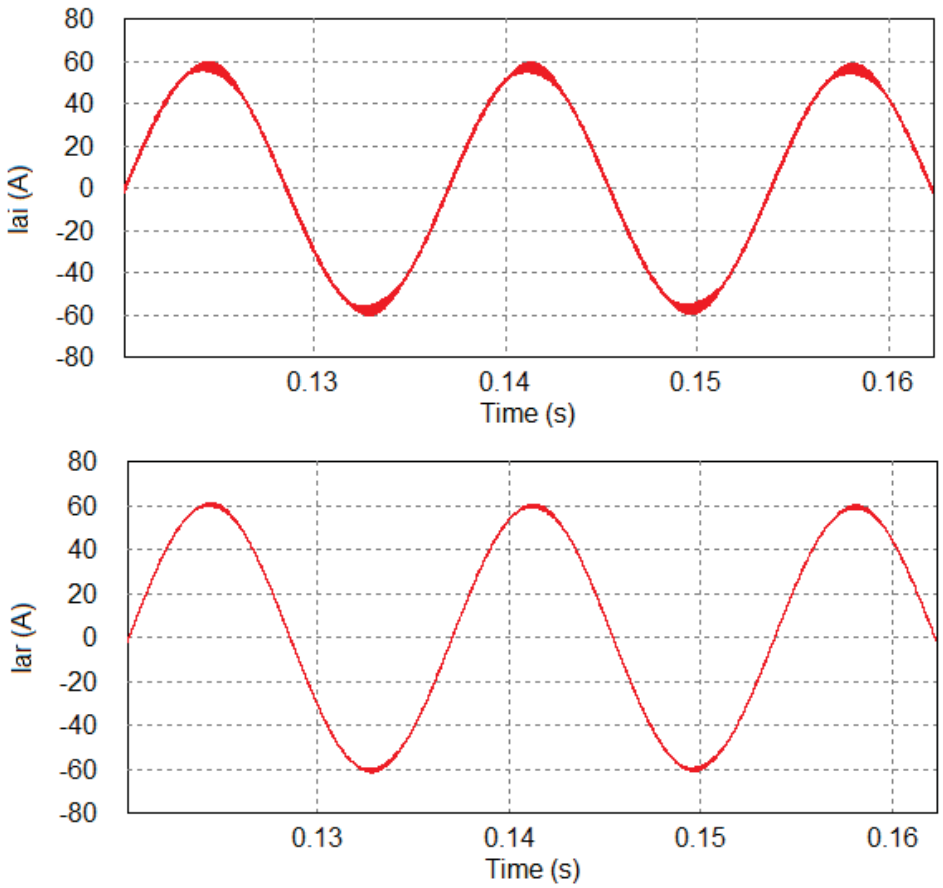
Substituindo os valores da TABELA 34 na equação (100), o valor do indutor do lado da rede (Lr) é obtido e tem valor igual a 31,1 µH.

Para o protótipo do inversor de interligação a indutância para o indutor do lado da rede tem seu valor arredondado para 30 µH.

Para verificar a eficiência do filtro LCL projetado pela metodologia apresentada, um experimento em ambiente de simulação é conduzido utilizando a fase ‘a’ para demonstração dos resultados. A

FIGURA 103 apresenta os resultados de simulação, no primeiro gráfico está a forma de onda da corrente i_{ia} do indutor L_i e no segundo gráfico está a forma de onda da corrente i_{ra} do indutor L_r. O inversor de interligação está conduzindo a sua corrente nominal com um fator de potência unitário.

FIGURA 103 – CORRENTE DO INDUTOR L_i E DO INDUTOR L_r



FONTE: O autor (2023).

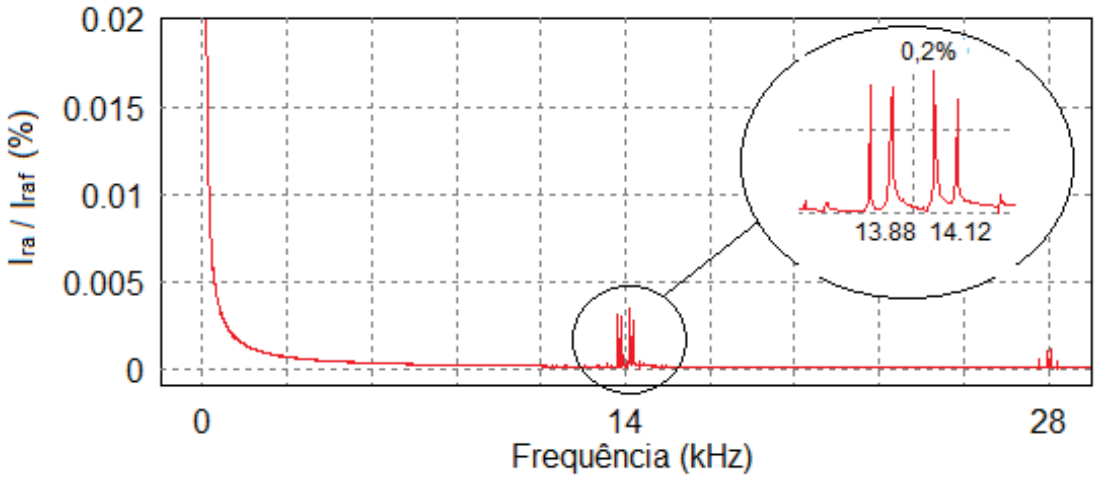
Fica vidente que a ondulação da corrente i_{ia} é suprimida após passar pelo indutor LCL, sendo que, O maior valor da ondulação da corrente i_{ia} é de 5,2 A e da corrente i_{ra} não passa de 0,8 A.

Analisando os indicadores previstos em normas, a THD da corrente I_{ia} é de 2%, enquanto, da corrente I_{ra} é de 0,42%, ou seja, ambas as correntes apresentam resultados satisfatórios em relação a THD abaixo de 5%.

O espectro da FFT da corrente I_{ra} é analisado para verificar se a amplitude das harmônicas mais relevantes, produzidas pela comutação, estão abaixo de 0,3%.

Na FIGURA 104 é possível identificar que o valor da maior amplitude das harmônicas mais relevantes, na frequência de 14,12 kHz, é de 0,2%, dessa maneira, o projeto do filtro está dentro dos parâmetros estabelecidos em normas e é considerado satisfatório.

FIGURA 104 – ESPECTRO DA FFT DA CORRENTE I_{ra}



FONTE: O autor (2023).

APÊNDICE 7 – OBTENÇÃO DO MODELO DQ A PARTIR DO MODELO ABC

Para obter o modelo do inversor de interligação com filtro LCL no referencial estacionário αβ é utilizado a transformada de Clarke que foi descrita no Apêndice 2. A equação (102) e a equação (103) representam, respectivamente, a matriz de transformação e a matriz de transformação inversa da transformada de Clarke.

$$[C] = \frac{2}{3}\begin{bmatrix} 1 & -\frac{1}{2} & -\frac{1}{2} \\ 0 & \frac{\sqrt{3}}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \tag{102}$$

$$[C]^{-1} = \frac{3}{2}\begin{bmatrix} 1 & 0 \\ -\frac{1}{2} & \frac{\sqrt{3}}{2} \\ -\frac{1}{2} & -\frac{\sqrt{3}}{2} \end{bmatrix} \tag{103}$$

Aplicando a matriz de transformação inversa da equação (103) no modelo do inversor de interligação no referencial estacionário abc da equação (25), a equação (104) é definida, considerando que o sistema é equilibrado, ou seja, $v_{NN'}(t) = 0$.

$$\begin{aligned} [C]^{-1}\left[v_{xN_{\alpha\beta}}(t)\right] &= [C]^{-1}\left[v_{Cx_{\alpha\beta}}(t)\right] + L_i\frac{d[i_{ix_{\alpha\beta}}(t)[C]^{-1}]}{dt} \\ [C]^{-1}\left[v_{Cx_{\alpha\beta}}(t)\right] &= [C]^{-1}\left[v_{rx_{\alpha\beta}}(t)\right] + L_r\frac{d[i_{rx_{\alpha\beta}}(t)[C]^{-1}]}{dt} \\ [C]^{-1}\left[i_{ix_{\alpha\beta}}(t)\right] &= [C]^{-1}\left[i_{rx_{\alpha\beta}}(t)\right] + C_f\frac{d\left[v_{Cx_{\alpha\beta}}(t)[C]^{-1}\right]}{dt} \end{aligned} \tag{104}$$

Onde, $[v_{xN_\alpha\beta}(t)] = [v_{\alpha N}(t),\ v_{\beta N}(t)]^T$ são as tensões geradas pelo inversor de interligação em relação ao ponto neutro N. $[v_{Cx_\alpha\beta}(t)] = [v_{C\alpha}(t),\ v_{C\beta}(t)]^T$ são as tensões do capacitor do filtro. $[v_{rx_\alpha\beta}(t)] = [v_{r\alpha}(t),\ v_{r\beta}(t)]^T$ são as tensões da sub-rede CA. $[i_{ix_\alpha\beta}(t)] = [i_{i\alpha}(t),\ i_{i\beta}(t)]^T$ são as correntes do indutor do lado do inversor e $[i_{ix_\alpha\beta}(t)] = [i_{i\alpha}(t),\ i_{i\beta}(t)]^T$ as correntes do indutor do lado da rede elétrica.

A multiplicação entre as matrizes de transformação da transformada de Clarke resultam na matriz identidade [I], ou seja, $[C][C]^{-1} = [I]$. Dessa maneira, para simplificar,

ambos os lados da equação (104) são multiplicados pela matriz de transformação da transformada de Clarke, equação (102), e com isso, obtém-se a equação (105).

$$\begin{aligned}\left[v_{xN_{\alpha\beta}}(t)\right] &= \left[v_{Cx_{\alpha\beta}}(t)\right] + [C]L_i\frac{d[i_{ix_{\alpha\beta}}(t)[C]^{-1}]}{dt}\\ \left[v_{Cx_{\alpha\beta}}(t)\right] &= \left[v_{rx_{\alpha\beta}}(t)\right] + [C]L_r\frac{d[i_{rx_{\alpha\beta}}(t)[C]^{-1}]}{dt}\\ \left[i_{ix_{\alpha\beta}}(t)\right] &= \left[i_{rx_{\alpha\beta}}(t)\right] + [C]C_f\frac{d\left[v_{Cx_{\alpha\beta}}(t)[C]^{-1}\right]}{dt}\end{aligned} \quad (105)$$

Resolvendo o termo da equação (105) que contém a derivada, obtém-se a equação (106), onde, mais uma vez é possível a simplificação através da matriz identidade.

$$\begin{aligned}\left[v_{xN_{\alpha\beta}}(t)\right] &= \left[v_{Cx_{\alpha\beta}}(t)\right] + [C][C]^{-1}L_i\frac{d[i_{ix_{\alpha\beta}}(t)]}{dt}\\ \left[v_{Cx_{\alpha\beta}}(t)\right] &= \left[v_{rx_{\alpha\beta}}(t)\right] + [C][C]^{-1}L_r\frac{d[i_{rx_{\alpha\beta}}(t)]}{dt}\\ \left[i_{ix_{\alpha\beta}}(t)\right] &= \left[i_{rx_{\alpha\beta}}(t)\right] + [C][C]^{-1}C_f\frac{d\left[v_{Cx_{\alpha\beta}}(t)\right]}{dt}\end{aligned} \quad (106)$$

Por fim, o modelo do inverso de interligação com filtro LCL no referencial estacionário αβ é definido na equação (107).

$$\begin{aligned}\left[v_{xN_{\alpha\beta}}(t)\right] &= \left[v_{Cx_{\alpha\beta}}(t)\right] + L_i\frac{d[i_{ix_{\alpha\beta}}(t)]}{dt}\\ \left[v_{Cx_{\alpha\beta}}(t)\right] &= \left[v_{rx_{\alpha\beta}}(t)\right] + L_r\frac{d[i_{rx_{\alpha\beta}}(t)]}{dt}\\ \left[i_{ix_{\alpha\beta}}(t)\right] &= \left[i_{rx_{\alpha\beta}}(t)\right] + C_f\frac{d\left[v_{Cx_{\alpha\beta}}(t)\right]}{dt}\end{aligned} \quad (107)$$

As malhas de controle do inversor de interligação com filtro LCL são projetadas a partir do referencial síncrono dq, sendo que, o objetivo é de controlar a potência ativa e reativa que será entregue por ele. A transformada de Park, descrita

no Apêndice 2, é utilizada para obter o modelo no referencial síncrono dq, sendo que, a matriz de transformação e a matriz de transformação inversa da transformada de Park são representadas, respectivamente, pela equação (108) e equação (109). Onde, ω_n é a frequência angular natural da sub-rede CA.

$$[P] = \begin{bmatrix} \cos(\omega_n t) & sen(\omega_n t) \\ -sen(\omega_n t) & \cos(\omega_n t) \end{bmatrix} \tag{108}$$

$$[P]^{-1} = \begin{bmatrix} \cos(\omega_n t) & -sen(\omega_n t) \\ sen(\omega_n t) & \cos(\omega_n t) \end{bmatrix} \tag{109}$$

A matriz de transformação inversa da transformada de Park, equação (109), é utilizada junto a equação (107) para obter a sua representação no referencial síncrono dq, como demonstrado na equação (110).

$$\begin{aligned} [P]^{-1}\left[v_{ex_{dq}}(t)\right] &= [P]^{-1}\left[v_{Cx_{dq}}(t)\right] + L_i \frac{d[i_{ix_{dq}}(t)[P]^{-1}]}{dt} \\ [P]^{-1}\left[v_{Cx_{dq}}(t)\right] &= [P]^{-1}\left[v_{rx_{dq}}(t)\right] + L_r \frac{d[i_{rx_{dq}}(t)[P]^{-1}]}{dt} \\ [P]^{-1}\left[i_{ix_{dq}}(t)\right] &= [P]^{-1}\left[i_{rx_{dq}}(t)\right] + C_f \frac{d\left[v_{Cx_{dq}}(t)[P]^{-1}\right]}{dt} \end{aligned} \tag{110}$$

Onde, $[v_{ex_dq}(t)] = [v_{ed}(t),\ v_{eq}(t)]^T$ são as tensões geradas pelo inversor no referencial síncrono dq. $[v_{cx_dq}(t)] = [v_{cd}(t),\ v_{cq}(t)]^T$ são a tensões no capacitor do filtro LCL no referencial síncrono dq. $[v_{rx_dq}(t)] = [v_{rd}(t),\ v_{rq}(t)]^T$ são as tensões da sub-rede CA no referencial síncrono dq. $[i_{rx_dq}(t)] = [i_{rd}(t),\ i_{rq}(t)]^T$ são as correntes do indutor do lado da rede elétrica no referencial síncrono dq. $[i_{ix_dq}(t)] = [i_{id}(t),\ i_{iq}(t)]^T$ são as correntes do indutor do lado do inversor no referencial síncrono dq.

A multiplicação entre as matrizes de transformação da transformada de Park resultam na matriz identidade [I], ou seja, $[P][P]^{-1} = [I]$. Dessa maneira, para simplificar, ambos os lados da equação (110) são multiplicados pela matriz de transformação da transformada de Park, equação (108), e com isso, obtém-se a equação (111).

$$\begin{aligned}\left[v_{ex_{dq}}(t)\right] &= \left[v_{Cx_{dq}}(t)\right] + [P]L_i\frac{d[i_{ix_{dq}}(t)[P]^{-1}]}{dt}\\ \left[v_{Cx_{dq}}(t)\right] &= \left[v_{rx_{dq}}(t)\right] + [P]L_r\frac{d[i_{rx_{dq}}(t)[P]^{-1}]}{dt}\\ \left[i_{ix_{dq}}(t)\right] &= \left[i_{rx_{dq}}(t)\right] + [P]C_f\frac{d\left[v_{Cx_{dq}}(t)[P]^{-1}\right]}{dt}\end{aligned} \quad (111)$$

O termo da equação (111) que contém a derivada é resolvido na equação (112), como exemplo foi utilizada a derivada da corrente do inversor de interligação multiplicado pela matriz de transformação inversa, sendo que, para as demais derivadas a resolução segue o mesmo método.

$$\frac{d[i_{ix_{dq}}(t)[P]^{-1}]}{dt} = \frac{d[i_{ix_{dq}}(t)]}{dt}[P]^{-1} + \frac{d[P]^{-1}}{dt}[i_{ix_{dq}}(t)] \quad (112)$$

O primeiro termo pode ser simplificado pela matriz identidade multiplicando ambos os lados da equação (112) pela matriz de transformação da equação (108). Para resolver o segundo termo da equação (112), a derivada da matriz de transformação inversa é obtida e representada na equação (113).

$$\frac{d[P]^{-1}}{dt} = \omega_n\begin{bmatrix}-\sin(\omega_n t) & -cos(\omega_n t)\\ cos(\omega_n t) & -\sin(\omega_n t)\end{bmatrix} \quad (113)$$

Substituindo a equação (113) na equação (112) e, posteriormente, substituindo a equação (112) na equação (111), a equação (114) é obtida considerando o mesmo procedimento para as demais equações com os termos que apresentam derivadas.

$$\begin{aligned}\left[v_{ex_{dq}}(t)\right] &= \left[v_{Cx_{dq}}(t)\right] + L_i[P][P]^{-1}\frac{d[i_{ix_{dq}}(t)]}{dt} + L_i[P]\frac{d[P]^{-1}}{dt}[i_{ix_{dq}}(t)]\\ \left[v_{Cx_{dq}}(t)\right] &= \left[v_{rx_{dq}}(t)\right] + L_r[P][P]^{-1}\frac{d[i_{rx_{dq}}(t)]}{dt} + L_r[P]\frac{d[P]^{-1}}{dt}[i_{rx_{dq}}(t)]\\ \left[i_{ix_{dq}}(t)\right] &= \left[i_{rx_{dq}}(t)\right] + C_f[P][P]^{-1}\frac{d[v_{Cx_{dq}}(t)]}{dt} + C_f[P]\frac{d[P]^{-1}}{dt}[v_{Cx_{dq}}(t)]\end{aligned} \quad (114)$$

A equação (115) representa a multiplicação entre a matriz de transformação e a derivada da matriz de transformação inversa.

$$[P]\frac{d[P]^{-1}}{dt} = \omega_n \begin{bmatrix} \cos(\omega_n t)\,(-\sin(\omega_n t)) + \cos(\omega_n t)\,(\sin(\omega_n t)) & -cos(\omega_n t)cos(\omega_n t) + \sin(\omega_n t)\sin(\omega_n t) \\ \sin(\omega_n t)\sin(\omega_n t) + cos(\omega_n t)cos(\omega_n t) & \sin(\omega_n t)\cos(\omega_n t) - \sin(\omega_n t)\cos(\omega_n t) \end{bmatrix} \tag{115}$$

Resolvendo as relações trigonométricas da equação (115), obtém-se a equação (116).

$$[P]\frac{d[P]^{-1}}{dt} = \omega_n \begin{bmatrix} 0 & -1 \\ 1 & 0 \end{bmatrix} \tag{116}$$

A equação (117) representa o modelo do inversor de interligação com filtro LCL no referencial síncrono dq e no domínio da frequência s que é aplicado as malhas de controle do inversor de interligação no Capítulo 3.

$$\begin{aligned} \left[v_{ex_{dq}}(s)\right] &= \left[v_{Cx_{dq}}(s)\right] + L_i s\,[i_{ix_{dq}}(s)] + Li[P]\frac{d[P]^{-1}}{dt}[i_{ix_{dq}}(s)] \\ \left[v_{Cx_{dq}}(s)\right] &= \left[v_{rx_{dq}}(s)\right] + L_r s[i_{rx_{dq}}(s)] + L_r[P]\frac{d[P]^{-1}}{dt}[i_{rx_{dq}}(s)] \\ \left[i_{ix_{dq}}(s)\right] &= \left[i_{rx_{dq}}(s)\right] + C_f s\left[v_{Cx_{dq}}(s)\right] + C_f[P]\frac{d[P]^{-1}}{dt}[v_{Cx_{dq}}(s)] \end{aligned} \tag{117}$$

APÊNDICE 8 – PROJETO DOS COMPENSADORES DA MALHA DE CONTROLE DE CORRENTE E DE TENSÃO

O compensador de corrente utilizado no projeto do inversor de interligação é do tipo proporcional integral (PI) e apresenta a função de transferência descrita na equação (118), onde, k_{pi} é definido como o ganho proporcional e k_{ii} como o ganho do integrador.

$$G_i(s) = k_{pi} + \frac{k_{ii}}{s} \tag{118}$$

A frequência de canto (f_{gi_ct}) do compensador de corrente é calculada pela equação (119) e determina as mudanças de características do compensador. Para a resposta em frequência do compensador $G_i(s)$, antes da frequência de canto, a inclinação da magnitude é de -20 dB/dec e a fase é de -90 e após a frequência de canto, a magnitude é de 0 dB/dec e a fase de 0°.

$$f_{gi_ct} = k_{ii} \cdot 2\pi k_{pi} \tag{119}$$

O valor da frequência de canto deve ser suficiente menor que a frequência de corte do compensador de corrente (f_{ci}). Ruan et al. (2018) explicam que uma frequência de canto suficiente menor que a frequência de corte minimiza a influência da margem de fase do compensador na margem de fase do sistema e, como consequência, o ganho do compensador de corrente na frequência de corte (f_{ci}), e em frequências maiores que a frequência de corte, é considerado como igual ao seu ganho proporcional.

Para a condição descrita $|G_i(2\pi f_{ci})| \approx k_{pi,}$ e considerando que na frequência de corte a magnitude da malha de controle de corrente é igual a 1(um), ou seja, $|T_D(j2\pi f_{ci})| = 1$, o ganho proporcional é exibido na equação (120) e é obtido igualando a equação (34) a um, substituindo $G_i(s) = k_{pi}$ e isolando k_{pi} para $s = 2\pi f_{ci.}$ O atraso computacional não é considerado para cálculo do ganho proporcional.

$$k_{pi} = \frac{(2\pi f_{ci})L_R}{H_{ir}K_{inv}} \quad (120)$$

O ganho proporcional é calculado definindo-se a frequência de corte para o projeto do compensador de corrente.

A metodologia de projeto para definir o ganho do integrador utiliza como parâmetro a magnitude do ganho da malha de controle de corrente na frequência natural (f_{n0}). Considerando a resposta em frequência do modelo da malha de controle o ganho, em decibéis (dB), na frequência natural é obtido pela equação (121).

$$T_{Dfn0} = 20\log|T_D(s)| \quad (121)$$

A equação (122) é obtida substituindo a equação (118) no modelo da malha de controle de corrente da equação (34) e, posteriormente, substituindo a equação (34) na equação (121), para $s = j2\pi f_{n0}$.

$$T_{Dfn0} = 20\log\left|\frac{H_{ir}K_{inv}T_a\, e^{-1.5(j2\pi f_{n0})T_a}\left(k_{pi} + \frac{k_{ii}}{j2\pi f_{n0}}\right)}{sL_R}\right| \quad (122)$$

O ganho do integrador é pela equação (123) que é obtida substituindo a equação (120), do ganho proporcional, na equação (122).

$$k_{ii} = \frac{4\pi^2 f_{n0}L_R}{H_{ir}K_{inv}T_a e^{-1.5(j2\pi f_{n0})T_a}}\sqrt{\left(10^{\frac{T_{Dfn}}{20}}f_{n0}\right)^2 - f_{ci}^2} \quad (123)$$

O ganho do integrador é definido a partir do valor de projeto da magnitude, em dB, do ganho da malha de controle de corrente na frequência natural do sistema (T_{Dfn0}).

Na TABELA 35 estão os dados para calcular o compensador de corrente para o protótipo do inversor de interligação. A frequência natural é definida como f_{n0}, a indutância equivalente (L_R) é a soma das indutâncias presentes no filtro, o ganho de realimentação da malha de controle de corrente (H_{ir}) é composto pelo ganho do sensor

de corrente, circuito de condicionamento do sinal e do ganho do AD, o ganho estático do inversor (K_{inv}) é definido na equação (28) e T_a é o período de amostragem do AD do microcontrolador.

TABELA 35 – PARÂMETROS DO PROJETO DO COMPENSADOR DE CORRENTE

Parâmetro de Projeto	Valores de Projeto
Indutância Equivalente do Filtro LCL (L_R)	1.4 mH
Ganho Realimentação (H_{ir})	31,63 V/V
Ganho Estático do Inversor de Interligação (K_{inv})	0.20 V/V
Período de Amostragem (T_a)	35,71 µs
Frequência Natural (f_{n0})	60 Hz

FONTE: O autor (2023).

A frequência de corte do compensador de corrente (f_{ci}) é o parâmetro utilizado para calcular o ganho proporcional do compensador de corrente (k_{pi}), enquanto, a magnitude do ganho na frequência natural do sistema (T_{Dfn0}) é utilizado para calcular o ganho do integrador do compensador (k_{ii}).

O critério para escolha da frequência de corte do compensador de corrente deve levar em consideração a frequência de ressonância (f_r) do filtro LCL. Se a frequência de corte for definida muito próxima a frequência de ressonância, há uma maior chance de ocorrer ressonância entre os elementos do filtro LCL com os elementos da rede elétrica de distribuição, o que pode levar o controle a instabilidade. Ruan et al. (2018) estabelecem o critério $f_{ci} \leq \frac{1}{3} f_r$ que é adotado o projeto do protótipo do inversor de interligação.

Para o projeto do filtro LCL do inversor de interligação f_r = 6,14 kHz, valor definido pela equação (22) que foi descrita na Seção 3.1.1, portanto, f_{ci} = 1,8 kHz, considerando uma margem de segurança para o critério adotado. A equação (124) define o valor do ganho proporcional do compensador de corrente através da equação (120) e dos dados da TABELA 35.

$$k_{pi} = 2{,}466 \tag{124}$$

O critério utilizado para a escolha da magnitude do ganho do modelo da malha de controle de corrente na frequência natural (T_{Dfn0}) considera duas condições.

A margem de ganho (MG) é definida como a diferença entre 0 dB e a magnitude do ganho quando a fase ultrapassa os limites de instabilidade, ou seja, -180°. Segundo Parker, Mcgrath e Holmes (2014), os sistemas que apresentam boa robustez em relação a sua estabilidade contêm uma MG ≥ 3 dB.

A segunda condição considera que a margem de fase (MF) da resposta em frequência de $T_D(s)$ deve estar entre 30° e 90° para manter um bom desempenho dinâmico. Tang et al. (2012) explicam que valores mais próximos de 30° priorizam a velocidade para na resposta dinâmica do sistema, enquanto, valores mais próximos de 90° apresentam menores oscilações durante o transitório.

A equação (125) contém o valor do ganho do integrador para o compensador de corrente do protótipo do inversor de interligação. O valor é obtido pela equação (123) para um T_{Dfn0} = 35 dB.

$$k_{ii} = 1.494{,}1 \tag{125}$$

Substituindo a equação (124) e a equação (125) na equação (118), a função de transferência do compensador de corrente é obtida na equação (126).

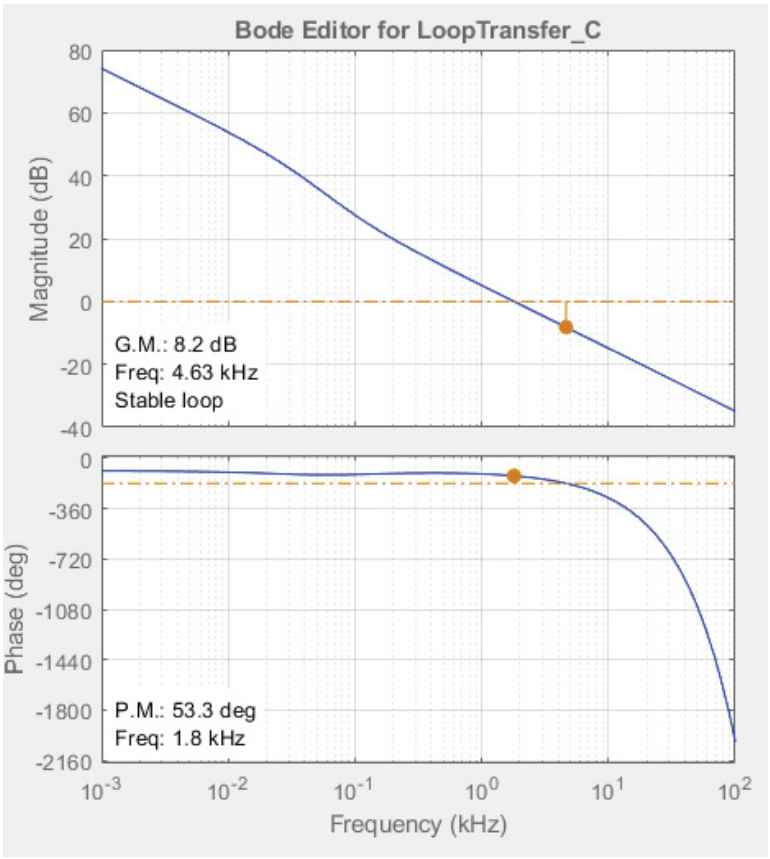
$$G_i(s) = 2{,}466 + \frac{1494{,}1}{s} \tag{126}$$

A equação (127) representa o modelo da malha de controle de corrente ($T_D(s)$) para o protótipo do inversor de interligação e é obtida substituindo o compensador de corrente da equação (126) na equação (34).

$$T_D(s) = \frac{6{,}326\, e^{-53{,}56\mu\, s}\left(2{,}466 + \frac{1494{,}1}{s}\right)}{s0{,}0014} \tag{127}$$

A FIGURA 105 apresenta a resposta em frequência da equação (127).

FIGURA 105 – RESPOSTA EM FREQUÊNCIA DO MODELO DA MALHA DE CONTROLE DE CORRENTE



FONTE: O autor (2023).

Os critérios do projeto do compensador foram obedecidos, sendo que, MF = 53,3° e o MG = 8,2 dB para uma f_{ci} = 1,8 kHz.

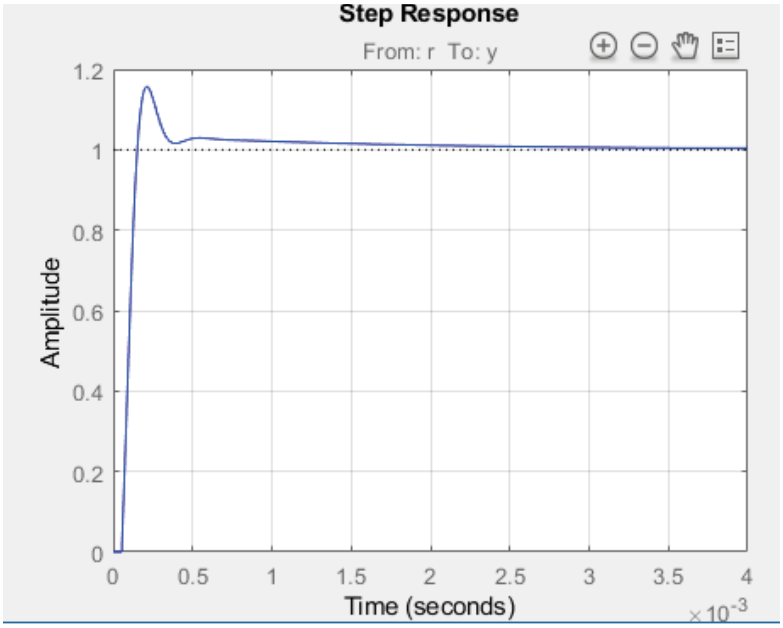
A resposta ao degrau da equação (127) é representado na FIGURA 106.

Durante o transitório ocorre um sobressinal de, aproximadamente, 15% e após um período de 3,2 ms o sistema estabiliza.

O compensador de tensão CA é do tipo proporcional integral e apresenta a função de transferência descrita na equação (128), onde, k_{pv} é o ganho proporcional e k_{iv} o ganho do integrador.

$$G_v(s) = k_{pv} + \frac{k_{iv}}{s} \tag{128}$$

FIGURA 106 – RESPOSTA AO DEGRAU DA MALHA DE CONTROLE DE CORRENTE



FONTE: O autor (2023).

A metodologia utilizada para definir ganho proporcional do compensador de tensão é semelhante ao método utilizado para o compensador de corrente.

Para obter o ganho proporcional do compensador de tensão CA, considera-se que a frequência de canto do compensador é suficiente menor que a sua frequência de corte (f_{cv}) e, com isso, a condição $|G_v(2\pi f_{cv})| \approx k_{pv}$, é verdadeira. Além disso, a magnitude da malha de controle de tensão é igual a 1(um) na frequência de corte, ou seja, $|T_{Dv}(j2\pi f_{cv})| = 1$.

Considerando as condições para a frequência de corte descritas, o ganho proporcional é exibido na equação (129) e é obtido igualando a equação (39) a um, substituindo $G_v(s) = k_{pv}$ e isolando k_{pv} para $s = 2\pi f_{cv}$.

$$k_{pv} = \frac{H_{ir}(2\pi f_{cv})C_f}{H_{vC}} \tag{129}$$

O ganho proporcional é calculado definindo-se a frequência de corte (f_{cv}) para o projeto do compensador de tensão.

A metodologia de projeto para definir o ganho do integrador utiliza como parâmetro a margem de fase (MF) na frequência de corte, sendo que, a MF é definida como a diferença entre da fase (φ) na frequência de corte e o ângulo de -180° que

define o limite da instabilidade do controle. A margem de fase da resposta em frequência de $T_{Dv}(s)$ é definida pela equação (130).

$$MF = \varphi - (-180°) \tag{130}$$

A equação (131) é obtida substituindo a equação (128) na equação (39), para um $s = j2\pi f_{cv}$.

$$T_{Dv}(j2\pi f_{cv}) = \frac{H_{vC}\left(k_{pv} + \frac{k_{iv}}{j2\pi f_{cv}}\right)}{H_{ir}C_f(j2\pi f_{cv})} \tag{131}$$

O ângulo de fase (φ) na frequência de corte é definido pela equação (132), onde, o numerador representa a parcela imaginária e o denominador a parcela real da equação (131).

$$\varphi = \tan^{-1}\frac{k_{pv}2\pi f_{cv}}{k_{iv}} \tag{132}$$

A equação (133) é definida substituindo a equação (129) na equação (132) e, posteriormente, a equação (132) é substituída na equação (130).

$$MF = \tan^{-1}\frac{H_{ir}4\pi^2 {f_{cv}}^2 C_f}{k_{iv}H_{vC}} - (-180°) \tag{133}$$

A equação (134) representa o ganho do integrador para o compensador de tensão CA e é obtida aplicando-se a tangente em ambos os lados da equação (133) e isolando o ganho do integrador (k_{iv}), onde, MF está em radianos.

$$k_{iv} = \frac{4\pi^2 {f_{cV}}^2 C_f}{H_{vC}\tan(MF)} \tag{134}$$

A margem de fase definida para o projeto deve estar entre 30° e 90° para manter um bom desempenho dinâmico.

Na TABELA 36 estão os dados para calcular o compensador de tensão CA para o protótipo do inversor de interligação. O ganho de realimentação da malha de controle de corrente (H_{ir}) e o ganho de realimentação da malha de controle de tensão (H_{vC}) são compostos pelo ganho do sensor, circuito de condicionamento do sinal e do ganho do AD.

TABELA 36 – PARÂMETROS DO PROJETO DO COMPENSADOR DE TENSÃO CA

Parâmetro de Projeto	Valores de Projeto
Ganho da Malha de Corrente (H_{ir})	31,63 V/V
Ganho de Realimentação (H_{vC})	6,165 V/V
Capacitor do Filtro LCL (C_f)	22,9 µF

FONTE: O autor (2023).

O critério para escolha da frequência de corte do compensador de tensão deve levar em consideração a frequência de corte do compensador de corrente.

Como a malha de tensão CA é sobreposta a malha de corrente, a resposta da malha de controle de tensão deve ser mais lenta em relação a resposta da malha de controle de corrente para que não haja distorção. Contudo, a resposta da malha de tensão deve ser suficiente rápida para garantir a manutenção da tensão senoidal em caso de degrau de carga. Dessa forma, o valor da frequência de corte do compensador de tensão CA deve ser menor que a frequência de corte do compensador de corrente e a MF deve estar mais próxima de 90° para reduzir as oscilações durante os transitórios.

Para o projeto do compensador de tensão CA foi definida a f_{cv} = 900 Hz, o que equivale ao critério f_{cv} = ½ f_{ci} e a MF = 80°, o que reduz as oscilações na resposta do compensador.

Substituindo os valores de projeto para frequência de corte e para margem de fase e complementando com os valores da TABELA 36, o ganho proporcional e o ganho do integrador são obtidos, respectivamente, pela equação (129) e pela equação (134). O Resultado é expresso na equação (135).

$$k_{pv} = 0{,}6194$$
$$k_{iv} = 617{,}62 \tag{135}$$

Substituindo a equação (135) na equação (128), a função de transferência do compensador de tensão CA é obtida na equação (136).

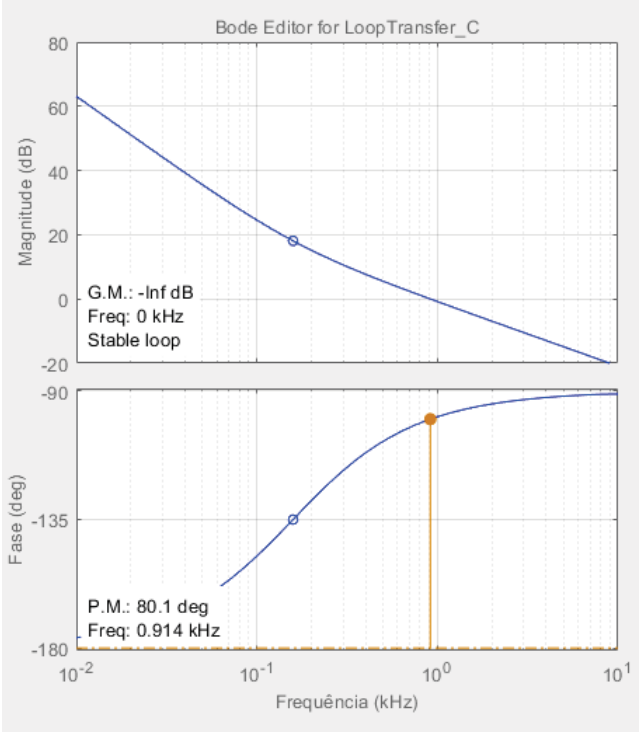
$$G_v(s) = 0{,}6194 + \frac{617{,}62}{s} \tag{136}$$

A equação (137) representa o modelo da malha de controle de tensão CA ($T_{Dv}(s)$) para o protótipo do inversor de interligação e é obtida substituindo o compensador de tensão da equação (136) na equação (39) e complementando com os valores dos demais parâmetros de projeto listados na TABELA 36.

$$T_{Dv}(s) = \frac{6{,}142\left(0{,}6194 + \frac{617{,}62}{s}\right)}{72{,}43\mu\, s} \tag{137}$$

A FIGURA 107 apresenta a resposta em frequência da função de transferência da malha de controle de tensão da equação (137).

FIGURA 107 – RESPOSTA EM FREQUÊNCIA DO MODELO DA MALHA DE CONTROLE DE TENSÃO CA

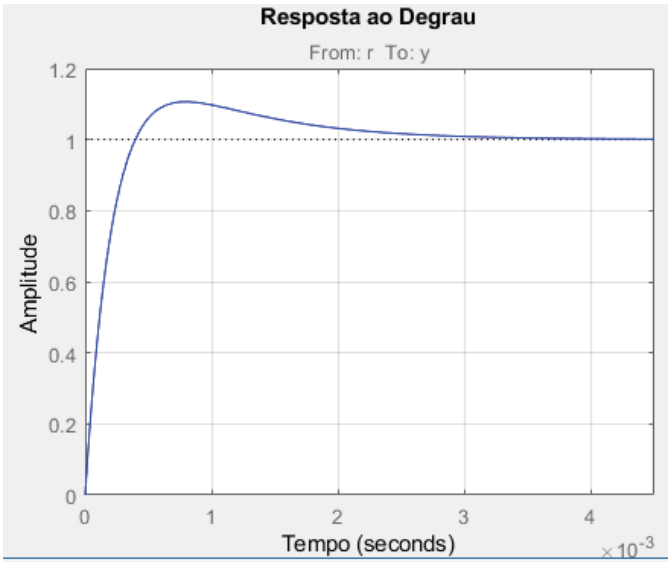


FONTE: O autor (2023).

Os parâmetros de projeto do compensador foram alcançados, sendo que, MF = 80,1° para uma f_{cv} = 914 Hz. Ocorreu um desvio no valor da frequência de corte definida em projeto, mas, por ser pequeno, não terá impacto na malha de controle de tensão.

A resposta ao degrau da equação (137) é representado na FIGURA 108.

FIGURA 108 – RESPOSTA AO DEGRAU DA MALHA DE CONTROLE DE TENSÃO CA



FONTE: O autor (2023).

Durante o transitório ocorre um sobressinal de aproximadamente 11% e após um período de aproximadamente 4 ms o sistema estabiliza.

Comparando a resposta em frequência da malha de controle de tensão (FIGURA 108) em relação a malha de controle de corrente (FIGURA 106), o sobressinal é consideravelmente menor e não há oscilação até alcançar o regime, enquanto o tempo de resposta é de, aproximadamente, 0,5 ms mais lento.

O compensador utilizado para controle da tensão da sub-rede CC é do tipo proporcional integral e é representado na A equação (138), onde, k_{pcc} é o ganho proporcional e k_{icc} é o ganho do integrador.

$$G_{cc}(s) = k_{pcc} + \frac{k_{icc}}{s} \tag{138}$$

A metodologia para se obter o ganho proporcional e do ganho do integrador do compensador de tensão CC é a mesma que foi utilizada para os ganhos do compensador de tensão CA.

A equação (139) representa o ganho proporcional do compensador de tensão da sub-rede CC e é obtido igualando a equação (48) a um, substituindo $G_{cc}(s) = k_{pcc}$ e isolando k_{pcc} para $s = 2\pi f_{cc}$, onde, f_{cc} é a frequência de corte do compensador.

$$k_{pcc} = \frac{H_{ir} C (2\pi f_{cc})}{H_{cc} H_{re}} \tag{139}$$

A metodologia de projeto para definir o ganho do integrador utiliza como parâmetro a margem de fase (MF) na frequência de corte,

A equação 140 é obtida para calcular o ganho do integrador para o compensador de tensão CC, onde, MF está em radianos.

$$k_{icc} = \frac{H_{ir} C 4\pi^2 {f_{cc}}^2}{H_{cc} H_{re} \tan(MF)} \tag{140}$$

A margem de fase definida para o projeto deve estar entre 30° e 90° para manter um bom desempenho dinâmico.

Na TABELA 37 estão os dados para calcular o compensador de tensão da sub-rede CC para o protótipo do inversor de interligação. O ganho de realimentação da malha de controle de corrente (H_{ir}) e o ganho de realimentação da malha de controle de tensão CC (H_{cc}) são compostos pelo ganho do sensor, circuito de condicionamento do sinal e do ganho do AD. O valor do capacitor do filtro para conexão com a sub-rede CC é definido no projeto do protótipo do inversor de interligação que é descrito no Capítulo 5.

TABELA 37 – PARÂMETROS DO PROJETO DO COMPENSADOR DE TENSÃO CC

Parâmetro de Projeto	Valores de Projeto
Ganho da Malha de Corrente (H_{ir})	31,63 V/V
Ganho de Realimentação (H_{cc})	4,615 V/V
Ganho da Relação entre as Correntes CA e CC (H_{re})	0,903 V/V
Capacitor do Filtro LCL (C)	2,4 mF

FONTE: O autor (2023).

O critério para escolha da frequência de corte do compensador de tensão deve levar em consideração a frequência de corte do compensador de corrente.

Como a malha de tensão é sobreposta a malha de corrente, a resposta da malha de controle de tensão CC deve ser mais lenta em relação a resposta da malha de controle de corrente.

Para o projeto do compensador de tensão CC foi definida uma f_{cc} = 20 Hz e uma MF = 80°. O pequeno valor da frequência de corte tem como objetivo reduzir a influência das ondulações no filtro capacitivo (C) e que são produzidas pela comutação dos interruptores. Uma margem de fase perto de 90° reduz o sobressinal na resposta do compensador durante os transitórios.

O ganho proporcional e o ganho do integrador são obtidos, respectivamente, pela equação (139) e pela equação (140), substituindo os valores de projeto da frequência de corte, da margem de fase e complementando com os valores da TABELA 37,

A equação (141) é produzida substituindo os valores do ganho proporcional e o ganho do integrador na equação (138).

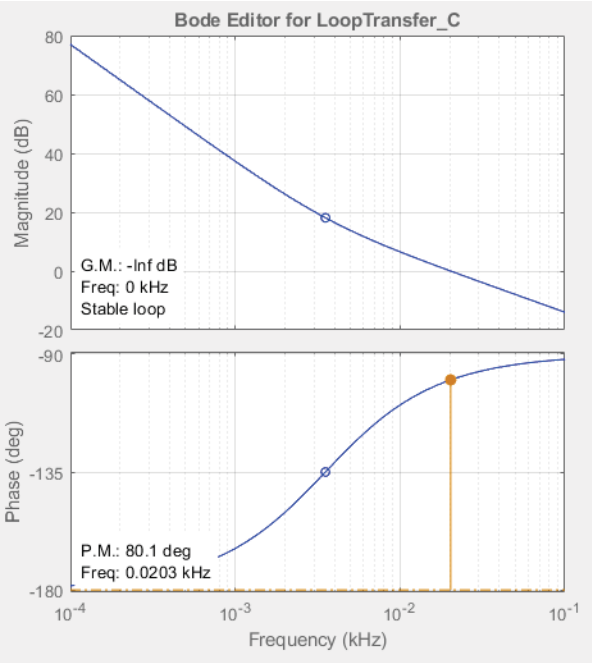
$$G_{cc}(s) = 4{,}230 + \frac{93{,}720}{s} \tag{141}$$

A equação (142) representa o modelo da malha de controle de tensão CC para o protótipo do inversor de interligação e é obtida substituindo o compensador de tensão da equação (141) na equação (48) e complementando com os valores dos demais parâmetros de projeto listados na TABELA 37.

$$T_{Dcc}(s) = \frac{4{,}79\left(1{,}994 + \frac{44{,}192}{s}\right)}{0{,}76\,s} \tag{142}$$

A FIGURA 109 apresenta a resposta em frequência da função de transferência da malha de controle de tensão CC.

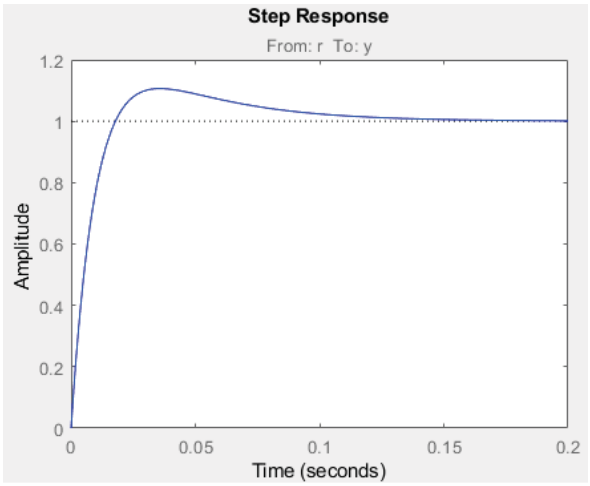
FIGURA 109 – RESPOSTA EM FREQUÊNCIA DO MODELO DA MALHA DE CONTROLE DE TENSÃO CC



FONTE: O autor (2023).

Os parâmetros de projeto do compensador foram alcançados, sendo que, MF = 80,1° para uma f_{cc} = 20,3 Hz. A resposta ao degrau da equação (142) é representado na FIGURA 110.

FIGURA 110 – RESPOSTA AO DEGRAU DA MALHA DE CONTROLE DE TENSÃO CC



FONTE: O autor (2023).

Durante o transitório ocorre um sobressinal de aproximadamente 11% e após um período de aproximadamente 0,2 s o sistema estabiliza.

APÊNDICE 9 – SIMULAÇÃO DAS MALHAS DE CONTROLE DE CORRENTE E TENSÃO

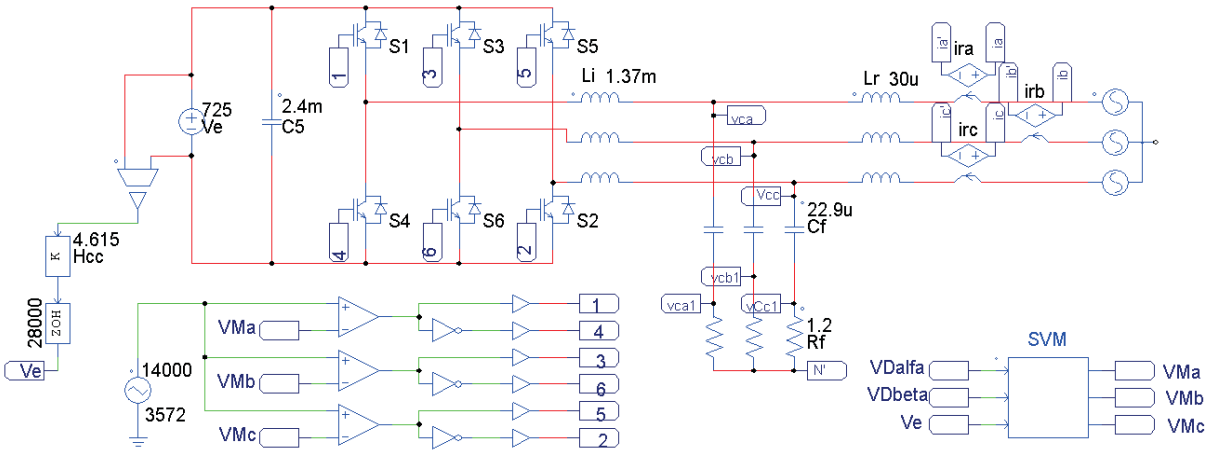
Na FIGURA 111 é apresentado o circuito do inversor de interligação com a modulação vetorial (SVM) que será utilizado para simulação da malha de controle de corrente, da malha de controle de tensão CA e para a malha de controle de tensão CC. As simulações serão realizadas utilizando o programa de simulação PSIM.

O circuito do inversor de interligação da FIGURA 111 contém, do lado CC, uma fonte de tensão CC ideal, representando a sub-rede CC, em paralelo com o filtro capacitivo C. No lado CA, o filtro LCL conecta o inversor de interligação à uma fonte senoidal trifásica ideal, sendo que, a fonte trifásica representa a sub-rede CA.

A modulação SVM é implementada em um bloco de linguagem C através do algoritmo descrito no Apêndice 3. Os sinais de entrada do bloco SVM são provenientes da malha de controle de corrente, enquanto, os sinais de saída são utilizados na entrada do circuito comparador para gerar os sinais de comando dos interruptores.

O circuito da FIGURA 111 ainda conta com os sensores para aquisição das correntes do indutor L_r e com o circuito de aquisição da tensão CC (V_e). O sinal da tensão CC é multiplicado pelo ganho de realimentação (H_{cc}) e pelo bloco de *zero-order hold* (ZOH), que simula a digitalização do sinal.

FIGURA 111 – CIRCUITO DO INVERSOR DE INTERLIGAÇÃO COM SVM



FONTE: O autor (2023).

Quando o inversor de interligação está no CCM ou CCM CC, a sub-rede CC e a sub-rede CA são representadas por fontes ideais. Com o inversor de interligação

no VCM CC, a sub-rede CA é representada por uma fonte senoidal trifásica ideal e a sub-rede CC é substituída por uma carga resistiva. Enquanto, no VCM, a sub-rede CA é representada por uma carga RL e a sub-rede CC por uma fonte CC ideal.

A TABELA 38 apresenta os dados para simulação baseados no projeto do protótipo do inversor de interligação.

TABELA 38 – DADOS DO CIRCUITO PARA SIMULAÇÃO DO INVERSOR DE INTERLIGAÇÃO

Dado	Valor
Tensão Sub-rede CC	725 V
Tensão de Fase Sub-rede CA	231 V
Corrente Nominal Sub-rede CA	43,3 A
Potência Nominal	30 kVA
Frequência Nominal da Sub-rede CA	60 Hz

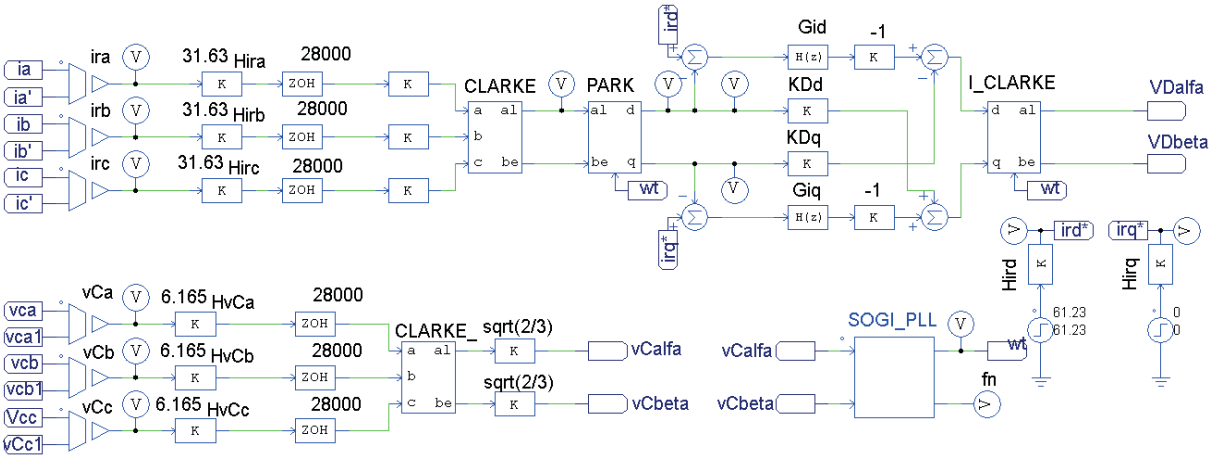
FONTE: O autor (2023).

A malha de controle de corrente é definida na FIGURA 112, ela é composta pelo ganho de realimentação de corrente (H_{ir}), pelo bloco de ZOH, transformadas de Clarke e Park. O bloco identificado pela raiz de dois terços multiplica o sinal de saída das transformadas para manter a amplitude dos sinais iguais nas coordenadas abc, αβ e dq. Após a transformada de Park, as correntes no referencial síncrono dq (i_{rd} e i_{rq}) são comparadas com as suas referências ($i_{r}^{*}{}_{d}$ e $i_{r}^{*}{}_{q}$) e passam pelo compensador de corrente (G_i). Por fim, o sinal é desacoplado e, através da transformada inversa de Clarke, os sinais de entrada do bloco da modulação vetorial são definidos no referencial estacionário αβ.

A outra malha presente na FIGURA 112 é referente ao SOGI-PLL, a tensão do capacitor do filtro LCL (C_f) é aquisitada, passa pelo ganho de realimentação (H_{vC}) e, em seguida, é digitalizado pelo bloco ZOH e transformado no referencial αβ para entrar no bloco do PLL. O algoritmo do SOGI-PLL é descrito no APÊNCIDE 3 e tem como saída a frequência angular da fonte de tensão conectada a sub-rede CA.

A função de transferência do compensador de corrente (G_i) e o ganho de desacoplamento (K_D) foram definidos no Capítulo 3, Seção 3.3.

FIGURA 112 – MALHA DE CONTROLE DE CORRENTE COM SOGI-PLL



FONTE: O autor (2023).

O objetivo da simulação da malha de controle de corrente é observar o comportamento da corrente trifásica [i_{rx_abc}] e da tensão trifásica [v_{rx_abc}] durante o transitório de carga após o regime permanente do sistema.

O primeiro resultado de simulação é apresentado na FIGURA 113, onde, somente uma potência ativa está sendo produzida e está na direção da sub-rede CA para a sub-rede CC, o tempo total da janela de simulação é de 100 ms.

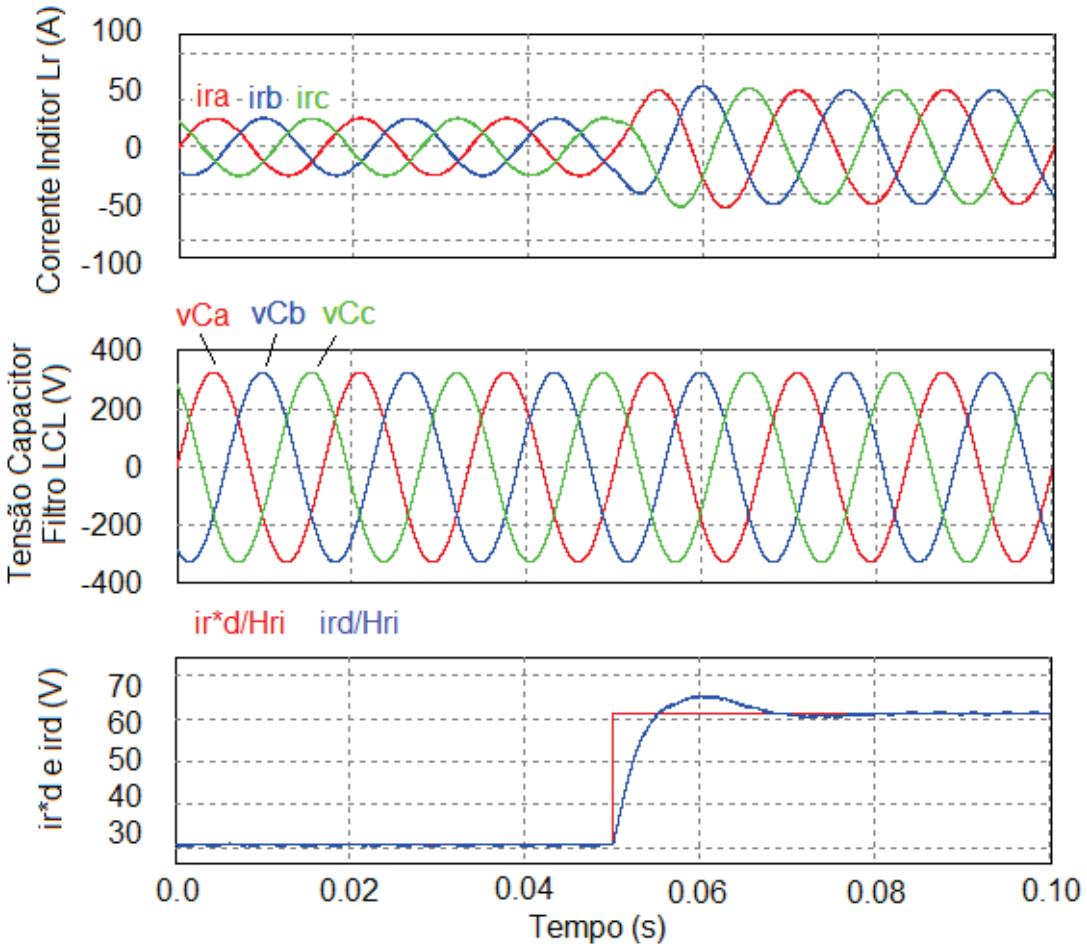
Inicialmente, uma corrente com metade do valor nominal (I_{rx_abc} = 21,64 A) é definida atribuindo o valor a $i_r^*{}_d$ = 21,64 √2. No tempo de simulação de 50 ms o degrau de carga é aplicado passando para uma corrente I_{rx_abc} = 43,3 A.

O inversor de interligação se manteve estável respondendo de forma suave ao degrau de carga e, considerando o período de regime permanente, o fator de potência (FP) foi igual a 0,99.

No tempo 0,05 s está o transitório imposto no sinal de referência da corrente na coordenada ‘d’, a corrente trifásica cresce de forma suave e atinge seu novo valor nominal em, aproximadamente, 17 ms. Na corrente i_{rb} é observado um sobressinal de, aproximadamente, 7% do valor nominal da amplitude da corrente.

O tempo para ajuste em resposta ao degrau pode ser considerado elevado, contudo, o sobressinal no período transitório não altera de forma significativa o valor da corrente no indutor L_r.

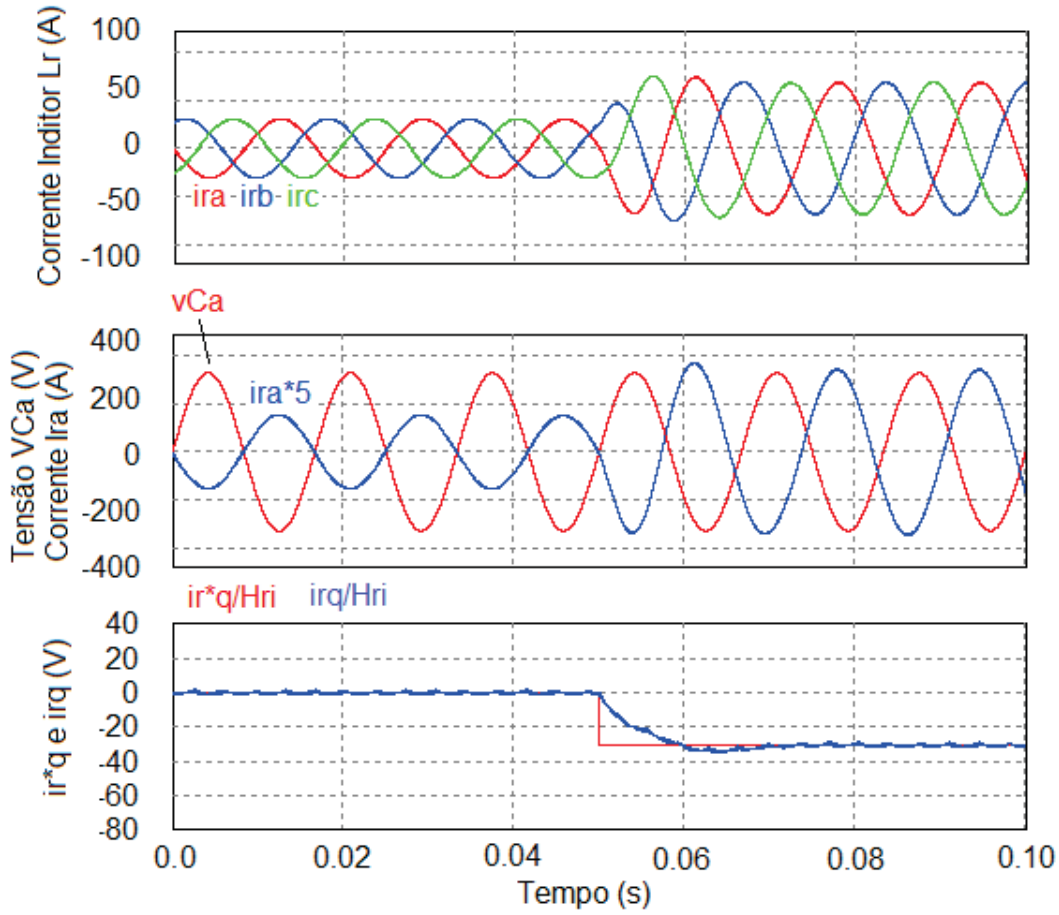
FIGURA 113 – SIMULAÇÃO 1 PARA A MALHA DE CONTROLE DE CORRENTE



FONTE: O autor (2023).

Para o segundo resultado de simulação, FIGURA 114, a direção da potência do inversor de interligação é da sub-rede CC para a sub-rede CA e um degrau de carga indutivo é incluído no sinal de referência de corrente $i_{r}^{*}{}_{q}$. Dessa maneira, inicialmente, $I_{r}^{*}{}_{q} = 0$, $I_{r}^{*}{}_{d} = -21{,}64\sqrt{2}$ A e a FP = 0,99, e no tempo 50 ms, as referências passam para $i_{r}^{*}{}_{q} = -21{,}64\sqrt{2}$ A e $i_{r}^{*}{}_{d} = -43{,}3\sqrt{2}$ A, o que produz uma FP = 0,87. Os valores de referência são negativos quando a direção da potência da sub-rede CC para a sub-rede CA e quando é necessário produzir uma potência reativa indutiva.

FIGURA 114 – SIMULAÇÃO 2 PARA A MALHA DE CONTROLE DE CORRENTE



FONTE: O autor (2023).

No tempo 0,05 s está o transitório que é imposto através do degrau nos sinais de referência da corrente na coordenada ‘d’ e de coordenada ‘q’. A corrente trifásica cresce de forma suave e atinge seu novo valor nominal em, aproximadamente, 17 ms. Com a inclusão da produção da potência reativa indutiva, o sobressinal é observado nas três fases com valor máximo na fase ‘b’, aproximadamente, 20% do valor nominal da amplitude da corrente.

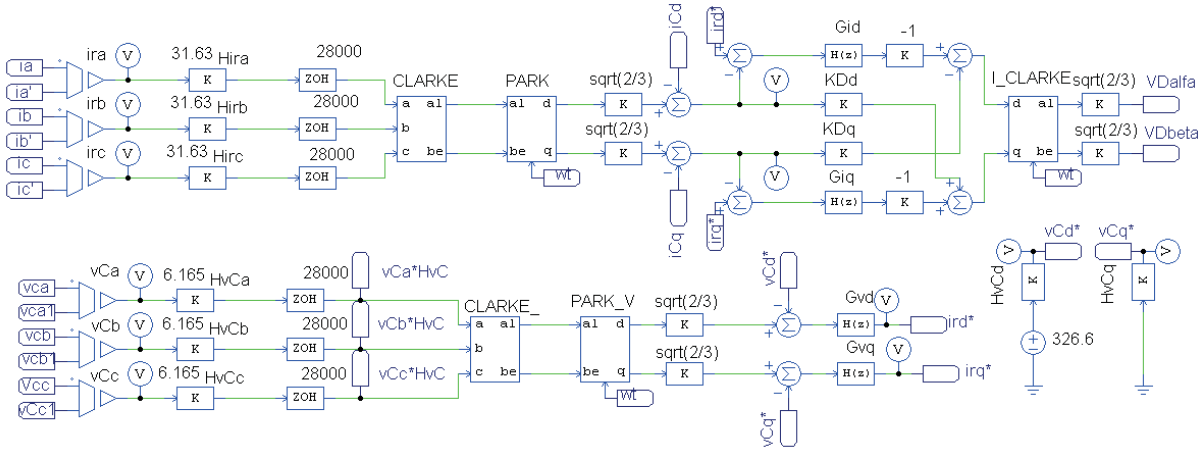
Para o degrau de carga indutiva de 50% do valor da corrente nominal, o sobressinal no período transitório acrescenta 6 A de pico na corrente nominal, portanto, limites de aplicação de reativo podem ser estabelecidos para que não haja sobrecargas.

Na FIGURA 115 está a malha de controle de corrente modificada para a corrente do indutor L_i e a malha de controle de tensão CA. A tensão da sub-rede CA é aquisitada nos capacitores do filtro LCL (C_f) recebem o ganho de realimentação (H_{VC}) e passam pelo ZOH para simular a digitalização do sinal. A tensão do capacitor

C_f no referencial abc é utilizada para calcular a sua corrente, sendo que, a corrente do indutor L_i é obtida através da diferença entre a corrente no indutor L_r, aquisitada pelos sensores, e a corrente no capacitor Cf. A tensão do capacitor C_f no referencial dq é comparada com a referência de tensão, onde, v_{Cd}^* é igual a amplitude da tensão de fase e v_{Cq}^* é igual a zero. A diferença entre a tensão e sua referência passam pelo compensador de tensão para gerar o sinal da referência para a malha de controle de corrente.

A função de transferência do compensador de tensão CA (G_v) foi definida no Capítulo 3, Seção 3.4.

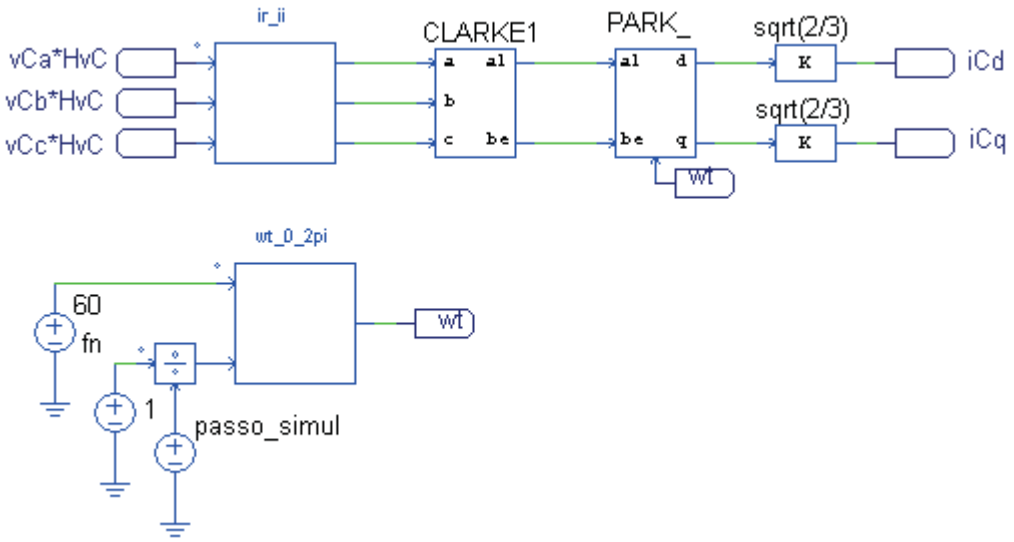
FIGURA 115 – MALHA DE CONTROLE DE TENSÃO CA



FONTE: O autor (2023).

A corrente do capacitor C_f que é utilizada para calcular a corrente no indutor L_i é obtida através do circuito da FIGURA 116, onde, os sinais de entrada são as tensões do capacitor C_f no referencial abc. Ainda na FIGURA 116, o algoritmo para gerar a referência de frequência angular para o inversor de interligação é identificado como wt_0_2pi e apresenta como sinal de entrada a frequência natural do sistema e a frequência de amostragem.

FIGURA 116 – CORRENTE DO CAPACITOR E GERADOR DE FREQUÊNCIA ANGULAR



FONTE: O autor (2023).

O algoritmo para a obtenção das correntes do capacitor C_f é implementado em um bloco C do programa simulador PSIM através da equação (40), definida no Capítulo 3, Seção 3.4.1, e é descrito como:

```
//Variáveis de entrada
float vCa = 0;                  //tensão fase a
float vCa1 = 0;     //tensão fase a do ciclo de digitalização anterior
float iCa = 0;                  //corrente fase a
float Cf = 0.0000229;                   //valro da capacitância de Cf
float passo = 0.00003571; //período de amostragem
float vCb = 0;                  //tensão fase b
float vCb1 = 0;     //tensão fase b do ciclo de digitalização anterior
float iCb = 0;                  //corrente fase b
float vCc = 0;                  //tensão fase c
float vCc1 = 0;                 //tensão fase c do ciclo de digitalização anterior
float iCc = 0;                  //corrente fase c
float HvC = 6.165;              //ganho de realimentação da tensão
float Hir = 31.63;  //ganho de realimentação da corrente

//Guarda valor da tensão do capacitor aquisitado do ciclo anterior
vCa1 = vCa;
vCb1 = vCb;
vCc1 = vCc;

//Realiza a aquisição do novo valro da tensão do capacitor e retira o ganho de realimentação
```

```
vCa = in[0] / HvC;
vCb = in[1] / HvC;
vCc = in[2] / HvC;

//Calcula a corrente pela diferença da tensão em um período de amostragem
iCa = ((vCa - vCa1) / passo) * Cf;
iCb = ((vCb - vCb1) / passo) * Cf;
iCc = ((vCc - vCc1) / passo) * Cf;

//Acrescenta o ganho de realimentação da corrente.
out[0] = (iCa) * Hir;
out[1] = (iCb) * Hir;
out[2] = (iCc) * Hir;
```

A frequência angular do inversor de interligação é calculada a partir do fluxograma definido no Capítulo 3, Seção 3.4, e implementada na simulação através do bloco C, sendo que, o algoritmo é descrito como:

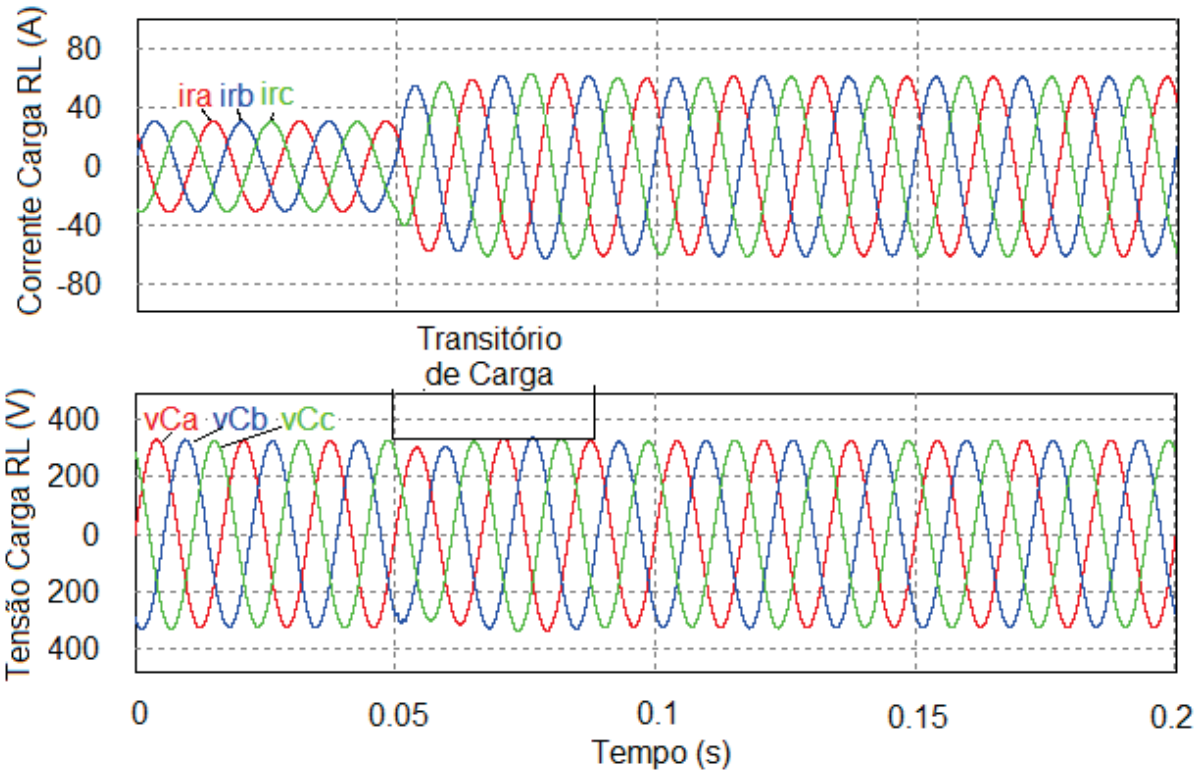
```
//variáveis de entrada
float fn = 0;                   //frequência natural do sistema
float fa = 0;                   //frequência de amostragem
float passo = 0;    //passo incremental da frequência angular
float wt = 0;                   // frequência angular multiplicada pelo tempo

fn = in[0];                                                     // aquisição da frequência natural
fa = in[1];                                                     // definição da frequência de amostragem

passo = (2*3.14159265359*fn)/fa;   // cálculo do passo no tempo para a frequência angular
wt = (wt + passo);                                              // valor da frequência angular vezes o tempo

if(wt >=  2*3.14159265359)                      //Ciclo da frequência angular de 0 a 2pi
{
        wt = wt  - 2*3.14159265359;
}

out[0] = wt -1.570796;                          //frequência angular atrasada em pi/2 vezes o tempo
```

Com os elementos que compõem a malha de controle de tensão CA definidos, os resultados experimentais são obtidos para verificar as condições da tensão trifásica gerada pelo inversor de interligação [v_{rx_abc}] mediante um degrau na carga RL

O resultado de simulação para a malha de controle de tensão CA é apresentado na FIGURA 117 e na FIGURA 118, onde, o inversor de interligação está formando a tensão da sub-rede CA para alimentar uma carga RL e a janela de tempo é de 200 ms.

Inicialmente, a carga apresenta uma resistência de 5,8 Ω e uma indutância de 20 mH, o que corresponde a uma FP = 0,7 e uma potência de 10 kVA. No tempo 50 ms, a resistência passa ser de 2,9 Ω e a indutância de 10 mH, o FP se mantém em 0,7 e a potência é de 21 kVA.

FIGURA 117 – SIMULAÇÃO DA MALHA DE CONTROLE DE TENSÃO – CORRENTE E TENSÃO

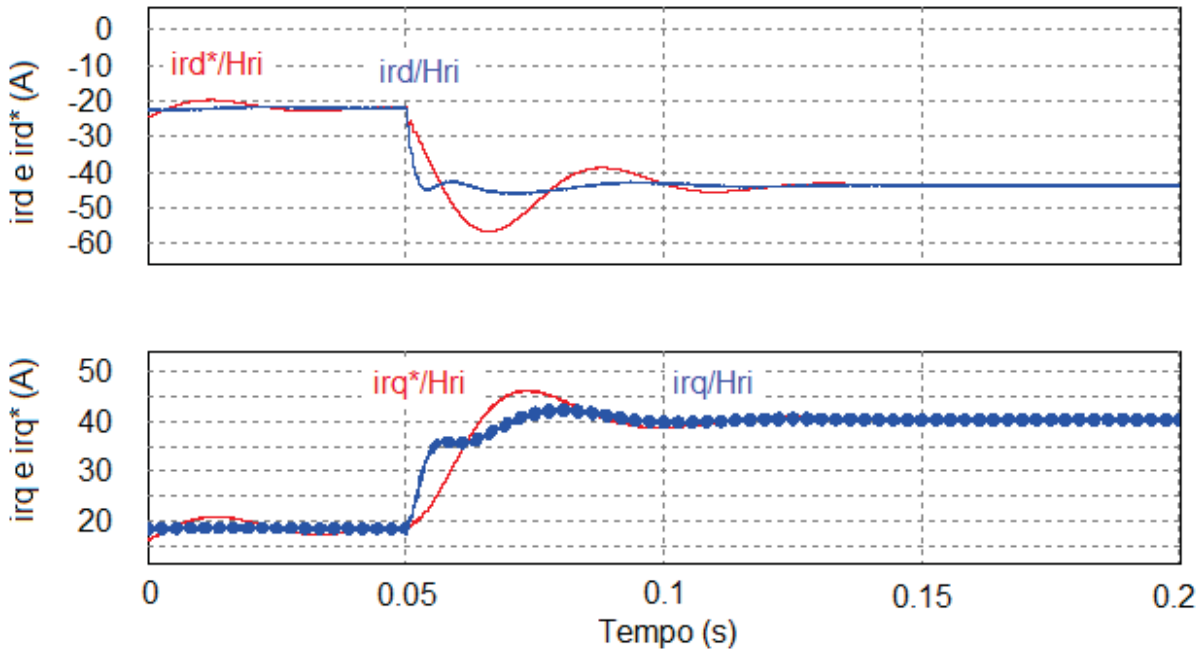


FONTE: O autor (2023).

O transitório de carga é destacado no resultado de simulação da FIGURA 117, logo após o degrau a tensão cai 7% em relação ao seu valor nominal de pico e uma sobretensão de, aproximadamente, 4% é observado antes da tensão atingir seu valor nominal.

A malha de controle de tensão CA gera os sinais de referência para a malha de controle de corrente i_{rd}^* e i_{rq}^*, na FIGURA 118 os sinais de referência de corrente são comparados com os sinais gerados pela malha de controle de corrente.

FIGURA 118 – SIMULAÇÃO DA MALHA DE CONTROLE DE TENSÃO – SINAL DE REFERÊNCIA E DE CONTROLE DE CORRENTE



FONTE: O autor (2023).

Como a malha de controle de tensão é mais lenta que a malha de controle de corrente, o sinal i_{rd} e i_{rq} cresce instantaneamente em resposta ao degrau de carga e a malha de tensão define as referências de forma mais lenta o que gera um amortecendo do sobressinal de i_{rd} e i_{rq}.

Os sinais i_{rd} e i_{rq} contém oscilações de com frequência de 360 Hz, para ird a amplitude da oscilação é muito pequena e não é identificada facilmente na FIGURA 118. Enquanto, para o sinal irq a amplitude de, aproximadamente, 2% do valor nominal. Um compensador de tensão mais lento pode reduzir ou até mitigar essa oscilação, mas a um custo de um maior transitório durante a entrada e saída de cargas. Como a amplitude de oscilação é pequena e não é refletida na corrente e tensão do sistema, ela pode ser desprezada. Além disso, um maior transitório pode ocasionar o afundamento da tensão por mais ciclos e, dessa maneira, impactar de forma negativa em cargas sensíveis aos afundamentos de tensão.

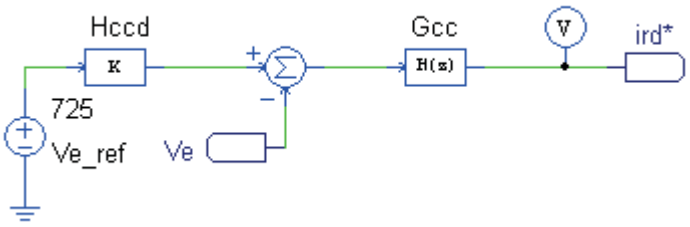
Na FIGURA 119 está a malha de controle de tensão CC que gera o sinal de referência i_{rd}^* para a malha de controle de corrente da FIGURA 112 quando o inversor de interligação está operando como formador da rede CC.

A tensão da sub-rede CC (V_e) é aquisitada no capacitor (C) do filtro que realiza a conexão do inversor de interligação com a sub-rede CC. O sinal de tensão V_e é

aquisitado e recebe o ganho de realimentação (H_{cc}) passa pelo ZOH para simular a digitalização do sinal e é comparado com uma referência para gerar o sinal de entrada do compensador de tensão CC (G_{cc}). Na saída do compensador está o sinal de referência i_{rd}^* para a malha de controle de corrente.

A função de transferência do compensador de tensão CC foi definida no Capítulo 3, Seção 3.5.

FIGURA 119 – MALHA DE CONTROLE DE TENSÃO CC



FONTE: O autor (2023).

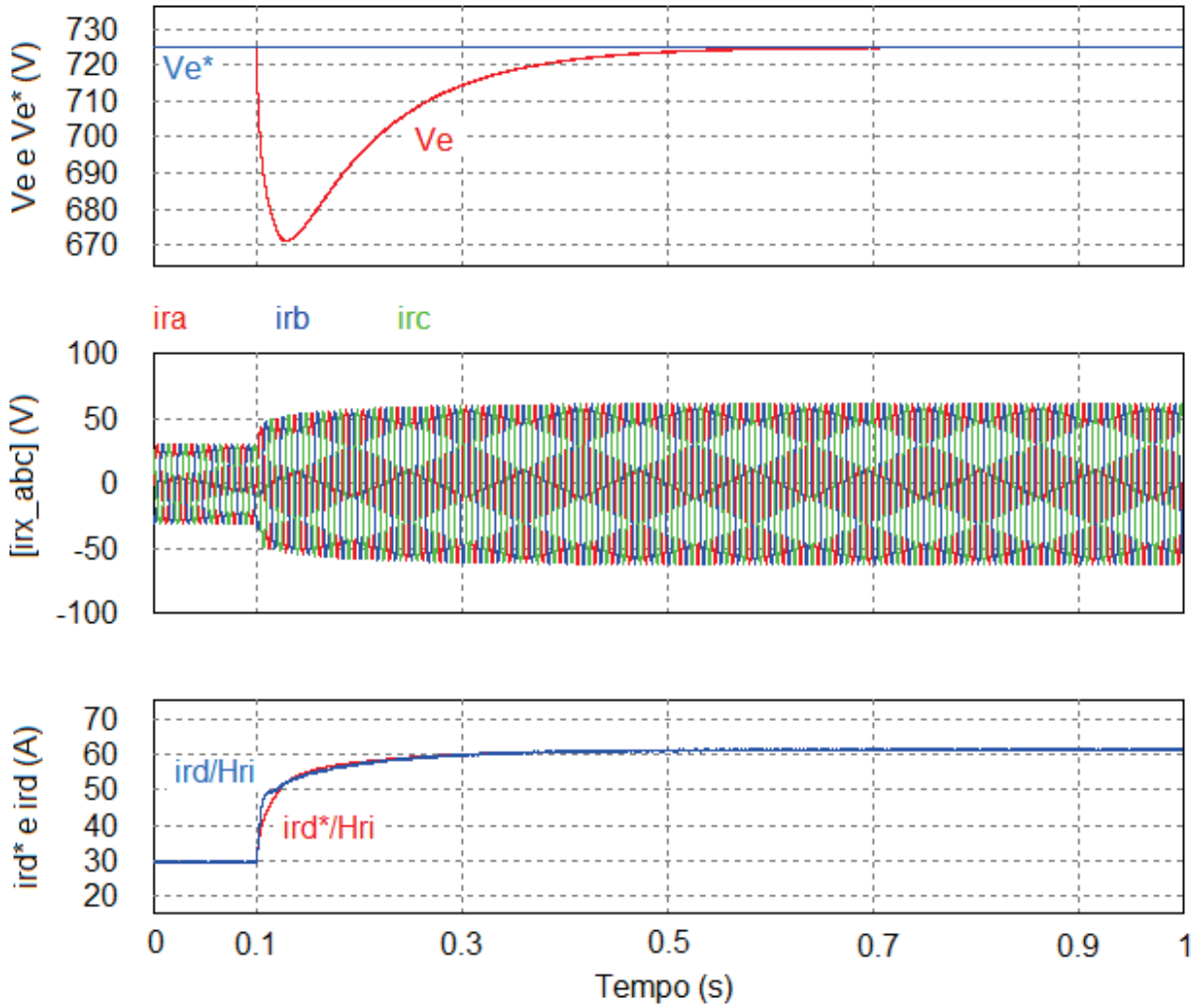
A simulação tem como objetivo observar a tensão na carga resistiva que representa a sub-rede CC, como formador da rede CC, o inversor de interligação deve manter a tensão V_e após o transitório de carga.

Na FIGURA 120 está o resultado da simulação para um degrau de carga, inicialmente, a carga resistiva conectada do lado CC do inversor de interligação tem valor igual a 37 Ω o que equivale a uma potência de 14,7 kW e, no tempo 100 ms, o valor da resistência passa a ser de 18,5 Ω o que produz uma potência de, aproximadamente, 30 kW.

O transitório de carga é destacado no resultado de simulação da FIGURA 120, logo após o degrau a tensão CC cai 7,5%, o que corresponde a 671 V, em relação ao seu valor nominal de 725 V. Após 600 ms, a tensão atinge novamente seu valor nominal.

Pelo sinal de referência i_{rd}^*, gerado pelo compensador de tensão CC, é possível observar que a malha de controle de tensão CC não apresenta transitório oscilatório e, assim, suprime o sobressinal. Contudo, a tensão mínima atingida durante degrau de carga e o tempo para estabilizar o sistema devem estar dentro dos limites do projeto.

FIGURA 120 – SIMULAÇÃO DA MALHA DE CONTROLE DE TENSÃO CC – DEGRAU



FONTE: O autor (2023).

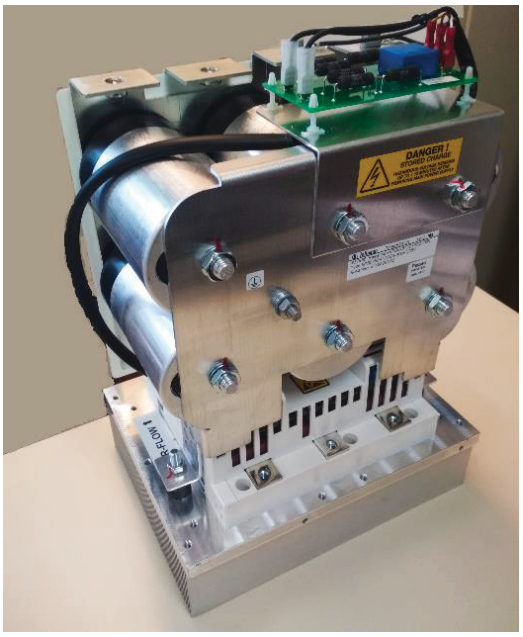
APÊNDICE 10 – PROJETO DOS CIRCUITOS DE POTÊNCIA DO PROTÓTIPO DO INVERSOR DE INTERLIGAÇÃO

MÓDULO DE POTÊNCIA

Para o projeto do inversor de interligação foi escolhido o módulo de potência do modelo 6PS04512E43G37986 da família PrimeStack fabricado pela empresa Infineon, sendo que, ele atende as especificações para conexão com a microrrede híbrida do DELT, como por exemplo, os níveis de tensão da sub-rede CC.

Na FIGURA 121 está a imagem do módulo de potência definido para o protótipo. A ponte completa trifásica é formada por três módulos FF450R12KE4, cada um contém dois interruptores do tipo IGBT, sendo que, para acionamento dos IGBTs são adotados circuitos de acionamento (*drives*) do modelo EiceDriver™ 2ED300C17. Além disso, há a presença do filtro capacitivo no lado CC e do dissipador de calor dos IGBTs

FIGURA 121 – MÓDULO DE POTÊNCIA DO PROTÓTIPO DO INVERSOR DE INTERLIGAÇÃO



FONTE: O autor (2023).

O módulo de potência contém três sensores para medir a corrente de cada uma das fases, um sensor para a aquisição da tensão CC e um sensor de temperatura. Os sensores de corrente são utilizados para proteção interna do módulo

de potência contra sobrecorrente e, embora, esses sinais de corrente possam ser aproveitados no projeto do protótipo, a precisão é baixa, comparados aos sensores adotados na placa de sensores, e, com isso, o uso desses sinais de corrente, provenientes do módulo de potência, prejudicam o resultado da malha de controle. Diferente dos sensores de corrente, o sensor de tensão do lado CC é aproveitado pelo protótipo do inversor de interligação.

O módulo de potência contém quatro saídas digitais para identificar quando o há condições anormais de operação. As três primeiras saídas digitais são acionadas quando a condição anormal é identifica em uma das três fases, sendo elas: a falta de uma ou mais fases, erro no acionamento dos interruptores, ou sobrecorrentes. A quarta saída digital é acionada quando ocorre sobretensão no lado CC, baixa tensão nos circuitos auxiliares do módulo de potência ou sobre temperatura.

No Anexo 1 está o documento com as informações técnicas que é disponibilizado pelo fabricante, incluindo a posição de cada pino do conector db37 que é utilizado para conexão com a placa de controle do protótipo do inversor de interligação.

Na TABELA 39 está o resumo das características elétricas do módulo de potência.

TABELA 39 – CARACTERÍSTICAS ELÉTRICAS DO MÓDULO DE POTÊNCIA

Parâmetro	Símbolo	Valor
Tensão do lado CC Máxima	$V_{cc,max}$	850 V
Filtro Capacitivo lado CC	C	2.4 mF
Frequência de Comutação Máxima	f_{com}	14 kHz
Corrente Nominal @ fnom = 14 Khz	I_{nom}	66 Arms
Temperatura da junção máxima	T_j	150° C
Perdas Elétricas @ Inom = 217 Arms e fcom = 5 kHz	P_{mod}	1,9 kW
Tensão Fonte Auxiliar	V_{aux}	24 V
Nível Alto Digital	$V_{ent,alt}$	15 V
Tensão Sensor Analógico de Tensão CC @ Vcc,max = 850 V	$V_{an,vcc}$	8,5 V
Tensão Sensor Analógico de Temperatura @ Tj = 115 °C	$V_{an,temp}$	10,9 V
Tensão de linha Máxima	V_{Lm}	500 Vrms

FONTE: O Autor. (2023).

A tensão máxima do lado CC e a tensão de linha são os parâmetros que devem respeitar as características elétricas da microrrede híbrida do DELT. A frequência máxima de comutação e a corrente nominal determinam a potência máxima do módulo de potência e foram determinantes para a escolha da potência nominal do inversor de interligação.

O módulo de potência exige uma fonte auxiliar de 24 V, frequência máxima de comutação de 14 kHz, adequação do nível de tensão dos sinais de PWM para 15 V para acionamento dos interruptores, circuitos de condicionamento para aquisição dos sinais digitais de nível alto igual a 15 V e circuitos de condicionamento para os níveis de sinal analógico dos sensores de temperatura (10,9 V) e da tensão do lado CC (8,5 V).

Mais informações e detalhes do módulo de potência do modelo 6PS04512E43G37986 da família PrimeStack, fabricado pela empresa Infineon, pode ser encontrado nas instruções de operação e documentação em Infineon Technologies AG (2006).

FILTRO LCL

Conectado ao lado CA do módulo de potência (FIGURA 61), está o filtro LCL composto em cada fase por um indutor do lado do inversor L_i, um indutor do lado da rede L_r, um capacitor do filtro C_f e um resistor de amortecimento R_f.

Para o projeto físico dos indutores L_r e L_i, considera-se a frequência sobre o filtro de 28 kHz, dobro da frequência de comutação, corrente nominal de 43,3 A, o condutor de cobre com a densidade de corrente de 450 A/cm^2 e o uso de núcleos toroidais de ferrite para alta frequência.

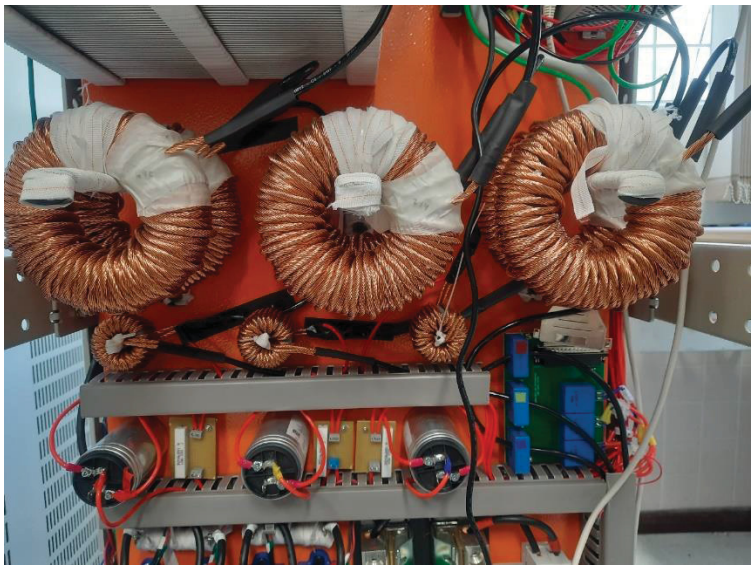
O projeto do indutor L_i é dividido em dois elementos de 685 µH que serão colocados em série, totalizando 1,37 mH e, apresenta como característica físicas dezoito condutores de 20 AWG em paralelo e núcleo com diâmetro interno de 52 mm, diâmetro externo de 152 mm e altura de 49 mm, totalizando um peso aproximado de 2,5 Kg.

O indutor do lado da rede L_r contém uma indutância de 30 uH e apresenta dezoito condutores em paralelo com condutor de 20 AWG. O núcleo toroidal tem

diâmetro interno de 6 mm, diâmetro externo de 55,2 mm e altura de 45,7 mm, totalizando um peso do indutor aproximado de 355 g.

Para completar o filtro LCL foram adquiridos três capacitores comerciais de capacitância igual a 22,9 µF e três resistores de amortecimento cerâmicos com resistência de 1,2 Ω. Na FIGURA 122 está a imagem do filtro LCL posicionado dentro do armário do protótipo do inversor de interligação.

FIGURA 122 – FILTRO LCL DO PROTÓTIPO DO INVERSOR DE INTERLIGAÇÃO



FONTE: O autor (2023).

CIRCUITOS DE PROTEÇÃO E DE PRÉ-CARGA

Para conexão da sub-rede CA e da sub-rede CC com o protótipo do inversor de interligação foram projetados os circuitos de proteção e seccionamento e, para isso, foram adotados disjuntores para a proteção térmica e seccionamento do circuito e fusíveis para proteção contra sobrecorrente.

Na entrada da sub-rede CA está o disjuntor bifásico Dj_1, FIGURA 61, com tensão nominal de 440 V_{rms} e 63 A e curva de acionamento do tipo C. Para conexão da sub-rede CC é utilizado um disjuntor para sistemas fotovoltaicos (Dj_2) com tensão nominal de 1.000 V_{cc} e corrente de 63 A. Outro disjuntor trifásico (Dj_3) é adotado para conexão com a rede elétrica que alimenta as fontes auxiliares, sua tensão nominal é de 230 V_{rms}.

Os fusíveis para a conexão CA (F_1) são de 500V e 63 A e atuam contra curto-circuito e sobrecorrente. Enquanto, o fusível utilizado na proteção do circuito de CC (F_2) apresenta como parâmetros uma tensão nominal de 1.000 V_{cc} e corrente de 200 A.

Além dos circuitos de proteção posicionados entre o protótipo do inversor de interligação e as sub-redes, há também os circuitos de pré-carga.

Os circuitos de pré-carga são utilizados para limitar a corrente de carregamento do capacitor do filtro do lado CC quando o inversor de interligação é conectado à microrrede híbrida, considerando a grande capacitância do filtro do lado CC (2,4 mH). Dessa maneira, a utilização desses circuitos fica limitada na partida da microrrede híbrida ou na conexão do protótipo do inversor de interligação com uma rede que está em plena carga.

O carregamento do capacitor do filtro do lado CC pode ser realizado diretamente pela conexão com a sub-rede CC ou através dos diodos em antiparalelo dos interruptores IGBTs conectando a sub-rede CA ao lado CC do protótipo do inversor de interligação.

A pré-carga CA utiliza um contator e um relé de estado sólido. Como é ilustrado na FIGURA 61. Quando o contator K_1 está aberto, o relé de estado sólido K_2 é fechado para colocar em série a sub-rede CA com os resistores de pré-carga CA (R_{ca}) e limitar a corrente de carga do capacitor de filtro do lado CC do inversor de interligação. Como características elétricas, o relé de estado sólido apresenta o acionamento em 24 V, tensão nominal de 440 V e corrente nominal de 25 A. O contator K_1 é acionado quando o capacitor do filtro do lado CC está carregado. A tensão de acionamento do contator K_1 é de 24 V, tensão nominal de 500 V e corrente nominal de 65 A.

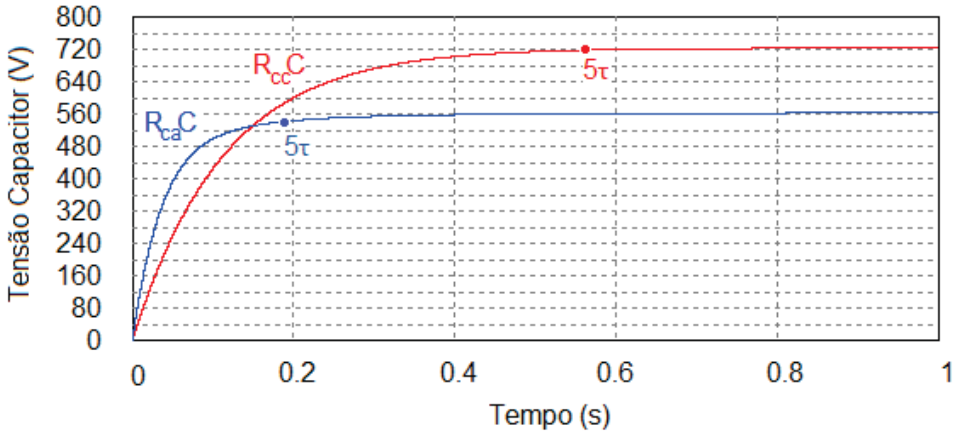
Durante a pré-carga CC, o contator K_4 é acionado para conectar a resistência de R_{cc} e, após carregamento do capacitor do filtro do lado CC, o contator K_3 é acionado para desconectar o resistor R_{cc} do circuito. O acionamento dos contatores CC é em 24 V com tensão e corrente nominais, respectivamente, de 900 V e 500 A.

O resistor de pré-carga CA (R_{ca}) tem uma resistência de 16 Ω e potência de 1kW, enquanto, o resistor de pré-carga CC (R_{cc}) uma resistência de 47 Ω e 50 W.

Na FIGURA 123 estão as curvas de carga do capacitor do lado CC no circuito RC. Ela foi obtida através da simulação de um circuito RC considerando a resistência

R_{cc} e a fonte CC de 725 V para pré-carga CC ($R_{cc}C$) e a resistência R_{ca} e a fonte trifásica CA retificada pelos diodos de roda livre para pré-carga CA ($R_{ca}C$), desconsiderando as perdas no diodo.

FIGURA 123 – CURVAS DE CARGA DO CAPACITOR DO LADO CC



FONTE: O autor (2023).

Durante a pré-carga CA, o tempo de carregamento do capacitor é de 0,192 s com a tensão trifásica retificada de, aproximadamente, 565,7 V, enquanto, na pré-carga CC. O tempo de carregamento é de 0,564 s com a tensão nominal de, aproximadamente, 725 V. Embora, a pré-carga CA é menos eficiente que a pré-carga CC, ela carrega o capacitor com 78% da tensão nominal, o que é suficiente para evitar altas correntes quando o protótipo do inversor de interligação inicia sua operação.

A pré-carga CC pode ser utilizada na operação como CCM, CCM CC e VCM e a pré-carga CA é utilizada, principalmente, quando o protótipo do inversor de interligação está operando no VCM CC.

CIRCUITOS AUXILIARES

No projeto do protótipo do inversor de interligação foi estabelecido cinco níveis de tensão: 24 V, 5 V, 15 V, -15 V e 3,3 V. Os níveis de tensão de 24 V e 5 V são obtidos através de duas fontes externas de 24 V / 96 W e 5 V / 31,5 W, a tensão de 3,3 V e a tensão simétricas de ± 15 V são obtidas a partir de reguladores lineares.

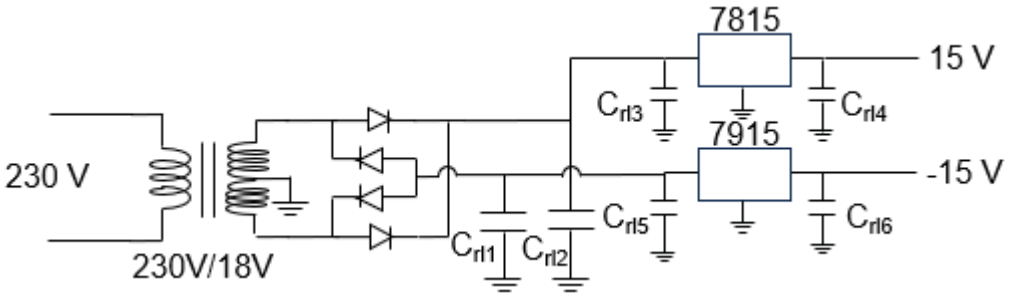
A fonte de 24 V alimenta os contatores, CLP, IHM e os circuitos auxiliares do módulo de potência. Enquanto, a fonte de 5 V alimenta o microcontrolador e o primeiro

estágio de elevação do circuito de comando, que eleva a tensão de 3,3 V para 5 V. A tensão 3,3 V é gerada a partir da fonte de 5 V utilizando o regulador linear LM1117 do fabricante Texas Instruments. O nível de tensão de 3,3 V é utilizado na alimentação dos amplificadores operacionais que fazem parte dos circuitos de condicionamento de sinal dos sensores.

As tensões de 15 V e -15 V são geradas através de reguladores lineares, modelo 7815 para a tensão de 15 V e modelo 7915 para a tensão de -15 V. O circuito da fonte simétrica está inserido na placa de controle e é alimentado pelo transformador de 230 V / 18 V e 3 A. As tensões de ±15 V são aplicadas aos sensores de corrente e de tensão e a tensão de 15 V também alimenta o segundo estágio de elevação de tensão do circuito de comando, onde, a tensão de 5 V passa para 15 V.

Na FIGURA 124 está o circuito da fonte simétrica com tensão ±15 V que está posicionada na placa de controle. Um transformador de potência abaixador reduz a tensão CA para 18 V, os capacitores de filtro C_{rl1} e C_{rl2} são eletrolíticos com capacitância de 1000 µF / 50 V. Os demais capacitores são de disco cerâmico, sendo que, C_{rl3} = 330 nF, C_{rl4} = 100 nF, C_{rl5} = 2,2 µF e C_{rl6} = 1 µF. Os reguladores lineares são do modelo LM7815 e LM7915 do fabricante Fairchild.

FIGURA 124 – CIRCUITO DA FONTE SIMÉTRICA



FONTE: O autor (2023).

Além das fontes de tensão, o conjunto CLP e IHM também é classificado como um circuito auxiliar, sendo que, para o projeto do protótipo do inversor de interligação sua função ficou limitada ao acionamento dos contatores do circuito de pré-carga.

O CLP adotado no projeto é do modelo LOGO do fabricante Siemens e apresenta quatro saídas digitais com relés de 24 V e 10 A, conector RJ45 para conexão Ethernet (10/100) e oito entradas digitais.

Na FIGURA 125 está a tela da IHM, modelo KTP400 do fabricante Siemens, com a programação de acionamento dos contatores.

FIGURA 125 – TELA IHM COM A PROGRAMAÇÃO DE ACIONAMENTO DOS CONTATORES DE PRÉ-CARGA

FONTE: O autor (2023).

Como uma atividade para trabalhos futuros, além do que é realizado neste trabalho, o uso do CLP e da IHM prevê funções de comunicação com os demais elementos da microrrede hibrida, utilizando, por exemplo, protocolos como Profinet, função de comissionamento do protótipo do inversor de interligação, funções de proteção em caso de condições de falta ou de emergência e exibição das condições de operação do protótipo do inversor de interligação em tempo real.

APÊNDICE 11 – MODELO DE FONTES E CARGAS UTILIZADAS NA SIMULAÇÃO DA MICRORREDE HÍBRIDA

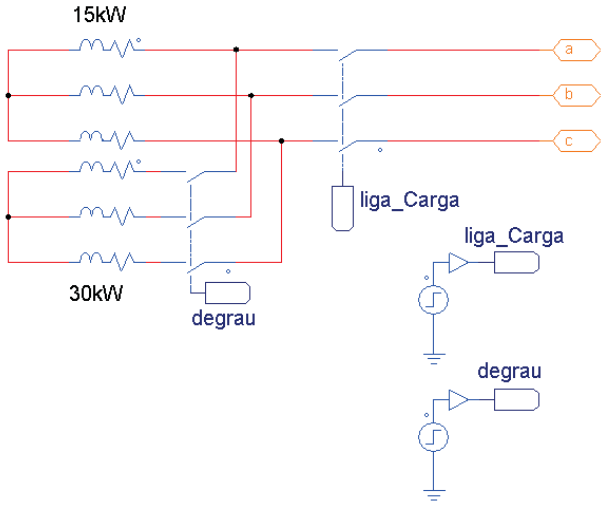
O modelo da microrrede híbrida desenvolvido para a simulação no programa PSIM contém uma fonte de geração distribuída conectada à sub-rede CA, denominada GD_1, e uma fonte de geração distribuída conectada à sub-rede CC, denominada GD_2. Entende-se como fonte de geração distribuída uma fonte despachável ou armazenador de energia com controle *droop*.

Conectada à sub-rede CA está uma carga CA composta por uma associação de resistores e com características de potência constante, sendo que, a amplitude da tensão da sub-rede CA permanece praticamente constante. A carga CC conectada à sub-rede CC apresenta um circuito de controle para manter sua potência constante.

As fontes GD_1 e GD_2 são modeladas utilizando fontes ideias dependentes e que são controladas através de malhas de controle *droop*, enquanto a carga CC utiliza as mesmas fontes controladas, mas, o sinal de controle é definido pela potência que será consumida na carga.

A FIGURA 126 apresenta o modelo da carga CA com associação de resistores. Os terminais indicados pelas fases ‘a’, ‘b’ e ‘c’ são conectados na sub-rede CA e através dos interruptores é possível ligar/desligar a carga e aplicar um degrau.

FIGURA 126 – MODELO DA CARGA CA COM ASSOCIAÇÃO DE RESISTORES



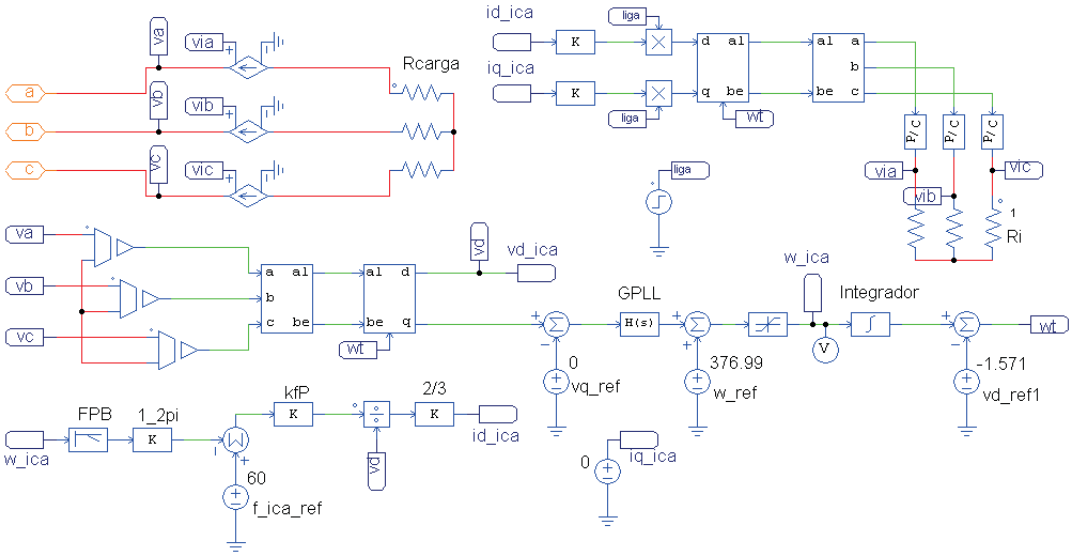
FONTE: O autor (2023).

A associação dos resistores permite um consumo de potência de 15 kW ou de 30 kW.

O modelo da fonte GD_1 no CCM e com *droop* inverso CA está representada na FIGURA 127. Os terminais indicados pelas fases ‘a’, ‘b’ e ‘c’ são conectados na sub-rede CA e através do circuito do SRF-PLL a tensão e a frequência da sub-rede CA são obtidas. A malha de controle *droop* inverso CA é implementada e, com isso, a potência da fonte GD_1 é definida através da frequência da sub-rede CA.

O SRF-PLL utiliza a transformada de Clarke e de Park, detalhadas na Apêndice 2, são utilizadas para simplificar o controle e para obter o sinal de frequência e da tensão no referencial síncrono dq. Demais detalhes da SRF-PLL estão na Seção 2.3.

FIGURA 127 – MODELO DA FONTE GD_1 NO CCM E COM DROOP INVERSO CA



FONTE: O autor (2023).

A potência da fonte GD_1 (P_{GD1}) é obtido multiplicando a flutuação da frequência da sub-rede CA pelo índice de *droop* inverso CA k_{fP}. Com o sinal de potência, a equação (45), descrita na Seção 3.5, é utilizada para definir o sinal de controle para a fonte de corrente controlada por tensão. Como o sinal está no referencial dq é necessário transformá-lo para o referencial abc.

Quando a frequência da sub-rede CA for maior que a frequência, a fonte GD_1 irá absorver potência da sub-rede CA e, se a frequência angular for menor que sua referência, a fonte GD_1 irá injetar potência na sub-rede CA.

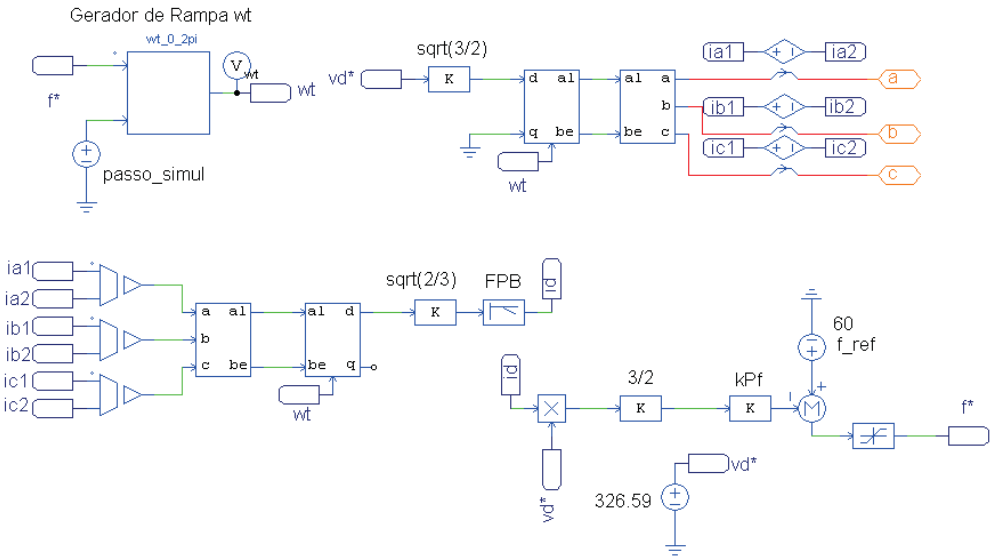
Utilizando os conceitos apresentados na Seção 2.4, os índices *droop* inverso CA é calculado pela equação (143), onde, P_{GD1n} é a potência nominal da fonte GD_1, f_m é o valor máximo da frequência e f_n é o seu valor nominal.

$$k_{fP} = \frac{P_{GD1_n}}{(f_m - f_n)} \tag{143}$$

A potência da fonte GD1 é igual a 30 kW, a máxima frequência é igual a 61 Hz e a frequência nominal é igual a 60 Hz. Dessa maneira, o índice do *droop* inverso CA é igual a 30 kW.

A fonte GD_1 também opera no VCM com o *droop* CA como representado na FIGURA 128. A corrente da fonte GD_1 é utilizada para definir a sua potência e através do índice *droop* k_{Pf}, a flutuação da frequência equivalente à sua potência é obtida.

FIGURA 128 – MODELO DA FONTE GD_1 NO VCM E COM DROOP CA



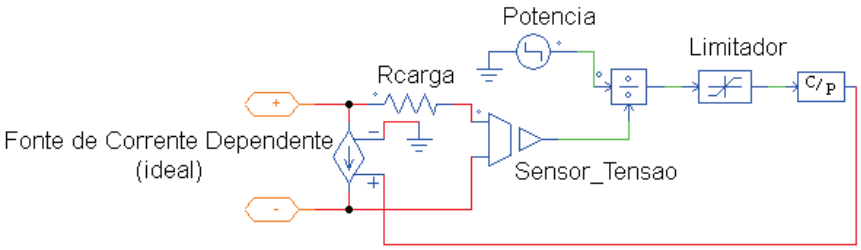
FONTE: O autor (2023).

A flutuação da frequência é subtraída da frequência nominal da sub-rede CA para definir a referência da frequência para o algoritmo que calcula a frequência angular no tempo. Por fim, a tensão senoidal trifásica é formada pelas transformadas inversas de Park e, posteriormente, de Clarke.

Os detalhes do algoritmo que calcula a frequência angular no tempo podem ser obtidos na Seção 3.4.1. O índice do *droop* CA k_{Pf} é o inverso do índice do *droop* inverso CA, portanto, $k_{Pf} = 1/k_{fP} = 33{,}334$ µ.

O modelo da carga CC com potência constante é representado na FIGURA 129. A conexão com a sub-rede CC é através dos terminais indicados pelo terminal positivo e o terminal negativo.

FIGURA 129 – MODELO DA CARGA CC COM POTÊNCIA CONSTANTE



FONTE: O autor (2023).

O sinal de tensão que controla a fonte de corrente dependente é definido dividindo a potência desejada pela tensão da sub-rede CC. O sinal de potência de referência, no numerador do divisor, deve ter sinal negativo.

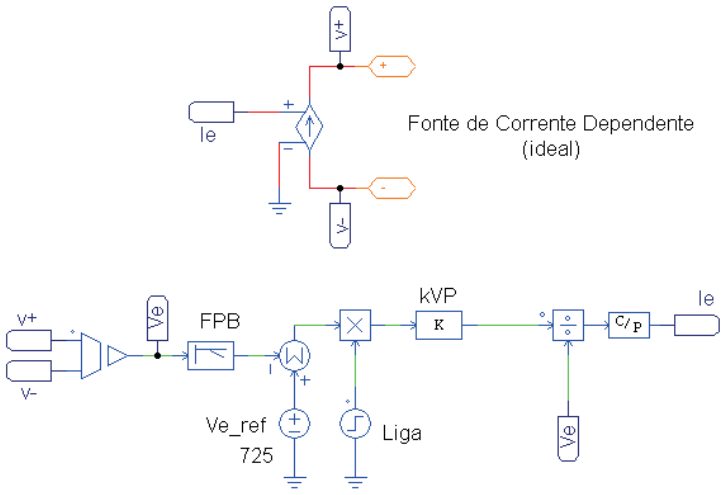
O modelo da fonte GD_2 operando no CCM CC e com controle *droop* inverso CC é representado na FIGURA 130. A malha de controle *droop* inverso CC é utilizada para gerar o sinal de controle da fonte de corrente dependente de tensão.

A tensão da sub-rede CC é comparada com o seu valor nominal e, através do índice do *droop* inverso CC (k_{VP}), a potência da fonte GD_2 é obtida, dividindo a potência pela tensão o sinal de controle da fonte de corrente dependente de tensão é obtido.

Utilizando os conceitos apresentados na Seção 2.4, o índice do *droop* inverso CC é definido pela equação (144), onde, P_{GD2n} é a potência nominal da fonte GD_2, V_{e_m} é a tensão máxima da sub-rede CC e V_{e_n} é a tensão nominal da sub-rede CC.

$$k_{VP} = \frac{P_{GD2_n}}{(V_{e_m} - V_{e_n})} \tag{144}$$

FIGURA 130 – MODELO DA FONTE GD_2 NO CCM CC E COM DROOP INVERSO CC

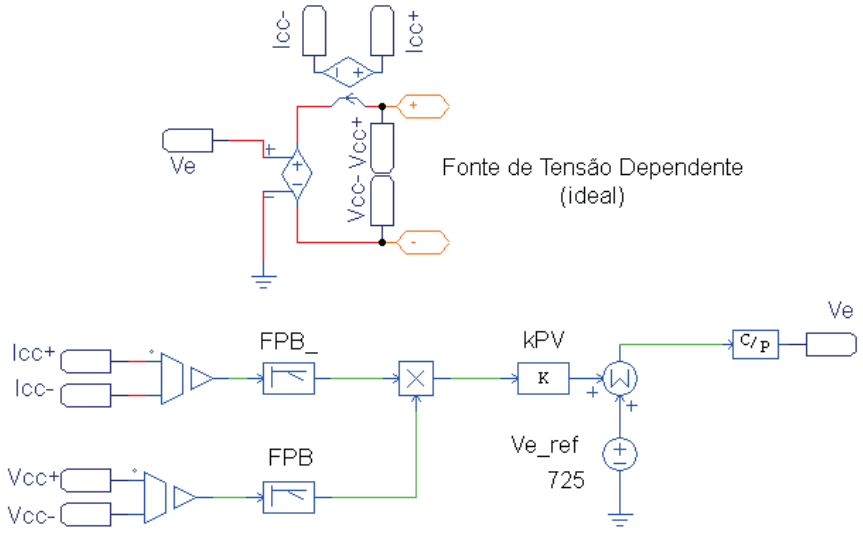


FONTE: O autor (2023).

A potência nominal da fonte GD_2 é igual a 30 kW, a tensão máxima da sub-rede CC é igual a 797,5 V e a tensão nominal da sub-rede CC é igual a 725 V. Dessa maneira, o índice do *droop* inverso CC é igual a 413,793.

A FIGURA 131 apresenta o modelo da fonte GD_2 operando no VCM CC e com *droop* CC. Com essa configuração, a fonte GD_2 tem a capacidade de formar a sub-rede CC definindo a amplitude da tensão através da malha de controle *droop* CC.

FIGURA 131 – MODELO DA FONTE GD_2 NO VCM CC E COM DROOP CC



FONTE: O autor (2023).

A flutuação tensão da fonte GD_2 é obtida utilizando uma fonte de tensão dependente de tensão, onde, a potência da fonte GD2 é utilizada para se obter o sinal de controle.

A potência da fonte GD2, através do índice do *droop* CC k_{PV}, define a flutuação da tensão CC que, por sua vez, é somada ao seu valor de referência.

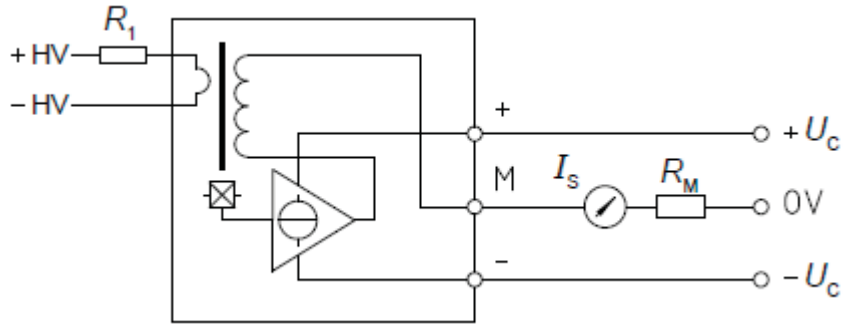
O índice do *droop* CC é o inverso do índice do *droop* inverso CC, portanto, $k_{PV} = 1/k_{VP} = 2{,}416$ m.

APÊNDICE 12 – CIRCUITOS DE CONDICIONAMENTO DE SINAL DOS SENSORES

Circuito de Condicionamento do Sinal do Sensor de Tensão CA

Na FIGURA 132 está o diagrama para instalação do sensor de tensão CA LV 25P, fornecido pelo fabricante, onde, +HV e -HV são os terminais de entrada do sensor, R_1 é a resistência externa do primário, que é utilizada como transdutor tensão/corrente, os terminais $+U_c$ e $-U_c$ para alimentações do sensor, o terminal M identifica o sinal de corrente na saída do sensor e o resistor R_M é utilizado como transdutor corrente/tensão para obter a tensão proporcional ao sinal de corrente na saída do sensor.

FIGURA 132 – DIAGRAMA DE INSTALAÇÃO DO SENSOR DE TENSÃO CA



FONTE: LEM (2014).

O resistor R_1 é calculado a partir da tensão de fase do protótipo do inversor de interligação de 231 V, sendo que, a corrente do primário deve ser de, aproximadamente, 10 mA, portanto, R_1 = 23,7 kΩ definido com o transformador a vazio. Enquanto, o limite inferior e superior do valor do resistor R_M é definido pelo fabricante entre 100 Ω e 350 Ω e, com isso, para o projeto do protótipo é utilizada uma associação em série de resistores de 147 Ω e 196 Ω, totalizando 343 Ω.

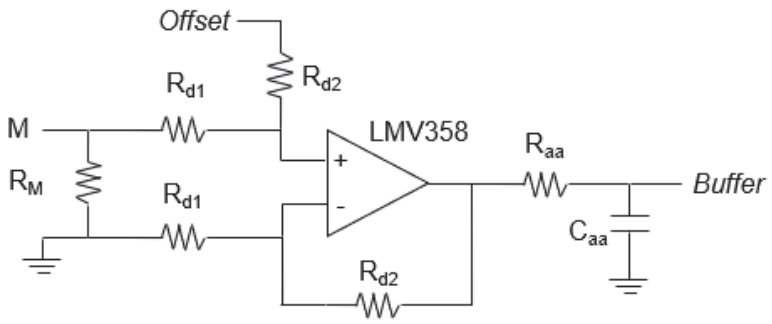
A relação de transformação do sensor de tensão CA é de 2500:1000, portanto, o resistor R_M refletido para o primário tem valor igual a 2,14 kΩ. Considerando a flutuação do controle *droop*, a tensão de fase do protótipo pode atingir, aproximadamente, 242,5 V, o que levaria a circular uma corrente no primário de 9,38 mA.

Considerando a corrente de 9,38 mA no primário, e a relação de transformação de 2500:1000, a corrente no secundário, desconsiderando as perdas, é de 23,5 mA e a tensão no resistor R_M é de 8,061 V. Sabendo que a tensão máxima na entrada do conversor analógico-digital (AD) do microcontrolador é de 3,3 V, há a necessidade de atenuar o sinal de tensão.

O ganho do sensor de tensão CA (k_{sv}) que é utilizado para calcular o ganho de realimentação da tensão CA é definido dividindo a tensão do resistor RM pela tensão de fase do protótipo, dessa maneira, k_{sv} = 0,0332.

A FIGURA 133 apresenta o circuito de condicionamento do sinal do sensor de tensão CA para aquisição do conversor AD do microcontrolador, onde, os resistores R_{d1} e R_{d2} determinam o ganho do amplificador operacional e R_{aa} e C_{aa} são os componentes do filtro anti-*alising*.

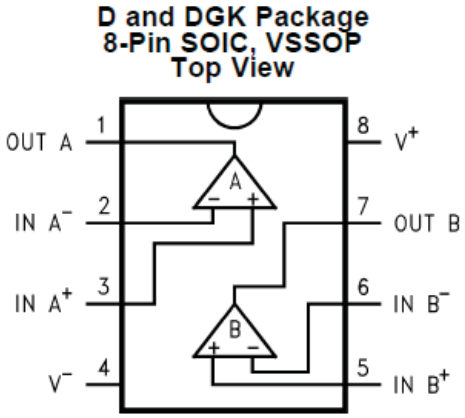
FIGURA 133 – CIRCUITO DE CONDICIONAMENTO: SINAL DE TENSÃO CA



FONTE: O autor (2023).

O modelo do amplificador operacional utilizado é o LMV358 do fabricante Texas Instruments e apresenta como diferencial uma boa relação velocidade/potência com alimentação de 3,3 V. O tipo de encapsulamento adotado para o projeto é o SOIC com oito pinos, sendo que, cada circuito impresso contém dois amplificadores operacionais. Na FIGURA 134 ilustra o amplificador operacional adotado no projeto, sendo que, mais detalhes sobre as características do LMV358 podem ser encontrados na sua ficha de dados em Texas Instruments (2014).

FIGURA 134 – DIAGRAMA DO AMPLIFICADOR OPERACIONAL LMV358



FONTE: TEXAS INSTRUMENTS (2014).

O amplificador operacional utiliza a configuração diferença para atenuar o sinal de tensão na saída do circuito, nessa configuração, a tensão de saída é a diferença das tensões na entrada multiplicadas pelo ganho. A tensão de saída do amplificador operacional incluindo o *offset* é calculada pela equação (145).

$$U_{vop} = \frac{R_{d2}}{R_{d1}} M + Offset \tag{145}$$

Para reduzir a tensão de entrada (M) são adotadas duas etapas, a primeira é realizada pelo ganho do divisor resistivo entre os resistores que formam o resistor transdutor R_M. Dessa forma, somente a tensão do resistor de 196 Ω, da associação de resistores, é utilizada, obtendo-se assim, um ganho de 0,571 V/V antes da entrada do amplificador operacional.

Para atender os limites de tensão de entrada do conversor AD, os valores dos resistores da equação (145) são definidos como R_{d1} = 82,5 kΩ e R_{d2} = 19,6 kΩ, o que produz uma relação de R_{d2}/R_{d1} = 0,238.

O ganho total do circuito de condicionamento é obtido multiplicando o ganho do divisor de tensão do transdutor RM com o ganho da relação dos resistores do amplificador operacional, portanto, k_{cdv} = 0,136.

Quando o protótipo do inversor de interligação está com sua flutuação de tensão máxima, igual a 242,5 V, o pico da tensão na entrada do amplificador operacional, obtida no resistor R_M, é igual a 7,068 V. Multiplicado esse valor pelo ganho da relação R_{d2}/R_{d1} e acrescentando o *offset* de 1,5 V, obtém-se um sinal de

tensão máximo igual a 3,18 V. O que está dentro dos limites de tensão do conversor AD do microcontrolador.

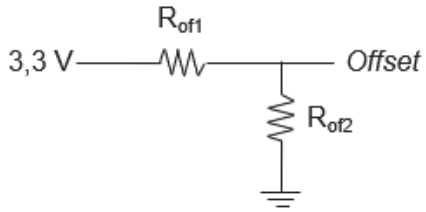
Após o estágio do circuito do amplificador operacional está o filtro anti-*alising*. O projeto do filtro anti-*alising* leva em consideração o critério de Nyquist, onde, para sinais amostrados e que serão reconstruídos, a frequência de corte do filtro deve ser menor que a metade da frequência de amostragem. A equação (146) define a frequência de corte do filtro RC adotado pelo projeto para evitar o efeito de *alising*.

$$f_{aa} = \frac{1}{2\pi R_{aa} C_{aa}} \tag{146}$$

A frequência de amostragem do conversor AD do microcontrolador é de 28 kHz e, com isso, para o projeto do protótipo do inversor de interligação foi definido R_{aa} = 19,6 kΩ e C_{aa} = 680 nF. Substituindo os valores na equação (146) obtém-se a f_{aa} = 11,9 kHz.

Junto a entrada não inversora do amplificador operacional está o sinal de *offset* que, somado ao sinal senoidal de entrada (M), desloca o sinal acima do valor zero, ou seja, torna o sinal positivo. O circuito que gera o sinal de *offset* está ilustrado na FIGURA 135, um divisor resistivo é utilizado para obter o valor médio da entrada do conversor AD, onde, R_{of1} = R_{of2} = 100 kΩ.

FIGURA 135 – CIRCUITO GERADOR DE *OFFSET*.



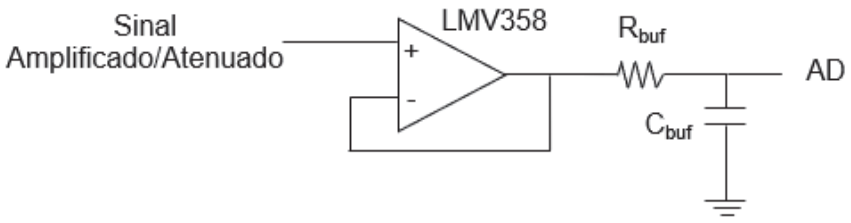
FONTE: O autor (2023)

O circuito de condicionamento contém um buffer antes do sinal entrar no pino do conversor AD do microcontrolador.

O circuito *buffer* é formado por um amplificador operacional na configuração seguidor de tensão mais um circuito RC para realizar o acoplamento de impedância

com o conversor AD. Na FIGURA 136 está o circuito de buffer aplicado ao condicionamento dos sinais provenientes dos sensores.

FIGURA 136 – CIRCUITO *BUFFER*



FONTE: O autor (2023)

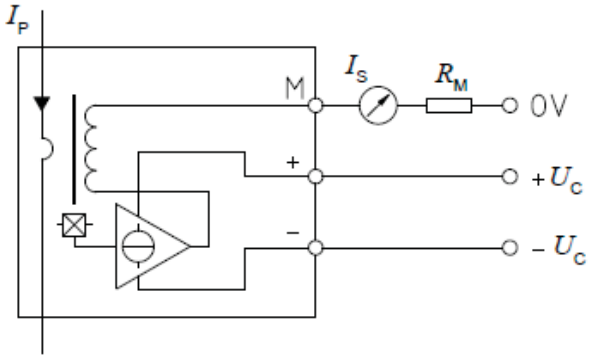
A metodologia para cálculo dos resistores do circuito de *buffer* utiliza como parâmetros a tensão máxima do sinal de entrada, o número de canais do conversor AD utilizados na aplicação e a frequência de amostragem. Para o projeto do protótipo do inversor de interligação o resistor do circuito RC do *buffer* é igual a 2 Ω e o valor do capacitor do buffer é igual a 150 nF.

No circuito de condicionamento de corrente estão presentes os mesmos circuitos do filtro anti-*alising*, do circuito de *offset* e do circuito do *buffer* que foram projetados para o condicionamento da tensão CA. Enquanto nos circuitos de condicionamento da tensão CC e da temperatura, que são disponibilizados pelo módulo de potência, estão presentes o circuito do filtro anti-*alising e* o circuito do *buffer*.

Circuito de Condicionamento do Sinal do Sensor de Corrente

Assim como o sensor de tensão CA LP 25V, o sensor de corrente LA 100 P utiliza um transformador de corrente com realimentação através de um sensor de efeito hall para melhorar sua resposta. Na FIGURA 137 está o diagrama de instalação do sensor de corrente disponibilizado pelo fabricante, onde, os terminais $+U_c$ e $-U_c$ são as alimentações do sensor, o terminal M identifica a saída do sensor e o resistor R_M é o transdutor corrente/tensão utilizado para obter a tensão proporcional ao sinal de corrente na saída do sensor.

FIGURA 137 – DIAGRAMA DE INSTALAÇÃO DO SENSOR DE CORRENTE



FONTE: LEM (2014).

Na documentação técnica fornecida pelo fabricante, LEM (2018), recomenda-se a utilização de um valor entre 20 Ω e 102 Ω para o resistor R_M. Para o protótipo do inversor de interligação o resistor R_M do sensor de corrente é igual a 23,7 Ω.

A relação de espiras do transformador de corrente presente no sensor é de 1: 2000. Portanto, com a corrente nominal do protótipo do inversor de interligação igual a 43,3 A, através do resistor R_M, a tensão equivalente de 0,513 V é obtida.

Para melhorar a resolução do sinal de corrente, um circuito de condicionamento é utilizado para amplificar o sinal de tensão equivalente. O circuito com o amplificador operacional na configuração diferença para o condicionamento da tensão CA da FIGURA 133 é também utilizado para adequar o sinal na saída do sensor de corrente. Mas, para o uso do circuito é como amplificador, ou seja, a relação R_{d2}/R_{d1} deve ser maior que um. Portanto, para o circuito de condicionamento de corrente, R_{d1} = 42,2 kΩ e R_{d2} = 82,5 kΩ, dessa forma, R_{d2}/R_{d1} = 1,955.

O valor de pico da corrente nominal do protótipo é igual a 61,23 A, o que produz uma tensão equivalente de 0,726 V sobre o resistor R_M. Aplicando o ganho do circuito do amplificador operacional e o *offset*, a tensão equivalente ao pico da corrente nominal na entrada do conversor AD é igual 2,92 V, valor que está dentro dos limites de tensão do conversor AD.

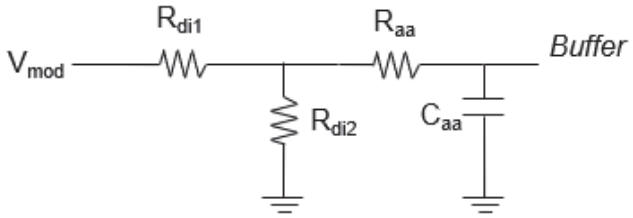
O sinal amplificado ainda passa pelo filtro anti-*alising* e pelo buffer antes de ser aquisitado pelo conversor AD.

Circuito de Condicionamento do Sinal de Tensão CC do Módulo de Potência.

O módulo de potência disponibiliza um sinal em tensão que representa a tensão do lado CC sobre o capacitor do filtro e um sinal de tensão que representa a temperatura dos interruptores. Na TABELA 39, descrita no Apêndice 10, está definido que quando a tensão so lado CC do módulo de potência é igual a 850 V, o sinal do sensor de tensão é igual a 8,5 V. Enquanto, para uma temperatura de 115° C, que representa o limite operacional dos interruptores IGBTs, o sinal de tensão é de 10,9 V.

Para atenuar os sinais de tensão para o limite do conversor AD (3,3 V) é utilizado um circuito divisor de tensão como representado na FIGURA 138. Os elementos do filtro anti-*alising* e o do buffer são os mesmo que forma projetados para o condicionamento dos sinais provenientes da placa de sensores.

FIGURA 138 – CIRCUITO DE CONDICIONAMENTO: SINAL DE TENSÃO CC



FONTE: O autor (2023)

Considerando a tensão nominal do lado CC do protótipo do inversor de interligação de 725 V e incluindo a flutuação de 72,5 V produzida pelo controle *droop* CC, a tensão máxima do lado CC é de 797,5 V. Dessa maneira, o sinal de tensão gerado pelo sensor de tensão CC do módulo de potência será de 7,975 V.

A relação entre a tensão CC e o seu respectivo sinal de saída do sensor de tensão CC tem valor igual a 0,01 V/V. Essa relação é definida como o ganho do sensor de tensão CC (k_{svc}) e é utilizada no projeto da malha de controle de tensão CC, quando o protótipo do inversor de interligação está no VCM CC.

A equação (147) representa o ganho do circuito divisor de tensão, onde, V_{mod} é o sinal de tensão proveniente do módulo de potência e V_{AD} é a tensão na entrada do conversor AD.

$$V_{AD} = \left(\frac{R_{di2}}{R_{di1} + R_{di2}}\right) V_{mod} \quad (147)$$

Com uma tensão de V_{mod} = 7,975 V, o resistor R_{di1} é definido com valor igual a 46,4 kΩ e o resistor R_{di2} com valor igual a 23,7 kΩ, para obter uma tensão V_{AD} de 2,7 V.

A relação $R_{di2}/R_{di1}+R_{di2}$ tem valor igual a 0,338 e é definida como o ganho do circuito de condicionamento da tensão CC (k_{cdvc}), sendo, o ganho utilizado para o projeto da malha de controle do protótipo do inversor de interligação no VCM CC.

O sinal de tensão que representa a temperatura dos interruptores do módulo de potência é igual a 10,9 V, quando a temperatura atinge 115 ° C, portanto, com V_{mod} = 10, 9 V na entrada do circuito da FIGURA 138, o resistor R_{di1} é definido com valor igual a 46,4 kΩ e o resistor R_{di2} com valor igual a 16,2 kΩ, para obter uma tensão de 2,82 V.

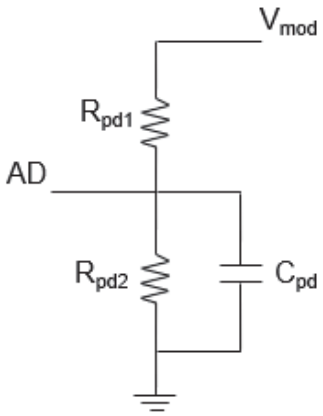
Para uma continuação do projeto do protótipo, além do que é descrito neste trabalho, o sinal de tensão que representa a temperatura dos interruptores será utilizado para ligar a ventilação forçada do armário do protótipo. O módulo de potência contém sua própria proteção contra sobre temperatura, sendo que, quando a temperatura chega a 118° C o módulo realiza o desligamento de emergência abrindo todos os interruptores.

Circuito de Condicionamento dos Sinais de Proteção do Módulo de Potência.

Se ocorrer uma condição anormal na operação do módulo de potência, a saída digital dedicada para essa função que, inicialmente, está em nível baixo, passa para o nível alto.

Na FIGURA 139 está o circuito utilizado para o condicionamento do sinal digital proveniente do módulo de potência. O circuito do condicionamento dos sinais digitais contém um *pull down* com um divisor resistivo.

FIGURA 139 – CIRCUITO DE CONDICIONAMENTO: SINAIS DIGITAIS DO MÓDULO



FONTE: O autor (2023)

Com a tensão V_{mod} = 15V, o resistor R_{dp1} é definido com o valor igual a 82,5 kΩ, o resistor R_{pd2} com o valor igual a 23,7 kΩ, e o capacitor C_{pd} tem valor igual a 10 nF. Substituindo os valores R_{di1} = R_{dp1} e R_{di2} = R_{pd2} na equação (147), obtém-se a tensão V_{AD} = 3,35 V.

APÊNDICE 13 – PROGRAMAÇÃO DO MICROCONTROLADOR

A configuração e programação do microcontrolador da família C2000 da Texas Instruments é baseada nos seguintes documentos:

(i) Workshop desenvolvido para a linha de processadores TMS320F2837xD e encontrado em Schachter, K. W. (2018).

(ii) Manual de Referência Técnica do processador TMS320F2837xD encontrado em Texas Instruments (2019) e com nomenclatura de SPRUHM8I.

(iii) O Guia do Usuário da placa de desenvolvimento LAUNCHXL-F28379D encontrado em Texas Instruments Lauchxl-F28378d (2019) e como nome dado pelo fabricante de SPRUI77C

(iv) Manual Técnico do Processador TMS320F2837xD encontrado em Texas Instruments (2021) com o nome SPRS880O dado pelo fabricante.

Primeira Etapa – Configuração do Microcontrolador

```
#include "Config_Peripheral.h"
#include "Sv_alfabeta.h"
#include <SOGI_3ph.h>
#include "ABC_DQ0_POS_F.h"
#include "DQ0_ABC_F.h"
#include "SPLL_3PH_SRF_F.h"
#include "CLA1_Config.h"
#include "F2837xD_Cla_defines.h"

//variável que define a configuração da micror-
rede
uint16_t urrede_config = 0;

//variáveis entrada digitais
uint16_t faltaA = 0;
uint16_t faltaB = 0;
uint16_t faltaC = 0;
uint16_t temperatura = 0;

//variáveis ADC referencial abc
int32_t vCa = 0;
int32_t vCb = 0;
int32_t vCc = 0;
uint32_t ira = 0;
uint32_t irb = 0;
uint32_t irc = 0;
uint32_t vcc = 0;
uint32_t temp_mod = 0;
int32_t vCa_of = 0;              //sem offset
int32_t vCb_of = 0;
int32_t vCc_of = 0;
uint32_t ira_of = 0;
uint32_t irb_of = 0;
uint32_t irc_of = 0;

//variáveis ADC referencial alfabeta e dq
int32_t vCd = 0;
int32_t vCq = 0;
int32_t vCalfa = 0;
int32_t vCbeta = 0;
int32_t ird = 0;
int32_t irq = 0;
int32_t iralfa = 0;
int32_t irbeta = 0;

//variáveis cálculo da média da corrente
int32_t ira_1 = 0;
int32_t ira_1 = 0;
int32_t ira_1 = 0;
int32_t ira_1 = 0;
int32_t irb_1 = 0;
int32_t irb_1 = 0;
int32_t irb_1 = 0;
int32_t irb_1 = 0;
int32_t irc_1 = 0;
int32_t irc_1 = 0;
int32_t irc_1 = 0;
int32_t irc_1 = 0;
int32_t ira_med = 0;
int32_t irb_med = 0;
int32_t irc_med = 0;

//variáveis estimador de corrente
float32 Cf = 0.0000229;
float32 iid = 0;
float32 iiq = 0;
float32 iCa = 0;
float32 iCb = 0;
float32 iCc = 0;
float32 iCd = 0;
float32 iCq = 0;
float32 vCfa_1 = 0;
float32 vCfa = 0;
float32 vCfb_1 = 0;
```

```
float32 vCfb = 0;
float32 vCfc_1 = 0;
float32 vCfc = 0;

// declarar as variáveis das funções externas
SV_ALFABETA sv_alfabeta;
ABC_DQ0_POS_F abc_dq0;
DQ0_ABC_F dq0_abc;
SPLL_3ph_SRF_F pll_3ph;
SOGI_3PH sogi_3ph;

//variáveis de referência malhas de controle
float32 id_ref = 0;
float32 iq_ref = 0;
float32 vd_ref = 0;
float32 vq_ref = 0;
float32 Ve_ref = 0;
float32 fn_ref = 0;

//variáveis compensadores
//entradas e saídas do compensador de corrente
float32 Cid_e = 0;
float32 Ciq_e = 0;
float32 Cid_s = 0;
float32 Ciq_s = 0;
float32 Cid_des = 0; //saída do compensador de
corrente desacoplada
float32 Ciq_des = 0;
//compensador de tensão CA
float32 Er_vCd_1 = 0;
float32 Er_vCd_2 = 0;
float32 Er_vCq_1 = 0;
float32 Er_vCq_2 = 0;
float32 Gan_vCd_1 = 0;
float32 Gan_vCq_1 = 0;
//compensador de corrente
float32 Er_id_2 = 0;
float32 Er_id_1 = 0;
float32 Er_iq_2 = 0;
float32 Er_iq_1 = 0;
float32 Gan_id_1 = 0;
float32 Gan_iq_1 = 0;
float32 kdes = 0;
//compensador de tensão CC
float32 Er_vcc_2 = 0;
float32 Er_vcc_1 = 0;
float32 Gan_vcc_1 = 0;
//ganhos de realimentação
float32 Hri = 0;
float32 Hii = 0;
float32 HvC = 0;
float32 Hcc = 0;

//variáveis droop
//globais
float32 vCd_n = 0;
float32 fn_n = 0;
float32 Vcc_n = 0;
float32 Ve_n = 0;
// PU
float32 Ve_max = 0;
float32 fn_max = 0;
float32 Vcc_max = 0;

// droop CA (reativo)
float32 iiq_e = 0;
float32 Er_FPB_7 = 0;    // filtro PB
float32 Er_FPB_8 = 0;           // filtro PB
float32 Gan_FPB_4 = 0;   // filtro PB
float32 iiq_s = 0;
float32 vCd_s = 0;
float32 kiqV = 0;
// droop Inverso CA
float32 vCd_e = 0;
float32 Er_FPB_3 = 0;    // filtro PB
float32 Er_FPB_4 = 0;           // filtro PB
float32 Gan_FPB_2 = 0;   // filtro PB
float32 vCd_s2 = 0
float32 irq_s = 0;
float32 kViq = 0;
float32 fn_e = 0;
float32 Er_FPB_5 = 0;    // filtro PB
float32 Er_FPB_6 = 0;           // filtro PB
float32 Gan_FPB_3 = 0;   // filtro PB
float32 fn_s = 0;
float32 ird_s = 0;
float32 kfid = 0;
// droop CC
float32 ird_e = 0;
float32 Er_FPB_1 = 0;    // filtro PB
float32 Er_FPB_2 = 0;           // filtro PB
float32 Gan_FPB_1 = 0;   // filtro PB
float32 ird_s2 = 0;
float32 Ve_s = 0;
float32 kidVe = 0;
// droop inverso CC
float32 Ve_e = 0;
float32 Er_FPB_9 = 0;    // filtro PB
float32 Er_FPB_10 = 0;          // filtro PB
float32 Gan_FPB_5 = 0;   // filtro PB
float32 Ve_s2 = 0
float32 ird_s3 = 0;
float32 kVeid = 0;
// droop bidirecional Ve,fn-ird
float32 Ve_bi1_e = 0;
float32 Er_FPB_15 = 0;   // filtro PB
float32 Er_FPB_16 = 0;          // filtro PB
float32 Gan_FPB_8 = 0;   // filtro PB
float32 Ve_bi1_s = 0;
float32 Ve_bi1_s_pu = 0;
float32 fn_bi1_e = 0;
float32 Er_FPB_17 = 0;   // filtro PB
float32 Er_FPB_18 = 0;          // filtro PB
float32 Gan_FPB_9 = 0;   // filtro PB
float32 fn_bi1_s = 0;
float32 fn_bi1_s_pu = 0;
float32 e_bi1_pu = 0;
float32 ird__bi1_s = 0;
float32 kB1 = 0;
// droop bidirecional iid-fn*, Vcc-fn
float32 iid_bi2_e = 0;
float32 Er_FPB_19 = 0;   // filtro PB
float32 Er_FPB_20 = 0;          // filtro PB
float32 Gan_FPB_10 = 0; // filtro PB
float32 iid_bi2_s = 0;
float32 Ve_bi2_e = 0;
float32 Er_FPB_21 = 0;   // filtro PB
float32 Er_FPB_22 = 0;          // filtro PB
float32 Gan_FPB_11 = 0; // filtro PB
float32 Ve_bi2_s = 0;
float32 fn_bi2_s = 0;
float32 kB2 = 0;
float32 kVf = 0;
// droop bidirecional ird-Ve*, f-Vcc*
float32 ird_b3_e = 0;
float32 Er_FPB_11 = 0;   // filtro PB
float32 Er_FPB_12 = 0;          // filtro PB
float32 Gan_FPB_6 = 0;   // filtro PB
float32 ird_b3_s = 0;
float32 fn_b3_e = 0;
float32 Er_FPB_13 = 0;   // filtro PB
float32 Er_FPB_14 = 0;          // filtro PB
float32 Gan_FPB_7 = 0;   // filtro PB
float32 fn_b3_s = 0;
float32 Ve_b3_s = 0;
float32 kB3 = 0;
float32 kfV = 0;
```

```
//valor dos comparadores para as fases a,b e c
float32 VMa = 0;
float32 VMb = 0;
float32 VMc = 0;

//variaveis pll e gerador de rampa 0 a 2pi
float32 teta = 0;
float32 wo = 0;
float32 fo = 0;
float32 fn_r = 0;
float32 Ta = 0.0000357199917712;
float32 fpasso = 0;

//variavel botão Liga/Desliga
uint16_t b_seg = 0;
uint16_t pwm_on = 0;

//variaveis cla
int16_t count_task = 0;
volatile float count_freq = 0;
//offset tensão
volatile float Va_CLA = 0;
volatile float Vb_CLA = 0;
volatile float Vc_CLA = 0;
volatile float Va_max_CLA = 0;
volatile float Va_min_CLA = 1786;
volatile float Vb_max_CLA = 0;
volatile float Vb_min_CLA = 1786;
volatile float Vc_max_CLA = 0;
volatile float Vc_min_CLA = 1786;
volatile float offsetVa_calc = 0;
volatile float offsetVb_calc = 0;
volatile float offsetVc_calc = 0;
volatile float Va_CLA1 = 0;
volatile float Vb_CLA1 = 0;
volatile float Vc_CLA1 = 0;

//offset corrente
volatile float Ia_CLA = 0;
volatile float Ib_CLA = 0;
volatile float Ic_CLA = 0;
volatile float Ia_max_CLA = 0;
volatile float Ia_min_CLA = 2238;
volatile float Ib_max_CLA = 0;
volatile float Ib_min_CLA = 2238;
volatile float Ic_max_CLA = 0;
volatile float Ic_min_CLA = 2238;
volatile float offsetIa_calc = 0;
volatile float offsetIb_calc = 0;
volatile float offsetIc_calc = 0;
volatile float Ind_I = 0;
volatile float error_offset = 0;
volatile float Ia_CLA1 = 0;
volatile float Ib_CLA1 = 0;
volatile float Ic_CLA1 = 0;

//media
volatile float Ia_out[16];
volatile float Ib_out[16];
volatile float Ic_out[16];
volatile int Ind_med_I = 0;
volatile float offsetIa_calc_med = 2233;
volatile float offsetIb_calc_med = 2232;
volatile float offsetIc_calc_med = 2244;
volatile float Va_out[12];
volatile float Vb_out[12];
volatile float Vc_out[12];
volatile float offsetVa_calc_med = 2235;
volatile float offsetVb_calc_med = 2232;
volatile float offsetVc_calc_med = 2245;

//colocar as variaveis dentro da memoria dedicada para o CLA
//offset tensão
#pragma DATA_SECTION(Va_max_CLA,"CLADataLS0");
#pragma DATA_SECTION(Va_min_CLA,"CLADataLS0");
#pragma DATA_SECTION(Vb_max_CLA,"CLADataLS0");
#pragma DATA_SECTION(Vb_min_CLA,"CLADataLS0");
#pragma DATA_SECTION(Vc_max_CLA,"CLADataLS0");
#pragma DATA_SECTION(Vc_min_CLA,"CLADataLS0");
#pragma DATA_SECTION(Va_CLA,"CpuToCla1MsgRAM");
#pragma DATA_SECTION(Vb_CLA,"CpuToCla1MsgRAM");
#pragma DATA_SECTION(Vc_CLA,"CpuToCla1MsgRAM");
#pragma DATA_SECTION(offsetVa_calc,"CLADa-
taLS0");
#pragma DATA_SECTION(offsetVb_calc,"CLADa-
taLS0");
#pragma DATA_SECTION(offsetVc_calc,"CLADa-
taLS0");
#pragma DATA_SECTION(Va_CLA1,"CLADataLS0");
#pragma DATA_SECTION(Vb_CLA1,"CLADataLS0");
#pragma DATA_SECTION(Vc_CLA1,"CLADataLS0");
//offset corrente
#pragma DATA_SECTION(Ia_max_CLA,"CLADataLS0");
#pragma DATA_SECTION(Ia_min_CLA,"CLADataLS0");
#pragma DATA_SECTION(Ib_max_CLA,"CLADataLS0");
#pragma DATA_SECTION(Ib_min_CLA,"CLADataLS0");
#pragma DATA_SECTION(Ic_max_CLA,"CLADataLS0");
#pragma DATA_SECTION(Ic_min_CLA,"CLADataLS0");
#pragma DATA_SECTION(Ia_CLA,"CpuToCla1MsgRAM");
#pragma DATA_SECTION(Ib_CLA,"CpuToCla1MsgRAM");
#pragma DATA_SECTION(Ic_CLA,"CpuToCla1MsgRAM");
#pragma DATA_SECTION(offsetIa_calc,"CLADa-
taLS0");
#pragma DATA_SECTION(offsetIb_calc,"CLADa-
taLS0");
#pragma DATA_SECTION(offsetIc_calc,"CLADa-
taLS0");
#pragma DATA_SECTION(count_freq,"CLADataLS0");
#pragma DATA_SECTION(Ind_I,"CLADataLS0");
#pragma DATA_SECTION(error_offset,"CLADa-
taLS0");
#pragma DATA_SECTION(Ia_CLA1,"CLADataLS0");
#pragma DATA_SECTION(Ib_CLA1,"CLADataLS0");
#pragma DATA_SECTION(Ic_CLA1,"CLADataLS0");
#pragma DATA_SECTION(Ia_out,"CLADataLS0");
#pragma DATA_SECTION(Ib_out,"CLADataLS0");
#pragma DATA_SECTION(Ic_out,"CLADataLS0");
#pragma DATA_SECTION(Ind_med_I,"CLADataLS0");
#pragma DATA_SECTION(offsetIa_calc_med,"CLADa-
taLS0");
#pragma DATA_SECTION(offsetIb_calc_med,"CLADa-
taLS0");
#pragma DATA_SECTION(offsetIc_calc_med,"CLADa-
taLS0");
#pragma DATA_SECTION(Va_out,"CLADataLS0");
#pragma DATA_SECTION(Vb_out,"CLADataLS0");
#pragma DATA_SECTION(Vc_out,"CLADataLS0");
#pragma DATA_SECTION(offsetVa_calc_med,"CLADa-
taLS0");
#pragma DATA_SECTION(offsetVb_calc_med,"CLADa-
taLS0");
#pragma DATA_SECTION(offsetVc_calc_med,"CLADa-
taLS0");

// declarar funções de interrupção do adc e do
PWM
__interrupt void isr_adc(void);
__interrupt void isr_epwm_trip(void);
```

Arquivos de Cabeçalho:

```
/*
 * Config_Peripheral.h
 *
 *  Created on: 6 de jul de 2022
 *      Author: andre
 */
```

```
#ifndef CONFIG_PERIPHERAL_H_
#define CONFIG_PERIPHERAL_H_
#include "F28x_Project.h"

void Setup_GPIO(void);
void Setup_ePWM(void);
void Setup_ADC_A(void);
void Setup_ADC_B(void);
void Setup_ADC_C(void);

#endif /* CONFIG_PERIPHERAL_H_ */

/*
 * Config_Peripheral.c
 *
 *  Created on: 29 de jun de 2022
 *      Author: andre leone
 */
#include "Config_Peripheral.h"

void Setup_GPIO(void)
{
    EALLOW;

    //Pino para verificar a interrupção da fre-
quência de amostragem
    GpioCtrlRegs.GPAGMUX1.bit.GPIO14 = 0;
    GpioCtrlRegs.GPAMUX1.bit.GPIO14 = 0;
    GpioCtrlRegs.GPAPUD.bit.GPIO14 = 1;
    GpioCtrlRegs.GPADIR.bit.GPIO14 = 1;
    GpioCtrlRegs.GPACSEL2.bit.GPIO14 =
GPIO_MUX_CPU1;
    //Pino para verificar o funcionamento do
CLA
    GpioCtrlRegs.GPAGMUX1.bit.GPIO15 = 0;
    GpioCtrlRegs.GPAMUX1.bit.GPIO15 = 0;
    GpioCtrlRegs.GPAPUD.bit.GPIO15 = 1;
    GpioCtrlRegs.GPADIR.bit.GPIO15 = 1;
    GpioCtrlRegs.GPACSEL2.bit.GPIO15 =
GPIO_MUX_CPU1CLA;
    //configurar pino liga desliga PWM level
shifted 3,3v - 5v
    GpioCtrlRegs.GPAGMUX2.bit.GPIO29 = 0;
    GpioCtrlRegs.GPAMUX2.bit.GPIO29 = 0;
    GpioCtrlRegs.GPAPUD.bit.GPIO29 = 1;
    GpioCtrlRegs.GPADIR.bit.GPIO29 = 1;
    GpioCtrlRegs.GPACSEL4.bit.GPIO29 =
GPIO_MUX_CPU1;


    //Entradas digitais (segurança)
    //Falta da fase A
    GpioCtrlRegs.GPCGMUX1.bit.GPIO64 = 0;
    GpioCtrlRegs.GPCMUX1.bit.GPIO64 = 0;
    GpioCtrlRegs.GPCPUD.bit.GPIO64 = 1;
    GpioCtrlRegs.GPCDIR.bit.GPIO64 = 0;
    GpioCtrlRegs.GPCCSEL1.bit.GPIO64 =
GPIO_MUX_CPU1;
    //Falta da fase B
    GpioCtrlRegs.GPAGMUX2.bit.GPIO26 = 0;
    GpioCtrlRegs.GPAMUX2.bit.GPIO26 = 0;
    GpioCtrlRegs.GPAPUD.bit.GPIO26 = 1;
    GpioCtrlRegs.GPADIR.bit.GPIO26 = 0;
    GpioCtrlRegs.GPACSEL4.bit.GPIO26 =
GPIO_MUX_CPU1;
    //Falta da fase C
    GpioCtrlRegs.GPAGMUX2.bit.GPIO27 = 0;
    GpioCtrlRegs.GPAMUX2.bit.GPIO27 = 0;
    GpioCtrlRegs.GPAPUD.bit.GPIO27 = 1;
    GpioCtrlRegs.GPADIR.bit.GPIO27 = 0;
    GpioCtrlRegs.GPACSEL4.bit.GPIO27 =
GPIO_MUX_CPU1;
    //Sobre temperatura
    GpioCtrlRegs.GPAGMUX2.bit.GPIO25 = 0;
    GpioCtrlRegs.GPAMUX2.bit.GPIO25 = 0;
    GpioCtrlRegs.GPAPUD.bit.GPIO25 = 1;
    GpioCtrlRegs.GPADIR.bit.GPIO25 = 0;
    GpioCtrlRegs.GPACSEL4.bit.GPIO25 =
GPIO_MUX_CPU1;

    //emergência, desabilita PWM, sem acionar
PWM desligado, acionando PWM ligado
    GpioCtrlRegs.GPAGMUX1.bit.GPIO5 = 0;
    GpioCtrlRegs.GPADIR.bit.GPIO5 = 0; //en-
trada
    GpioCtrlRegs.GPAPUD.bit.GPIO5 = 0; //PULL
UP habilitado
    GpioCtrlRegs.GPAINV.bit.GPIO5 = 1;
    GpioCtrlRegs.GPAQSEL1.bit.GPIO5 = 3; //
para evitar falso chaveamento
    InputXbarRegs.INPUT1SELECT = 3;     // con-
figura o trip do PWM
    EDIS;
}

void Setup_ePWM(void)
{
    EALLOW;
    //configurar os pwms 4, 5 e 6 para comando
dos igbts em ponte
       //pwm4
       GpioCtrlRegs.GPAGMUX1.bit.GPIO6 = 0;
       GpioCtrlRegs.GPAMUX1.bit.GPIO6 = 1;
       GpioCtrlRegs.GPAPUD.bit.GPIO6 = 1;
       //pwm4 complementar
       GpioCtrlRegs.GPAGMUX1.bit.GPIO7 = 0;
       GpioCtrlRegs.GPAMUX1.bit.GPIO7 = 1;
       GpioCtrlRegs.GPAPUD.bit.GPIO7 = 1;
       //pwm5
       GpioCtrlRegs.GPAGMUX1.bit.GPIO8 = 0;
       GpioCtrlRegs.GPAMUX1.bit.GPIO8 = 1;
       GpioCtrlRegs.GPAPUD.bit.GPIO8 = 1;
       //pwm5 complementar
       GpioCtrlRegs.GPAGMUX1.bit.GPIO9 = 0;
       GpioCtrlRegs.GPAMUX1.bit.GPIO9 = 1;
       GpioCtrlRegs.GPAPUD.bit.GPIO9 = 1;
       //pwm6
       GpioCtrlRegs.GPAGMUX1.bit.GPIO10 = 0;
       GpioCtrlRegs.GPAMUX1.bit.GPIO10 = 1;
       GpioCtrlRegs.GPAPUD.bit.GPIO10 = 1;
       //pwm6 complementar
       GpioCtrlRegs.GPAGMUX1.bit.GPIO11 = 0;
       GpioCtrlRegs.GPAMUX1.bit.GPIO11 = 1;
       GpioCtrlRegs.GPAPUD.bit.GPIO11 = 1;

    //desabilitar pwm para configurar
    CpuSysRegs.PCLKCR0.bit.TBCLKSYNC = 0;
    //habilitar clock dos pwm
    CpuSysRegs.PCLKCR2.bit.EPWM4 = 1; // ativar
o clock do EPWM4
    CpuSysRegs.PCLKCR2.bit.EPWM5 = 1; // ativar
o clock do EPWM5
    CpuSysRegs.PCLKCR2.bit.EPWM6 = 1; // ativar
o clock do EPWM6
    //config trip zone
    //Enable TZ1 as one shot trip source
    EPwm4Regs.TZSEL.bit.OSHT1 = 1; //quantos
pulsos de trip
    EPwm5Regs.TZSEL.bit.OSHT1 = 1; //quantos
pulsos de trip
    EPwm6Regs.TZSEL.bit.OSHT1 = 1; //quantos
pulsos de trip
    // o que gostaríamos que o trip realiza-se
    //EPwm1Regs.TZCTL.bit.TZA = 2;
    EPwm4Regs.TZCTL.bit.TZA = TZ_FORCE_LO;
    EPwm4Regs.TZCTL.bit.TZB = TZ_FORCE_LO;
    EPwm5Regs.TZCTL.bit.TZA = TZ_FORCE_LO;
```

```
    EPwm6Regs.TZCTL.bit.TZA = TZ_FORCE_LO;
    EPwm5Regs.TZCTL.bit.TZB = TZ_FORCE_LO;
    EPwm6Regs.TZCTL.bit.TZB = TZ_FORCE_LO;
    //habilitar a interrupção do trip do epw4
    EPwm4Regs.TZEINT.bit.OST = 1;
    EPwm5Regs.TZEINT.bit.OST = 1;
    EPwm6Regs.TZEINT.bit.OST = 1;

    //Configurar PWM dos sinais de comando
IGBTs
    //Epwm4 fase A
    EPwm4Regs.TBPRD = 3572; //frequência de 14
kHz
    EPwm4Regs.CMPA.bit.CMPA = EPwm4Regs.TBPRD
>> 1;  //valor inicial do comparador A
    EPwm4Regs.TBPHS.bit.TBPHS = 3572;   //fre-
quência do PWM para referência de sincronismo
    EPwm4Regs.TBCTL.bit.SYNCOSEL = TB_CTR_ZERO;
//sincronimos para inicio do pwm
    EPwm4Regs.TBCTR = 0x0000; //zera o clock
    EPwm4Regs.TBCTL.bit.CTRMODE = TB_COUNT_UP-
DOWN; // contador triangular
    EPwm4Regs.TBCTL.bit.PHSEN = TB_DISABLE;
    EPwm4Regs.TBCTL.bit.PHSDIR = TB_DOWN;
    EPwm4Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;
//Pre scale
    EPwm4Regs.TBCTL.bit.CLKDIV = TB_DIV1;
//Pre scale
    EPwm4Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
//Load registers every ZERO e PRD
    EPwm4Regs.CMPCTL.bit.LOADAMODE =
CC_CTR_ZERO_PRD;
    //EPwm4Regs.CMPCTL.bit.LOADAMODE
=CC_CTR_PRD;
    EPwm4Regs.AQCTLA.bit.PRD = AQ_NO_ACTION;
    EPwm4Regs.AQCTLA.bit.ZRO = AQ_NO_ACTION;
    EPwm4Regs.AQCTLA.bit.CAU = AQ_SET;
    EPwm4Regs.AQCTLA.bit.CAD = AQ_CLEAR;
    EPwm4Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
// habilita o PWM complementar
    EPwm4Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENA-
BLE; // habilita o dead_time
    EPwm4Regs.DBFED.bit.DBFED = 150; // Define
o tempo na descida do pulso relativo ao periodo
    EPwm4Regs.DBRED.bit.DBRED = 150; // Define
o tempo na subida do pulso relativo ao período

    //Configurar o trigger do ADC pelo compara-
dor do pwm1
        EPwm4Regs.ETSEL.bit.SOCAEN = 1;
//enable SOC on A group do ADC
        EPwm4Regs.ETSEL.bit.SOCASEL =
ET_CTR_PRDZERO;   //dispara ADC no topo e no
zero
        //EPwm1Regs.ETSEL.bit.SOCASEL =
ET_CTRU_CMPA;   //dispara ADC no topo e no zero
        //amostragem com o dobro da frequência
do PWM
        EPwm4Regs.ETPS.bit.SOCAPRD = ET_1ST;
//trigger a cada evento */

    //Epwm5 fase B
    EPwm5Regs.TBPRD = 3572; //frequência de 14
kHz
    EPwm5Regs.CMPA.bit.CMPA = EPwm5Regs.TBPRD
>> 1;    //valor inicial do comparador A
    EPwm5Regs.TBPHS.bit.TBPHS = 3572;   //fre-
quência do PWM para referência de sincronismo
    EPwm5Regs.TBCTL.bit.SYNCOSEL = TB_SYNC_DI-
SABLE; //sincronimos para inicio do pwm
    EPwm5Regs.TBCTR = 0x0000; //zera o clock
    EPwm5Regs.TBCTL.bit.CTRMODE = TB_COUNT_UP-
DOWN; // contador triangular
    EPwm5Regs.TBCTL.bit.PHSEN = TB_ENABLE;
//habilita o deslocamento de fase do pwm de re-
ferência
    EPwm5Regs.TBCTL.bit.PHSDIR = TB_DOWN; //de-
fine como será a direção do contador inicial-
mente
    EPwm5Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;
//Pre scale
    EPwm5Regs.TBCTL.bit.CLKDIV = TB_DIV1;
//Pre scale
    EPwm5Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
//Load registers every ZERO e PRD
    EPwm5Regs.CMPCTL.bit.LOADAMODE =
CC_CTR_ZERO_PRD;
    //EPwm5Regs.CMPCTL.bit.LOADAMODE
=CC_CTR_PRD;
    EPwm5Regs.AQCTLA.bit.PRD = AQ_NO_ACTION;
    EPwm5Regs.AQCTLA.bit.ZRO = AQ_NO_ACTION;
    EPwm5Regs.AQCTLA.bit.CAU = AQ_SET;
    EPwm5Regs.AQCTLA.bit.CAD = AQ_CLEAR;
    EPwm5Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
// habilita o PWM complementar
    EPwm5Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENA-
BLE; // habilita o dead_time
    EPwm5Regs.DBFED.bit.DBFED = 150; // Define
o tempo na descida do pulso relativo ao periodo
    EPwm5Regs.DBRED.bit.DBRED = 150; // Define
o tempo na subida do pulso relativo ao período

    //Epwm6 fase C
    EPwm6Regs.TBPRD = 3572; //frequência de 14
kHz
    EPwm6Regs.CMPA.bit.CMPA = 0;    //valor
inicial do comparador A
    EPwm6Regs.TBPHS.bit.TBPHS = 3572;   //fre-
quência do PWM para referência de sincronismo
    EPwm6Regs.TBCTL.bit.SYNCOSEL = TB_SYNC_DI-
SABLE; //sincronimos para inicio do pwm
    EPwm6Regs.TBCTR = 0x0000; //zera o clock
    EPwm6Regs.TBCTL.bit.CTRMODE = TB_COUNT_UP-
DOWN; // contador triangular
    EPwm6Regs.TBCTL.bit.PHSEN = TB_ENABLE;
//habilita o deslocamento de fase do pwm de re-
ferência
    EPwm6Regs.TBCTL.bit.PHSDIR = TB_DOWN; //de-
fine como será a direção do contador inicial-
mente
    EPwm6Regs.TBCTL.bit.HSPCLKDIV = TB_DIV1;
//Pre scale
    EPwm6Regs.TBCTL.bit.CLKDIV = TB_DIV1;
//Pre scale
    EPwm6Regs.CMPCTL.bit.SHDWAMODE = CC_SHADOW;
//Load registers every ZERO e PRD
    EPwm6Regs.CMPCTL.bit.LOADAMODE =
CC_CTR_ZERO_PRD;
    //EPwm6Regs.CMPCTL.bit.LOADAMODE
=CC_CTR_PRD;
    EPwm6Regs.AQCTLA.bit.PRD = AQ_NO_ACTION;
    EPwm6Regs.AQCTLA.bit.ZRO = AQ_NO_ACTION;
    EPwm6Regs.AQCTLA.bit.CAU = AQ_SET;
    EPwm6Regs.AQCTLA.bit.CAD = AQ_CLEAR;
    EPwm6Regs.DBCTL.bit.POLSEL = DB_ACTV_HIC;
// habilita o PWM complementar
    EPwm6Regs.DBCTL.bit.OUT_MODE = DB_FULL_ENA-
BLE; // habilita o dead_time
    EPwm6Regs.DBFED.bit.DBFED = 150; // Define
o tempo na descida do pulso relativo ao periodo
    EPwm6Regs.DBRED.bit.DBRED = 150; // Define
o tempo na subida do pulso relativo ao período

    CpuSysRegs.PCLKCR0.bit.TBCLKSYNC = 1; //
habilita os pwms
    EDIS;
}
```

```
void Setup_ADC_A(void)
{
    //ADC A
    Uint16 acqps;
    // determine minimum acquisition window (in
SYSCLKS) based on resolution
    if(ADC_RESOLUTION_12BIT == Adca-
Regs.ADCCTL2.bit.RESOLUTION)
    {
        acqps = 14;         // 75 ns
    }
    else                    // resolution in 16
bits
    {
        acqps = 63;         //320 ns
    }

    EALLOW;
    CpuSysRegs.PCLKCR13.bit.ADC_A = 1; //habi-
lita o clock do ADC A
    AdcaRegs.ADCCTL2.bit.PRESCALE = 6; //confi-
gura o prescale com um divisor de /4
    AdcSetMode(ADC_ADCA, ADC_RESOLUTION_12BIT,
ADC_SIGNALMODE_SINGLE); // ADC simples com 12
bits
    AdcaRegs.ADCCTL1.bit.INTPULSEPOS = 1;
//configura para disparar com o pulso da inter-
rupção
    AdcaRegs.ADCCTL1.bit.ADCPWDNZ =1;      //
liga o ADC
    DELAY_US(1000);                         //
Tempo que permite a inicialização do ADC

    // configura os canais de aquisição do adc
    //canal 3 - vCc
    AdcaRegs.ADCSOC0CTL.bit.CHSEL = 3;
//pino do adc A
    AdcaRegs.ADCSOC0CTL.bit.ACQPS = acqps;
// tamanho da janela de amostragem
    AdcaRegs.ADCSOC0CTL.bit.TRIGSEL = 11;
// qual evento que dispara o ADC

    //aquisição para média de corrente da rede
ira REDE (1/4)
    AdcaRegs.ADCSOC1CTL.bit.CHSEL = 14;
//pino do adc A
    AdcaRegs.ADCSOC1CTL.bit.ACQPS = acqps;
// tamanho da janela de amostragem
    AdcaRegs.ADCSOC1CTL.bit.TRIGSEL = 11;
// qual evento que dispara o ADC

    //aquisição para média de corrente da rede
ira REDE (2/4)
    AdcaRegs.ADCSOC2CTL.bit.CHSEL = 14;
//pino do adc A
    AdcaRegs.ADCSOC2CTL.bit.ACQPS = acqps;
// tamanho da janela de amostragem
    AdcaRegs.ADCSOC2CTL.bit.TRIGSEL = 11;
// qual evento que dispara o ADC

    //canal 14 - ira rede (3/4)
    AdcaRegs.ADCSOC3CTL.bit.CHSEL = 14;
//pino do adc A
    AdcaRegs.ADCSOC3CTL.bit.ACQPS = acqps;
// tamanho da janela de amostragem
    AdcaRegs.ADCSOC3CTL.bit.TRIGSEL = 11;
// qual evento que dispara o ADC

    //aquisição para média de corrente da rede
ira REDE (4/4)
    AdcaRegs.ADCSOC4CTL.bit.CHSEL = 14;
//pino do adc A
    AdcaRegs.ADCSOC4CTL.bit.ACQPS = acqps;
// tamanho da janela de amostragem
    AdcaRegs.ADCSOC4CTL.bit.TRIGSEL = 11;
// qual evento que dispara o ADC

    //canal 5 - PTC (ainda sem circuito de pro-
teção)
    AdcaRegs.ADCSOC5CTL.bit.CHSEL = 5;
//pino do adc A
    AdcaRegs.ADCSOC5CTL.bit.ACQPS = acqps;
// tamanho da janela de amostragem
    AdcaRegs.ADCSOC5CTL.bit.TRIGSEL = 11;
// qual evento que dispara o ADC

    //no caso disparar apos soc 5
    AdcaRegs.ADCINTSEL1N2.bit.INT1SEL = 5;
//end of SOC5 will set INT1 flag habilita a in-
terrupção do ADC
    AdcaRegs.ADCINTSEL1N2.bit.INT1E = 1;
//enable INT1 flag
    AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
//make sure INT1 flag is cleared

    //verificar qual modulo ADC a, B, C ou D
tem mais conversões, o modulo com mais
    // converções deve ser responsavel por dis-
parar a interrupção após todas as conversões.
    //Os SOCs de cada módulo devem ser dispara-
dos sincronizados colocar VA no soc 0 do adc A
e ia no soc 0 do adc b para ter o mesmo valor
    EDIS;
}

void Setup_ADC_B(void)
{
    //ADC B
    Uint16 acqps;
    // determine minimum acquisition window (in
SYSCLKS) based on resolution
    if(ADC_RESOLUTION_12BIT ==
AdcbRegs.ADCCTL2.bit.RESOLUTION)
    {
        acqps = 14;         // 75 ns
    }
    else                    // resolution in 16
bits
    {
        acqps = 63;         //320 ns
    }

    EALLOW;
    CpuSysRegs.PCLKCR13.bit.ADC_B = 1; //habi-
lita o clock do ADC B
    AdcbRegs.ADCCTL2.bit.PRESCALE = 6; //confi-
gura o prescale com um divisor de /4
    AdcSetMode(ADC_ADCB, ADC_RESOLUTION_12BIT,
ADC_SIGNALMODE_SINGLE); // ADC simples com 12
bits
    AdcbRegs.ADCCTL1.bit.INTPULSEPOS = 1;
//configura para disparar com o pulso da inter-
rupção
    AdcbRegs.ADCCTL1.bit.ADCPWDNZ =1;      //
liga o ADC
    DELAY_US(1000);                         //
Tempo que permite a inicialização do ADC


    //aquisição para média de corrente da rede
irc REDE (1/4)
    AdcbRegs.ADCSOC0CTL.bit.CHSEL = 3;
//pino do adc
    AdcbRegs.ADCSOC0CTL.bit.ACQPS = acqps;
// tamanho da janela de amostragem
```

```
    AdcbRegs.ADCSOC0CTL.bit.TRIGSEL = 11;
// qual evento que dispara o ADC


    //aquisição para média de corrente da rede
irc REDE (2/4)
    AdcbRegs.ADCSOC1CTL.bit.CHSEL = 3;
//pino do adc
    AdcbRegs.ADCSOC1CTL.bit.ACQPS = acqps;
// tamanho da janela de amostragem
    AdcbRegs.ADCSOC1CTL.bit.TRIGSEL = 11;
// qual evento que dispara o ADC

    //canal 2 - vCa
    AdcbRegs.ADCSOC2CTL.bit.CHSEL = 2;
//pino do adc
    AdcbRegs.ADCSOC2CTL.bit.ACQPS = acqps;
// tamanho da janela de amostragem
    AdcbRegs.ADCSOC2CTL.bit.TRIGSEL = 11;
// qual evento que dispara o ADC

    //canal 3 - irc rede (3/4)
    AdcbRegs.ADCSOC3CTL.bit.CHSEL = 3;
//pino do adc
    AdcbRegs.ADCSOC3CTL.bit.ACQPS = acqps;
// tamanho da janela de amostragem
    AdcbRegs.ADCSOC3CTL.bit.TRIGSEL = 11;
// qual evento que dispara o ADC

    //canal 15 - NTC (ainda sem proteção)
    AdcbRegs.ADCSOC4CTL.bit.CHSEL = 15;
//pino do adc
    AdcbRegs.ADCSOC4CTL.bit.ACQPS = acqps;
// tamanho da janela de amostragem
    AdcbRegs.ADCSOC4CTL.bit.TRIGSEL = 5;
// qual evento que dispara o ADC

    //aquisição para média de corrente da rede
irc REDE (4/4)
    AdcbRegs.ADCSOC4CTL.bit.CHSEL = 3;
//pino do adc
    AdcbRegs.ADCSOC4CTL.bit.ACQPS = acqps;
// tamanho da janela de amostragem
    AdcbRegs.ADCSOC4CTL.bit.TRIGSEL = 11;
// qual evento que dispara o ADC

    //no caso disparar apos soc 4
    AdcbRegs.ADCINTSEL1N2.bit.INT1SEL = 4;
//end of SOC will set INT1 flag habilita a in-
terrupção do ADC
    AdcbRegs.ADCINTSEL1N2.bit.INT1E = 1;
//enable INT1 flag
    AdcbRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
//make sure INT1 flag is cleared

    //verificar qual modulo ADC a, B, C ou D
tem mais conversões, o modulo com mais
    // converções deve ser responsavel por dis-
parar a interrupção após todas as conversões.
    //Os SOCs de cada módulo devem ser dispara-
dos sincronizados colocar VA no soc 0 do adc A
e ia no soc 0 do adc b para ter o mesmo valor
    EDIS;
}

void Setup_ADC_C(void)
{
    //ADC C
    Uint16 acqps;
    // determine minimum acquisition window (in
SYSCLKS) based on resolution
    if(ADC_RESOLUTION_12BIT ==
AdccRegs.ADCCTL2.bit.RESOLUTION)
    {
        acqps = 14;         // 75 ns
    }
    else                    // resolution in 16
bits
    {
        acqps = 63;         //320 ns
    }

    EALLOW;
    CpuSysRegs.PCLKCR13.bit.ADC_C = 1; //habi-
lita o clock do ADC C
    AdccRegs.ADCCTL2.bit.PRESCALE = 6; //confi-
gura o prescale com um divisor de /4
    AdcSetMode(ADC_ADCC, ADC_RESOLUTION_12BIT,
ADC_SIGNALMODE_SINGLE); // ADC simples com 12
bits
    AdccRegs.ADCCTL1.bit.INTPULSEPOS = 1;
//configura para disparar com o pulso da inter-
rupção
    AdccRegs.ADCCTL1.bit.ADCPWDNZ =1;      //
liga o ADC
    DELAY_US(1000);                         //
Tempo que permite a inicialização do ADC

    // configura os canais de aquisição do adc
    //canal 4 - Vcc
    AdccRegs.ADCSOC0CTL.bit.CHSEL = 4;
//pino do adc
    AdccRegs.ADCSOC0CTL.bit.ACQPS = acqps;
// tamanho da janela de amostragem
    AdccRegs.ADCSOC0CTL.bit.TRIGSEL = 11;
// qual evento que dispara o ADC
    //canal 2 - vCb
    AdccRegs.ADCSOC1CTL.bit.CHSEL = 2;
//pino do adc
    AdccRegs.ADCSOC1CTL.bit.ACQPS = acqps;
// tamanho da janela de amostragem
    AdccRegs.ADCSOC1CTL.bit.TRIGSEL = 11;
// qual evento que dispara o ADC

    //aquisição para média de corrente da rede
irb REDE (1/4)
    AdccRegs.ADCSOC2CTL.bit.CHSEL = 3;
//pino do adc
    AdccRegs.ADCSOC2CTL.bit.ACQPS = acqps;
// tamanho da janela de amostragem
    AdccRegs.ADCSOC2CTL.bit.TRIGSEL = 11;
// qual evento que dispara o ADC

    //canal 3 - Irb rede (2/4)
    AdccRegs.ADCSOC3CTL.bit.CHSEL = 3;
//pino do adc
    AdccRegs.ADCSOC3CTL.bit.ACQPS = acqps;
// tamanho da janela de amostragem
    AdccRegs.ADCSOC3CTL.bit.TRIGSEL = 11;
// qual evento que dispara o ADC

    //aquisição para média de corrente da rede
irb REDE (3/4)
    AdccRegs.ADCSOC4CTL.bit.CHSEL = 3;
//pino do adc
    AdccRegs.ADCSOC4CTL.bit.ACQPS = acqps;
// tamanho da janela de amostragem
    AdccRegs.ADCSOC4CTL.bit.TRIGSEL = 11;
// qual evento que dispara o ADC

    //aquisição para média de corrente da rede
irb REDE (4/4)
    AdccRegs.ADCSOC5CTL.bit.CHSEL = 3;
//pino do adc
    AdccRegs.ADCSOC5CTL.bit.ACQPS = acqps;
// tamanho da janela de amostragem
    AdccRegs.ADCSOC5CTL.bit.TRIGSEL = 11;
// qual evento que dispara o ADC
```

```
    //no caso disparar apos soc 3
    AdccRegs.ADCINTSEL1N2.bit.INT1SEL = 5;
//end of SOC will set INT1 flag habilita a in-
terrupção do ADC
    AdccRegs.ADCINTSEL1N2.bit.INT1E = 1;
//enable INT1 flag
    AdccRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
//make sure INT1 flag is cleared

    //verificar qual modulo ADC a, B, C ou D
tem mais conversões, o modulo com mais
    // converções deve ser responsavel por dis-
parar a interrupção após todas as conversões.
    //Os SOCs de cada módulo devem ser dispara-
dos sincronizados colocar VA no soc 0 do adc A
e ia no soc 0 do adc b para ter o mesmo valor
    EDIS;
}

/*
 * Sv_alfabeta.h
 *
 *  Created on: 2 de jul de 2022
 *      Author: andre
 */

#ifndef SV_ALFABETA_H_
#define SV_ALFABETA_H_
#include "F28x_Project.h"

//definição das variaveis
typedef struct{
    float32 vAlfa;
    float32 vBeta;
    float32 vAlfa2;
    float32 vBeta2;
    float32 Vcc;
    float32 Vref1;
    float32 Vref2;
    float32 Vref3;
    float32 setor;
    float32 t1;
    float32 t2;
    float32 t0;
    float32 A1;
    float32 A2;
    float32 A3;
    float32 d1;
    float32 d3;
    float32 d5;
    float32 count;
    float32 sin;
    float32 cos;
}SV_ALFABETA;

//declaração das funções
void Sv_alfabeta_ENT(SV_ALFABETA *E);
void Sv_alfabeta_CALC(SV_ALFABETA *E);

#endif /* SV_ALFABETA_H_ */

/*
 * Sv_alfabeta.c
 *
 *  Created on: 2 de jul de 2022
 *      Author: andre
 */
#include "Sv_alfabeta.h"
#include "math.h"

//zera variáveis de entrada
void Sv_alfabeta_ENT(SV_ALFABETA *E)
{
    E->vAlfa = 0;
    E->vBeta = 0;
    E->vAlfa2 = 0;
    E->vBeta2 = 0;
    E->Vcc = 0;
    E->Vref1 = 0;
    E->Vref2 = 0;
    E->Vref3 = 0;
    E->setor = 0;
    E->t1 = 0;
    E->t2 = 0;
    E->t0 = 0;
    E->A1 = 0;
    E->A2 = 0;
    E->A3 = 0;
    E->d1 = 0;
    E->d3 = 0;
    E->d5 = 0;
    E->count = 0;
}

//Função
void Sv_alfabeta_CALC(SV_ALFABETA *E)
{
    //adequação maginitude vetor
    //E->vAlfa2 = -(0.816496580928)*E->vAlfa;
   // E->vBeta2 = -(0.816496580928)*E->vBeta;
    E->vAlfa2 = E->vAlfa;
    E->vBeta2 = E->vBeta;


    // tensões de referência para o setor
    E->Vref1 = E->vBeta2;
    E->Vref2 = (1.73205080757)*E->vAlfa2 - E-
>vBeta2;
    E->Vref3 = -(1.73205080757)*E->vAlfa2 - E-
>vBeta2;

    // Amplitude do sinal dos vetores
   // E->A1 = ((1.73205080757)/E->Vcc)*E-
>vBeta2;
   // E->A2 = (0.5/E->Vcc)*(3*E->vAlfa2 +
(1.73205080757)*E->vBeta2);
   // E->A3 = (0.5/E->Vcc)*(-3*E->vAlfa2 +
(1.73205080757)*E->vBeta2);

    E->A1 = ((1.73205080757))*E->vBeta2;
    E->A2 = (0.5)*(3*E->vAlfa2 +
(1.73205080757)*E->vBeta2);
    E->A3 = (0.5)*(-3*E->vAlfa2 +
(1.73205080757)*E->vBeta2);

    if(E->Vref1 > 0 && E->Vref2 > 0 && E->Vref3
<= 0) //verifica se está no setor 1
    {
        E->t1 = -E->A3;
        E->t2 = E->A1;
        E->t0 = 1 - E->t1 - E->t2;

        E->d1 = E->t0*0.5;
        E->d3 = E->t0*0.5 + E->t1;
        E->d5 = E->t0*0.5 + E->t1 + E->t2;
        E->setor = 1;

    }
    else if(E->Vref1 > 0 && E->Vref2 <= 0 && E-
>Vref3 <= 0) //verifica se está no setor 2
    {
        E->t1 = E->A3;
        E->t2 = E->A2;
        E->t0 = 1 - E->t1 - E->t2;

        E->d1 = E->t0*0.5 + E->t1;
        E->d3 = E->t0*0.5;
```

```
        E->d5 = E->t0*0.5 + E->t1 + E->t2;
        E->setor = 2;
    }
    else if(E->Vref1 > 0 && E->Vref2<=0 && E-
>Vref3 > 0) //verifica se está no setor 3
    {
        E->t1 = E->A1;
        E->t2 = -E->A2;
        E->t0 = 1 - E->t1 - E->t2;

        E->d1 = E->t0*0.5 + E->t1 + E->t2;
        E->d3 = E->t0*0.5;
        E->d5 = E->t0*0.5 + E->t1;
        E->setor = 3;
    }
    else if(E->Vref1 <= 0 && E->Vref2<=0 && E-
>Vref3 > 0) //verifica se está no setor 4
    {
        E->t1 = -E->A1;
        E->t2 = E->A3;
        E->t0 = 1 - E->t1 - E->t2;

        E->d1 = E->t0*0.5 + E->t1 + E->t2;
        E->d3 = E->t0*0.5 + E->t1;
        E->d5 = E->t0*0.5;
        E->setor = 4;
    }
    else if(E->Vref1 <= 0 && E->Vref2>0 && E-
>Vref3 > 0) //verifica se está no setor 5
    {
        E->t1 = -E->A2;
        E->t2 = -E->A3;
        E->t0 = 1 - E->t1 - E->t2;

        E->d1 = E->t0*0.5 + E->t1;
        E->d3 = E->t0*0.5 + E->t1 + E->t2;
        E->d5 = E->t0*0.5;
        E->setor = 5;
    }
    else if(E->Vref1 <= 0 && E->Vref2>0 && E-
>Vref3 <= 0) //verifica se está no setor 6
    {
        E->t1 = E->A2;
        E->t2 = -E->A1;
        E->t0 = 1 - E->t1 - E->t2;

        E->d1 = E->t0*0.5;
        E->d3 = E->t0*0.5 + E->t1 + E->t2;
        E->d5 = E->t0*0.5 + E->t1;
        E->setor = 6;
    }
    else // verificação de erro
    {
        E->t1 = 0;
        E->t2 = 0;
        E->t0 = 0;

        E->d1 = 0;
        E->d3 = 0;
        E->d5 = 0;
        E->setor = 0;
    }
}


//Função ABC_DQ0_POS_F_H
#ifndef ABC_DQ0_POS_F_H
#define ABC_DQ0_POS_F_H

//************ Structure Definition ********//
typedef struct{
        float32 a;
        float32 b;
        float32 c;
        float32 alpha;
        float32 beta;
        float32 sin;
        float32 cos;
        float32 d;
        float32 q;
        float32 z;
}ABC_DQ0_POS_F;

//************ Function Declarations *******//
void ABC_DQ0_POS_F_init(ABC_DQ0_POS_F *v);
void ABC_DQ0_POS_F_FUNC(ABC_DQ0_POS_F *v);

//************ Macro Definition ************//
#define ABC_DQ0_POS_F_MACRO(v)
                                        \
        v.alpha=(0.6666666667)*(v.a - 0.5*(v.b
+ v.c));\
        v.beta=(0.57735026913)*(v.b - v.c);
                                        \
        v.z =0.57735026913*(v.a + v.b + v.c);
                                \
        v.d=v.alpha*v.cos + v.beta*v.sin;
                                        \
        v.q=-v.alpha*v.sin + v.beta*v.cos;


#endif /* ABC_DQ0_POS_F_H_ */

#include "Solar_F.h" //biblioteca do con-
trolsuite (Texas Instruments)

//************ Structure Init Function ****//
void ABC_DQ0_POS_F_init(ABC_DQ0_POS_F *v){
        v->a=0;
        v->b=0;
        v->c=0;
        v->alpha=0;
        v->beta=0;
        v->z=0;
        v->d=0;
        v->q=0;
}

//************ Function Definition ********//
void ABC_DQ0_POS_F_FUNC(ABC_DQ0_POS_F *v){
        v->alpha=(0.6666666667)*(v->a-0.5*(v-
>b+v->c));
        v->beta=(0.57735026919)*(v->b-v->c);
        //v->alpha=(0.816496580928)*(v->a-
0.5*(v->b+v->c)); //correção da potência
//      v-
>beta=(0.816496580928)*(0.866025403785)*(v->b-
v->c);
        v->z =(0.816496580928)*(v->a+v->b+v-
>c);
        v->d=v->alpha*v->cos+v->beta*v->sin;
        v->q=-v->alpha*v->sin+v->beta*v->cos;
}


//Função DQ0_ABC_F_H
#ifndef DQ0_ABC_F_H
#define DQ0_ABC_F_H

//************ Structure Definition ********//
typedef struct{
        float32 a;
        float32 b;
        float32 c;
        float32 alpha;
        float32 beta;
        float32 sin;
        float32 cos;
```

```
        float32 d;
        float32 q;
        float32 z;
}DQ0_ABC_F;

//*********** Function Declarations *******//
void DQ0_ABC_F_init(DQ0_ABC_F *v);
void DQ0_ABC_F_FUNC(DQ0_ABC_F *v);

//*********** Macro Definition ***********//
#define DQ0_ABC_F_MACRO(v)
                                        \
        v.alpha = v.d*v.cos - v.q*v.sin;
                        \
        v.beta  = v.d*v.sin + v.q*v.cos;
                        \
        v.a = v.alpha + 0.5*v.z;
                                \
        v.b = -0.5*v.alpha + 0.8660254*v.beta +
0.5*v.z;\
        v.c = -0.5*v.alpha - 0.8660254*v.beta +
0.5*v.z;


#endif /* DQ0_ABC_F_H_ */
#include "Solar_F.h" //biblioteca do con-
trolsuite (Texas Instruments)

//*********** Structure Init Function ****//
void DQ0_ABC_F_init(DQ0_ABC_F *v)
{
        v->a=0;
        v->b=0;
        v->c=0;
        v->alpha=0;
        v->beta=0;
        v->z=0;
        v->d=0;
        v->q=0;
}

//*********** Function Definition ********//
void DQ0_ABC_F_FUNC(DQ0_ABC_F *v)
{
        v->alpha = v->d*v->cos - v->q*v->sin;
        v->beta  = v->d*v->sin + v->q*v->cos;
        //v->a = (0.816496580928)*v->alpha +
0.5*v->z;
        //v->b = -0.5*(0.816496580928)*v->alpha
+ (0.707106781187)*v->beta + 0.5*v->z;
        //v->c = -0.5*(0.816496580928)*v->alpha
- (0.707106781187)*v->beta + 0.5*v->z;
        v->a = v->alpha + 0.5*v->z;
        v->b = -0.5*v->alpha + 0.8660254*v-
>beta + 0.5*v->z;
        v->c = -0.5*v->alpha - 0.8660254*v-
>beta + 0.5*v->z;
}


//Funções do CLA
/*
 * config_CLA.h
 *
 *  Created on: 26 de set de 2022
 *      Author: andre
 */

#ifndef CLA1_CONFIG_H_
#define CLA1_CONFIG_H_
#include "CLA1.h"
#include "F28x_PRoject.h"
void CLA1_ConfigCLAMemory(void);
void CLA1_InitCpu1Cla1(void);
__interrupt void CLA1_isr1(void);
__interrupt void CLA1_isr2(void);
__interrupt void CLA1_isr3(void);
__interrupt void CLA1_isr4(void);
__interrupt void CLA1_isr5(void);
__interrupt void CLA1_isr6(void);
__interrupt void CLA1_isr7(void);
__interrupt void CLA1_isr8(void);

//Run CLA by software
//ClaForceTask1andWait();
//ClaForceTask1

#endif /* CLA1_CONFIG_H_ */
/*
 * config_CLA.c
 *
 *  Created on: 26 de set de 2022
 *      Author: andre
 */
#include "CLA1_Config.h"

void CLA1_ConfigCLAMemory(void)
{
    extern uint32_t Cla1funcsRunStart,
Cla1funcsLoadStart, CLa1funcsLoadSize;
    EALLOW;
#ifdef _FLASH
    // Copy over code from FLASH to RAM
    memcpy((uint32_t *)&Cla1funcsRunStart,
(uint32_t *)&Cla1funcsLoadStart, (uint32_t
*)&Cla1funcsLoadSize);
#endif // _FLASH
    // Initialize and wait for CLA1ToCPUMsgRAM
    MemCfgRegs.MSGxINIT.bit.INIT_CLA1TOCPU = 1;
    while(MemCfgRegs.MSGxI-
NITDONE.bit.INITDONE_CLA1TOCPU != 1){};
    // Initialize and wait for CLA1ToCPUMsgRAM
    MemCfgRegs.MSGxINIT.bit.INIT_CPUTOCLA1 = 1;
    while(MemCfgRegs.MSGxI-
NITDONE.bit.INITDONE_CPUTOCLA1 != 1){};
    // Select LS5RAM to be the memory space for
CLA (1) or CPU (0)
    // First configure the CLA to be the master
for LS5 and then set the space to be a program
block
    MemCfgRegs.LSxMSEL.bit.MSEL_LS5 = 1; //me-
moria para programa
    MemCfgRegs.LSxCLAPGM.bit.CLAPGM_LS5 = 1;
    // Select LS0RAM and LS1RAM to be the me-
mory space for CLA (1)
    // First configure the CLA to be the master
for LS5 and then set the space to be a program
block
    MemCfgRegs.LSxMSEL.bit.MSEL_LS0 = 1;  //me-
moria das variaveis
    MemCfgRegs.LSxCLAPGM.bit.CLAPGM_LS0 = 0;
    MemCfgRegs.LSxMSEL.bit.MSEL_LS1 = 1;
    MemCfgRegs.LSxCLAPGM.bit.CLAPGM_LS1 = 0;
    EDIS;
}

void CLA1_InitCpu1Cla1(void)
{
    EALLOW;
    CpuSysRegs.PCLKCR0.bit.CLA1 = 1;
    CpuSysRegs.PCLKCR0.bit.DMA = 1;

    Cla1Regs.MVECT1 = (uint16_t)(&CLA1Task1);
//endereço da funcao
    Cla1Regs.MVECT2 = (uint16_t)(&CLA1Task2);
    Cla1Regs.MVECT3 = (uint16_t)(&CLA1Task3);
    Cla1Regs.MVECT4 = (uint16_t)(&CLA1Task4);
    Cla1Regs.MVECT5 = (uint16_t)(&CLA1Task5);
```

```
    Cla1Regs.MVECT6 = (uint16_t)(&CLA1Task6);
    Cla1Regs.MVECT7 = (uint16_t)(&CLA1Task7);
    Cla1Regs.MVECT8 = (uint16_t)(&CLA1Task8);

    Cla1Regs.MCTL.bit.IACKE = 1;    //acknole-
dge para acessar 16 bits
    Cla1Regs.MIER.all = M_INT1;      //habilita
a respectiva tarefa no caso a 1

    //configura os vetores para a interrupção
apos o final das tarefas
    PieVectTable.CLA1_1_INT = &CLA1_isr1; //
pode ou nao disparar interrupção ao termino da
tarefa cla
    PieVectTable.CLA1_2_INT = &CLA1_isr2; //
endereço dafuncao de interrupção
    PieVectTable.CLA1_3_INT = &CLA1_isr3;
    PieVectTable.CLA1_4_INT = &CLA1_isr4;
    PieVectTable.CLA1_5_INT = &CLA1_isr5;
    PieVectTable.CLA1_6_INT = &CLA1_isr6;
    PieVectTable.CLA1_7_INT = &CLA1_isr7;
    PieVectTable.CLA1_8_INT = &CLA1_isr8;

    // Table 6-1 spruhm8i.pdf
    // 0-> software, ClaForceTask1and Wait() or
ClaForceTask1(); //função pronta para habioli-
tar o cla por software
    //Cla1Regs.MIRUN,bit.INIT1 = 1 TASK IN EXE-
CUTION , 0 NO EXECUTION não funciona como para-
lelo

    //COMANDO PARQA ACIONAR O cla VIA SOFTWARE
para funcionamento em paralelo
    //asm(" EALLOW");
    //Cla1Regs.MIFRC.bit,INT4 = 1; //START TASK
4/
    //asm(" EDIS");

    // VERIFICAR A TABELA DE TRIGGER DO CLA NO
MANUAL TECNICO

    DmaClaSrcSelRegs.CLA1TASKSRCSEL1.bit.TASK1
= 1;   // interrupção do adcA para a tarefa 1
    DmaClaSrcSelRegs.DMACHSRCSELLOCK.bit.DMA-
CHSRCSEL1 = 0; //write 1 to lock ACESSO AO DMA
    DmaClaSrcSelRegs.DMACHSRCSELLOCK.bit.DMA-
CHSRCSEL2 = 0;

    //Enable CLA interrupts at the group and
subgroup levels
    PieCtrlRegs.PIEIER11.bit.INTx1 = 1;  // se
quiser habilitar a interrupção apos a tarefa 1
    IER |= (M_INT11 );
    EDIS;
}

/*
 * CLA.h
 *
 *  Created on: 26 de set de 2022
 *      Author: andre
 */

#ifndef CLA1_H_
#define CLA1_H_
#include "F2837xD_Cla_defines.h"
#include "CLAMath.h"
#include "F28x_Project.h"
//#incluir alguma função com variaveis que ira
utilziar no caso do exemplo o SOGI

//variaveis compartilhadas emntre CPU1 e CLA1

extern volatile float count_freq;

//offset tensão
extern volatile float Va_CLA;
extern volatile float Vb_CLA;
extern volatile float Vc_CLA;
extern volatile float Va_max_CLA;
extern volatile float Va_min_CLA;
extern volatile float Vb_max_CLA;
extern volatile float Vb_min_CLA;
extern volatile float Vc_max_CLA;
extern volatile float Vc_min_CLA;
extern volatile float offsetVa_calc; //talvez
não seja necessário ser volatil
extern volatile float offsetVb_calc; //talvez
não seja necessário ser volatil
extern volatile float offsetVc_calc; //talvez
não seja necessário ser volatil
extern volatile float Va_CLA1;
extern volatile float Vb_CLA1;
extern volatile float Vc_CLA1;
//offset corrente
extern volatile float Ia_CLA;
extern volatile float Ib_CLA;
extern volatile float Ic_CLA;
extern volatile float Ia_max_CLA;
extern volatile float Ia_min_CLA;
extern volatile float Ib_max_CLA;
extern volatile float Ib_min_CLA;
extern volatile float Ic_max_CLA;
extern volatile float Ic_min_CLA;
extern volatile float offsetIa_calc; //talvez
não seja necessário ser volatil
extern volatile float offsetIb_calc; //talvez
não seja necessário ser volatil
extern volatile float offsetIc_calc; //talvez
não seja necessário ser volatil
extern volatile float Ind_I;
extern volatile float Ia_CLA1;
extern volatile float Ib_CLA1;
extern volatile float Ic_CLA1;
extern volatile float error_offset;

extern volatile float Ia_out[16];
extern volatile float Ib_out[16];
extern volatile float Ic_out[16];
extern volatile int Ind_med_I;
extern volatile float offsetIa_calc_med;
extern volatile float offsetIb_calc_med;
extern volatile float offsetIc_calc_med;

extern volatile float Va_out[12];
extern volatile float Vb_out[12];
extern volatile float Vc_out[12];

extern volatile float offsetVa_calc_med;
extern volatile float offsetVb_calc_med;
extern volatile float offsetVc_calc_med;

//varivaeis da tarefa 1
//varivaeis da tarefa 2
//varivaeis da tarefa 3
//varivaeis da tarefa 4
//varivaeis da tarefa 5
//varivaeis da tarefa 6
//varivaeis da tarefa 7
//varivaeis da tarefa 8

//Cla ASM tasks
__interrupt void CLA1Task1(); //definições das
tarefas e NÃO das interrupções
__interrupt void CLA1Task2();
__interrupt void CLA1Task3();
__interrupt void CLA1Task4();
__interrupt void CLA1Task5();
```

```
__interrupt void CLA1Task6();
__interrupt void CLA1Task7();
__interrupt void CLA1Task8();

#endif /* CLA1_H_ */

#include "CLA1.h"
 //o cla não aceita chamar função e alguns co-
mandos, if funciona
//tarefa 1
__interrupt void CLA1Task1(void)
{
    GpioDataRegs.GPADAT.bit.GPIO15 = 1;

    if(Va_CLA1-Va_CLA < 5 && Va_CLA1-Va_CLA > -
5)
    {
        if(Va_CLA >= Va_max_CLA)
        {
            Va_max_CLA = Va_CLA;
        }
        if(Va_CLA < Va_min_CLA)
        {
            Va_min_CLA = Va_CLA;
        }
    }
    if(Vb_CLA1-Vb_CLA < 5 && Vb_CLA1-Vb_CLA > -
5)
    {
        if(Vb_CLA >= Vb_max_CLA)
        {
            Vb_max_CLA = Vb_CLA;
        }
        if(Vb_CLA < Vb_min_CLA)
        {
            Vb_min_CLA = Vb_CLA;
        }
    }
    if(Vc_CLA1-Vc_CLA < 5 && Vc_CLA1-Vc_CLA > -
5)
    {
        if(Vc_CLA >= Vc_max_CLA)
        {
            Vc_max_CLA = Vc_CLA;
        }
        if(Vc_CLA < Vc_min_CLA)
        {
            Vc_min_CLA = Vc_CLA;
        }
    }

    Va_CLA1 = Va_CLA;
    Vb_CLA1 = Vb_CLA;
    Vc_CLA1 = Vc_CLA;

// corrente


    if(Ia_CLA1-Ia_CLA < 1 && Ia_CLA1-Ia_CLA > -
1)
    {
        if(Ia_CLA >= Ia_max_CLA)
        {
            Ia_max_CLA = Ia_CLA;
        }
        if(Ia_CLA < Ia_min_CLA)
        {
            Ia_min_CLA = Ia_CLA;
        }
    }
    if(Ib_CLA1-Ib_CLA < 1 && Ib_CLA1-Ib_CLA > -
1)
    {
        if(Ib_CLA >= Ib_max_CLA)
        {
            Ib_max_CLA = Ib_CLA;
        }
        if(Ib_CLA < Ib_min_CLA)
        {
            Ib_min_CLA = Ib_CLA;
        }
    }

    if(Ic_CLA1-Ic_CLA < 1 && Ic_CLA1-Ic_CLA > -
1)
    {
        if(Ic_CLA >= Ic_max_CLA)
        {
            Ic_max_CLA = Ic_CLA;
        }
        if(Ic_CLA < Ic_min_CLA)
        {
            Ic_min_CLA = Ic_CLA;
        }
    }


    //atualizar off set a cada 4670 ciclos
    Ind_I = Ind_I + 1;
    if(Ind_I >= 9340)
    {
        offsetIa_calc = (Ia_max_CLA +
Ia_min_CLA)*(0.5);
        offsetIb_calc = (Ib_max_CLA +
Ib_min_CLA)*(0.5);
        offsetIc_calc = (Ic_max_CLA +
Ic_min_CLA)*(0.5);
        Ia_max_CLA = 0;
        Ia_min_CLA = 3572;
        Ib_max_CLA = 0;
        Ib_min_CLA = 3572;
        Ic_max_CLA = 0;
        Ic_min_CLA = 3572;
        Ind_I = 0;
        Ind_med_I = 55;

        //atualizar offset de tensão
        offsetVa_calc = (Va_max_CLA +
Va_min_CLA)*(0.5);
        offsetVb_calc = (Vb_max_CLA +
Vb_min_CLA)*(0.5);
        offsetVc_calc = (Vc_max_CLA +
Vc_min_CLA)*(0.5);
        Va_max_CLA = 0;
        Va_min_CLA = 3572;
        Vb_max_CLA = 0;
        Vb_min_CLA = 3572;
        Vc_max_CLA = 0;
        Vc_min_CLA = 3572;

        //media movel corrente
        Ia_out[15] = Ia_out[14];
        Ia_out[14] = Ia_out[13];
        Ia_out[13] = Ia_out[12];
        Ia_out[12] = Ia_out[11];
        Ia_out[11] = Ia_out[10];
        Ia_out[10] = Ia_out[9];
        Ia_out[9] = Ia_out[8];
        Ia_out[8] = Ia_out[7];
        Ia_out[7] = Ia_out[6];
        Ia_out[6] = Ia_out[5];
        Ia_out[5] = Ia_out[4];
        Ia_out[4] = Ia_out[3];
        Ia_out[3] = Ia_out[2];
        Ia_out[2] = Ia_out[1];
        Ia_out[1] = Ia_out[0];
        Ia_out[0] = offsetIa_calc;
```

```
        offsetIa_calc_med = (Ia_out[15] +
Ia_out[14] + Ia_out[13] + Ia_out[12] +
Ia_out[11] + Ia_out[10] + Ia_out[9] +
                            Ia_out[8] +
Ia_out[7] + Ia_out[6] + Ia_out[5] + Ia_out[4] +
Ia_out[3] + Ia_out[2] +
                            Ia_out[1] +
Ia_out[0])*0.0625;

        Ib_out[15] = Ib_out[14];
        Ib_out[14] = Ib_out[13];
        Ib_out[13] = Ib_out[12];
        Ib_out[12] = Ib_out[11];
        Ib_out[11] = Ib_out[10];
        Ib_out[10] = Ib_out[9];
        Ib_out[9] = Ib_out[8];
        Ib_out[8] = Ib_out[7];
        Ib_out[7] = Ib_out[6];
        Ib_out[6] = Ib_out[5];
        Ib_out[5] = Ib_out[4];
        Ib_out[4] = Ib_out[3];
        Ib_out[3] = Ib_out[2];
        Ib_out[2] = Ib_out[1];
        Ib_out[1] = Ib_out[0];
        Ib_out[0] = offsetIb_calc;

        offsetIb_calc_med = (Ib_out[15] +
Ib_out[14] + Ib_out[13] + Ib_out[12] +
Ib_out[11] + Ib_out[10] + Ib_out[9] +
                            Ib_out[8] +
Ib_out[7] + Ib_out[6] + Ib_out[5] + Ib_out[4] +
Ib_out[3] + Ib_out[2] +
                            Ib_out[1] +
Ib_out[0])*0.0625;

        Ic_out[15] = Ic_out[14];
        Ic_out[14] = Ic_out[13];
        Ic_out[13] = Ic_out[12];
        Ic_out[12] = Ic_out[11];
        Ic_out[11] = Ic_out[10];
        Ic_out[10] = Ic_out[9];
        Ic_out[9] = Ic_out[8];
        Ic_out[8] = Ic_out[7];
        Ic_out[7] = Ic_out[6];
        Ic_out[6] = Ic_out[5];
        Ic_out[5] = Ic_out[4];
        Ic_out[4] = Ic_out[3];
        Ic_out[3] = Ic_out[2];
        Ic_out[2] = Ic_out[1];
        Ic_out[1] = Ic_out[0];
        Ic_out[0] = offsetIc_calc;

         offsetIc_calc_med = (Ic_out[15] +
Ic_out[14] + Ic_out[13] + Ic_out[12] +
Ic_out[11] + Ic_out[10] + Ic_out[9] +
                            Ic_out[8] +
Ic_out[7] + Ic_out[6] + Ic_out[5] + Ic_out[4] +
Ic_out[3] + Ic_out[2] +
                            Ic_out[1] +
Ic_out[0])*0.0625;

         //media movel tensão
         Va_out[11] = Va_out[10];
         Va_out[10] = Va_out[9];
         Va_out[9] = Va_out[8];
         Va_out[8] = Va_out[7];
         Va_out[7] = Va_out[6];
         Va_out[6] = Va_out[5];
         Va_out[5] = Va_out[4];
         Va_out[4] = Va_out[3];
         Va_out[3] = Va_out[2];
         Va_out[2] = Va_out[1];
         Va_out[1] = Va_out[0];
         Va_out[0] = offsetVa_calc;

         offsetVa_calc_med = (Va_out[11] +
Va_out[10] + Va_out[9] + Va_out[8] + Va_out[7]
+ Va_out[6] + Va_out[5] +
                             Va_out[4] +
Va_out[3] + Va_out[2] + Va_out[1] +
Va_out[0])*0.0833;

         Vb_out[11] = Vb_out[10];
         Vb_out[10] = Vb_out[9];
         Vb_out[9] = Vb_out[8];
         Vb_out[8] = Vb_out[7];
         Vb_out[7] = Vb_out[6];
         Vb_out[6] = Vb_out[5];
         Vb_out[5] = Vb_out[4];
         Vb_out[4] = Vb_out[3];
         Vb_out[3] = Vb_out[2];
         Vb_out[2] = Vb_out[1];
         Vb_out[1] = Vb_out[0];
         Vb_out[0] = offsetVb_calc;

         offsetVb_calc_med = (Vb_out[11] +
Vb_out[10] + Vb_out[9] +
                             Vb_out[8] +
Vb_out[7] + Vb_out[6] + Vb_out[5] + Vb_out[4] +
Vb_out[3] + Vb_out[2] +
                             Vb_out[1] +
Vb_out[0])*0.0833;

         Vc_out[11] = Vc_out[10];
         Vc_out[11] = Vc_out[9];
         Vc_out[9] = Vc_out[8];
         Vc_out[8] = Vc_out[7];
         Vc_out[7] = Vc_out[6];
         Vc_out[6] = Vc_out[5];
         Vc_out[5] = Vc_out[4];
         Vc_out[4] = Vc_out[3];
         Vc_out[3] = Vc_out[2];
         Vc_out[2] = Vc_out[1];
         Vc_out[1] = Vc_out[0];
         Vc_out[0] = offsetVc_calc;

          offsetVc_calc_med = (Vc_out[11] +
Vc_out[10] + Vc_out[9] + Vc_out[8] + Vc_out[7]
+ Vc_out[6] +
                    Vc_out[5] + Vc_out[4] +
Vc_out[3] + Vc_out[2] +
                             Vc_out[1] +
Vc_out[0])*0.0833;
    }


    /*if((offsetIa_calc - offsetIb_calc) < 100
&& (offsetIa_calc - offsetIb_calc) > 100)
    {
        error_offset = 1;
    }

    if((offsetIa_calc - offsetIc_calc) < 100 &&
(offsetIa_calc - offsetIc_calc) > 100)
    {
        error_offset = 1;
    }*/

    Ia_CLA1 = Ia_CLA;
    Ib_CLA1 = Ib_CLA;
    Ic_CLA1 = Ic_CLA;

    GpioDataRegs.GPADAT.bit.GPIO15 = 0;
    asm(" MSTOP"); //indica o fim da tarefa
}

__interrupt void CLA1Task2(void)
{
```

```
    asm(" MSTOP"); //indica o fim da tarefa
}
__interrupt void CLA1Task3(void)
{
    asm(" MSTOP"); //indica o fim da tarefa
}
__interrupt void CLA1Task4(void)
{
    asm(" MSTOP"); //indica o fim da tarefa
}
__interrupt void CLA1Task5(void)
{
    asm(" MSTOP"); //indica o fim da tarefa
}
__interrupt void CLA1Task6(void)
{
    asm(" MSTOP"); //indica o fim da tarefa
}
__interrupt void CLA1Task7(void)
{
    asm(" MSTOP"); //indica o fim da tarefa
}
__interrupt void CLA1Task8(void)
{
    asm(" MSTOP"); //indica o fim da tarefa
}
```

Segunda Etapa – Função Principal

```
int main(void)
{
    //rotina de inicialização do microcontrolador
    InitSysCtrl();
//Initialize System Control; //foram desabilitados clocks de perifericos não utilizados
    DINT;
//Disable CPU Interrupts
    InitPieCtrl();
//Initialize the PIE control registers to their default state
    IER = 0x0000;
//Disable CPU interrupts // para as 12 linhas
    IFR = 0x0000;
//Clear all CPU interrupts flags // desabilitou as 16 colunas de cada linha
    InitPieVectTable();
//Initialize the PIE vector table

    //Chama as funções de configuração dos periféricos
    Setup_ePWM();
    Setup_GPIO();
    DELAY_US(320000);         //tempo para inicialização do módulo de potência
    Setup_ADC_A();
    Setup_ADC_B();
    Setup_ADC_C();
    CLA1_ConfigCLAMemory();
    CLA1_InitCpu1Cla1();

    //Configura a interrupção do ADC na matriz de interrupção
    EALLOW;
    PieVectTable.ADCA1_INT = &isr_adc; //linka a nossa função de interrupçao com a default
    //PieVectTable.EPWM1_TZ_INT = &isr_epwm_trip; //habilitar o trip zone do epwm1
    PieVectTable.EPWM4_TZ_INT = &isr_epwm_trip;
    PieCtrlRegs.PIEIER1.bit.INTx1 = 1;   //habilita na matriz de interrupção a linha 1 com a coluna 1
    //PieCtrlRegs.PIEIER2.bit.INTx1 = 1;  //habilita na matriz de interrupção a linha 2 com a coluna 2
    PieCtrlRegs.PIEIER2.bit.INTx4 = 1;  //habilita na matriz de interrupção a linha 2 com a coluna 2
    PieCtrlRegs.PIEIER2.bit.INTx5 = 1;  //habilita na matriz de interrupção a linha 2 com a coluna 2
    PieCtrlRegs.PIEIER2.bit.INTx6 = 1;  //habilita na matriz de interrupção a linha 2 com a coluna 2

    EDIS;
    IER |= (M_INT1|M_INT2);          //habilita a  linha 1 inteira e a linha 2 inteira


    //inicializando a modulação vetorial
    Sv_alfabeta_ENT(&sv_alfabeta);
    //inicializar SOGI PLL

SOGI_3ph_ENT(60,0.0000357199917712,&sogi_3ph);
//60 HZ e passo 2pi() de 1/27995.527166 kHz
    //ganho de desacoplamento para corrente da rede
    kdes = 0.070297;
    //GpioDataRegs.GPADAT.bit.GPIO29 = 0;
    //Inicializar as variaveis de calculo de offset

    for(Ind_med_I = 0;Ind_med_I<16;Ind_med_I++)
    {
        Ia_out[Ind_med_I] = 2233;
        Ib_out[Ind_med_I] = 2232;
        Ic_out[Ind_med_I] = 2244;
    }
    Ind_med_I = 0;
    for(Ind_med_I = 0;Ind_med_I<12;Ind_med_I++)
    {
        Va_out[Ind_med_I] = 2236;
        Vb_out[Ind_med_I] = 2232;
        Vc_out[Ind_med_I] = 2245;
    }
    Ia_max_CLA = 2233;
    Ia_min_CLA = 2233;
    Ib_max_CLA = 2232;
    Ib_min_CLA = 2232;
    Ic_max_CLA = 2244;
    Ic_min_CLA = 2244;

    Va_max_CLA = 2236;
    Va_min_CLA = 2236;
    Vb_max_CLA = 2232;
    Vb_min_CLA = 2232;
    Vc_max_CLA = 2245;
    Vc_min_CLA = 2245;

    urrede_config = 1; //define quais as malhas de controle serão implementadas pela configuração da urrede

    //define os valores de referência para a urrede
    vCd_n = 326,6 * HCv;
    fn_n = 60;
    Vcc_n = 725 * Hcc;
    Ve_n = 725 * Hcc;
    Ve_max = 797.5 * Hcc;
    fn_max = 61;
```

```
    //ganhos de realimentação
    Hri = 0;
    Hii = 0;
    HvC = 0;
    Hcc = 0;

    //índices droop
    kiqV = 0;
    kfid = 0;
    kidVe = 0;
    kVeid = 0;
    kB1 = 0;
    kVf = 0;
    kB3 = 0;
    kfV = 0;


    while(1)
    {
//botão de segurança desliga a saida do PWM se
0 e habilita se 1
        b_seg = GpioDataRegs.GPADAT.bit.GPIO5;
        if(b_seg == 0)
        {
            b_seg_1 = 0;
        }
        if(vcc >= 350) //  75.8V
        {
            b_seg = 0;
            vcc_seg = 1;
        }

        // se quiser que o pwm volte
        EALLOW;
        EPwm6Regs.TZCLR.bit.OST = 1;
        EPwm6Regs.TZCLR.bit.INT = 1;
        EPwm5Regs.TZCLR.bit.OST = 1;
        EPwm5Regs.TZCLR.bit.INT = 1;
        EPwm4Regs.TZCLR.bit.OST = 1;
        EPwm4Regs.TZCLR.bit.INT = 1;
        EDIS;

        if(b_seg == 1)
        {
            //deasabilita as interrupções
            DINT;

            EALLOW;

            //desabilita o clock do pwm
            CpuSysRegs.PCLKCR2.bit.EPWM1 = 0;
// desativar o clock do EPWM1 trigger ADC
            CpuSysRegs.PCLKCR2.bit.EPWM4 = 0;
// desativar o clock do EPWM1 trigger ADC
            CpuSysRegs.PCLKCR2.bit.EPWM5 = 0;
// desativar o clock do EPWM1 trigger ADC
            CpuSysRegs.PCLKCR2.bit.EPWM6 = 0;
// desativar o clock do EPWM1 trigger ADC
            CpuSysRegs.PCLKCR0.bit.TBCLKSYNC =
0; // desabilita os pwms

            EDIS;

            //desabilita o level shifted do pwm
            GpioDataRegs.GPADAT.bit.GPIO29 = 0;
            pwm_on = GpioDataRegs.GPA-
DAT.bit.GPIO29;


            //FALTA DE FASE
            faltaA = GpioData-
Regs.GPCDAT.bit.GPIO64;
            faltaB = GpioDataRegs.GPA-
DAT.bit.GPIO26;
            faltaC = GpioDataRegs.GPA-
DAT.bit.GPIO27;
            while (vcc_seg == 1)
            {
                //deasabilita as interrupções
                DINT;
            }
        }
        else
        {
            //habilita o clock do pwm
            EALLOW;
            CpuSysRegs.PCLKCR2.bit.EPWM1 = 1;
// ativar o clock do EPWM1 trigger ADC
            CpuSysRegs.PCLKCR2.bit.EPWM4 = 1;
// desativar o clock do EPWM1 trigger ADC
            CpuSysRegs.PCLKCR2.bit.EPWM5 = 1;
// desativar o clock do EPWM1 trigger ADC
            CpuSysRegs.PCLKCR2.bit.EPWM6 = 1;
// desativar o clock do EPWM1 trigger ADC
            CpuSysRegs.PCLKCR0.bit.TBCLKSYNC =
1; // Habilita os pwms
            EDIS;
            //habilita pwm
            GpioDataRegs.GPASET.bit.GPIO29 = 1;
            pwm_on = GpioDataRegs.GPA-
DAT.bit.GPIO29;
            //habilita as interrupções
            EINT;               //Enable Global
Interrupt INTM
            ERTM;               //Enable GLobal
realtime interrupts DBGM / usado para debug

            //FALTA DE FASE
            faltaA = GpioData-
Regs.GPCDAT.bit.GPIO64;
            faltaB = GpioDataRegs.GPA-
DAT.bit.GPIO26;
            faltaC = GpioDataRegs.GPA-
DAT.bit.GPIO27;
        }

    }
}
```

Terceira Etapa – Função de Interrupção do AD

```
    GpioDataRegs.GPADAT.bit.GPIO14 = 1;
    //malha fechada
    // adc A tem  maior núemro de socs e aciona
a interrupção
    //linha que garante que o soc b terminou a
conversão antes do soc A
    while(!AdcbRegs.ADCINTFLG.bit.ADCINT1);
    //linha que garante que o soc C terminou a
conversão antes do soc A
    while(!AdccRegs.ADCINTFLG.bit.ADCINT1);

    //atribuir valores do ADC
    //adc antes da média
    //adc a
    vCc = AdcaResultRegs.ADCRESULT0; //va e vc
estão invertidos no hardware, ANTIGO VA
    ira_1 = AdcaResultRegs.ADCRESULT1;
    ira_2 = AdcaResultRegs.ADCRESULT2;
    ira_3 = AdcaResultRegs.ADCRESULT3; //senso-
res estão invertidos ANTIGO ICR
    ira_4 = AdcaResultRegs.ADCRESULT4;
    PTC = AdcaResultRegs.ADCRESULT5;
    //adc b
    irc_1 = AdcbResultRegs.ADCRESULT0;
```

```
    irc_2 = AdcbResultRegs.ADCRESULT1;
    vCa = AdcbResultRegs.ADCRESULT2; //ANTIGO
VC
    irc_3 = AdcbResultRegs.ADCRESULT3; // AN-
TIGO IAR
    irc_4 = AdcbResultRegs.ADCRESULT4;
    //adc c
    Vcc = AdccResultRegs.ADCRESULT0;
    vCb = AdccResultRegs.ADCRESULT1;
    irb_1 = AdccResultRegs.ADCRESULT2;
    irb_2 = AdccResultRegs.ADCRESULT3;
    irb_3 = AdccResultRegs.ADCRESULT4;
    irb_4 = AdccResultRegs.ADCRESULT5;

    //média das correntes
    ira_med = ((float32)ira_1 + (float32)ira_2
+ (float32)ira_3 + (float32)ira_4)*0.25;
    irb_med = ((float32)irb_1 + (float32)irb_2
+ (float32)irb_3 + (float32)irb_4)*0.25;
    irc_med = ((float32)irc_1 + (float32)irc_2 +
(float32)irc_3 + (float32)irc_4)*0.25;


    //cálculo do offset em paralelo
    Va_CLA = (float32)vCa;
    Vb_CLA = (float32)vCb;
    Vc_CLA = (float32)vCc;
    //calculo do offset em paralelo
    Ia_CLA = (float32)ira_med;
    Ib_CLA = (float32)ira_med;
    Ic_CLA = (float32)irc_med;


    if(urrede_config == 1 || urrede_config ==
4)
    {
        // tensão abc para dq
        ABC_DQ0_POS_F_init(&abc_dq0); //inicia-
liza os valores da função
        vCa_of = ((float32)vCa)-
offsetVa_calc_med; //a média é calc. no CLA
        vCb_of = ((float32)vCb)-
offsetVb_calc_med;
        vCc_of = ((float32)vCc)-
offsetVc_calc_med;
        abc_dq0.a = vCA_of;
        abc_dq0.b = vCb_of;
        abc_dq0.c = vCc_of;
        abc_dq0.sin =(float)__sin(teta);//o
teta é definido no PLL
        abc_dq0.cos =(float)__cos(teta);
        ABC_DQ0_POS_F_FUNC(&abc_dq0);
        //calcula os valores dq
        vCd = abc_dq0.d;
        vCq = abc_dq0.q;

        // corrente abc para dq
        ABC_DQ0_POS_F_init(&abc_dq0); //inicia-
liza os valores da função
        ira_of = ((float32)vCa)-
offsetVa_calc_med; //a média é calc. no CLA
        irb_of = ((float32)vCb)-
offsetVb_calc_med;
        irc_of = ((float32)vCc)-
offsetVc_calc_med;
        abc_dq0.a = ira_of;
        abc_dq0.b = irb_of;
        abc_dq0.c = irc_of;
        abc_dq0.sin =(float)__sin(teta);//o
teta é definido no PLL
        abc_dq0.cos =(float)__cos(teta);
        ABC_DQ0_POS_F_FUNC(&abc_dq0);
        //calcula os valores dq
        ird = abc_dq0.d;
        irq = abc_dq0.q;

        //SRF-PLL SOGI
      sogi_3ph.Valfa_main = abc_dq0.alpha;
//valor de vCalfa, vCbeta, sin e cos calculados
pela função da transformada ABC_DQ0_POS_F
      sogi_3ph.Vbeta_main = abc_dq0.beta;
      sogi_3ph.seno = abc_dq0.sin;
      sogi_3ph.coseno = abc_dq0.cos;
      SOGI_3ph_CALC(&sogi_3ph);
      teta = sogi_3ph.wt;
      fo = sogi_3ph.fo;

        //Droop CC
      ird_e = ird;
        //filtro PB 100 Hz
        Er_FPB_2 = Er_FPB_1;
        Er_FPB_1 = ird_e;
        Gan_FPB_1 = ird_s;
        ird_s = 0.0110955* Er_FPB_1+
0.0110955* Er_FPB_2 -(-0.97780903* Gan_FPB_1);
        Ve_s = Ve_n + (kidVe*ird_s);

        //Droop inverso CA
      vCd_e = vCd;
        //filtro PB 100 Hz
        Er_FPB_4 = Er_FPB_3;
        Er_FPB_3 = vCd_e;
        Gan_FPB_2 = vCd_s;
        vCd_s = 0.0110955* Er_FPB_3+
0.0110955* Er_FPB_4 -(-0.97780903* Gan_FPB_2);
        irq_s = (vCd_s - vCd_n) * kiqV;
        irq_ref = irq_s; //sinal de referência
para a malha de corrente

        //Malha de controle de tensão CC
        Ve_ref = Ve_s;
        //compensador tensão CC
        Er_vcc_2 = Er_vcc_1;
        Er_vcc_1 = Ve_ref - Vcc;
        Gan_vcc_1 = ird_ref;
        ird_ref = 1.995* Er_vcc_1 -1.994*
Er_vcc_2 -(- Gan_vcc_1); //sinal de referência
para a malha de corrente

        //Malha de controle de Corrente
        Cid_e = -ird + ird_ref;
        Ciq_e = -irq + irq_ref;
        //compensador de corrente coordenada d
        Er_ird_2 = Er_ird_1;
        Er_ird_1 = -ird + ird_ref;
        Gan_ird_1 = Cid_s;
        Cid_s = 2.4930341 * Er_ird_1 -
2.4396727 * Er_ird_2 -(- Gan_ird_1);

        //compensador de corrente coordenada d
        Er_irq_2 = Er_irq_1;
        Er_irq_1 = -irq + irq_ref;
        Gan_irq_1 = Ciq_s;
        Ciq_s = 2.4930341 * Er_irq_1 -
2.4396727 * Er_irq_2 -(- Gan_irq_1);

        //Desacoplamento dos eixo d e q
        Cid_des = - Cid_s + (irq*kdes);
        Ciq_des = - Ciq_s - (ird*kdes);

        //transformada inversa de Clarke e
Park
        DQ0_ABC_F_init(&dq0_abc);
        dq0_abc.d = Cid_des;
        dq0_abc.q = Ciq_des;
        dq0_abc.z = 0;
        dq0_abc.sin = abc_dq0.sin;
```

```
        dq0_abc.cos = abc_dq0.cos;
        DQ0_ABC_F_FUNC(&dq0_abc);

        //modulação vetorial
        //chama função da modulação vetorial
        sv_alfabeta.vAlfa = dq0_abc.alpha;
        sv_alfabeta.vBeta = dq0_abc.beta;
        sv_alfabeta.Vcc = 1;
        Sv_alfabeta_CALC(&sv_alfabeta);

        //Incluir offset nos sinais de saída
da modulação vetorial
        VMa = sv_alfabeta.d1 + (float32)1786;
        VMb = sv_alfabeta.d3 + (float32)1786;
        VMc = sv_alfabeta.d5 + (float32)1786;

        //Atualiza as razões cíclicas através
dos sinais dos comparadores do PWM
        EPwm4Regs.CMPA.bit.CMPA = VMa;
        EPwm5Regs.CMPA.bit.CMPA = VMb;
        EPwm6Regs.CMPA.bit.CMPA = VMc;

        //limpar flag da interrupção
      AdccRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
//clear INT1 flag ADC C
      AdcbRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
//clear INT1 flag ADC B
      AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
//clear INT1 flag ADC A
      PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
      GpioDataRegs.GPADAT.bit.GPIO14 = 0;

    }

else if(urrede_config == 2 || urrede_config ==
3)
    {
        // tensão abc para dq
        ABC_DQ0_POS_F_init(&abc_dq0); //inicia-
liza os valores da função
        vCa_of = ((float32)vCa)-
offsetVa_calc_med; //a média é calc. no CLA
        vCb_of = ((float32)vCb)-
offsetVb_calc_med;
        vCc_of = ((float32)vCc)-
offsetVc_calc_med;
        abc_dq0.a = vCA_of;
        abc_dq0.b = vCb_of;
        abc_dq0.c = vCc_of;
        abc_dq0.sin =(float)__sin(teta);//o
teta é definido no PLL
        abc_dq0.cos =(float)__cos(teta);
        ABC_DQ0_POS_F_FUNC(&abc_dq0);
        //calcula os valores dq
        vCd = abc_dq0.d;
        vCq = abc_dq0.q;

        // corrente abc para dq
        ABC_DQ0_POS_F_init(&abc_dq0); //inicia-
liza os valores da função
        ira_of = ((float32)vCa)-
offsetVa_calc_med; //a média é calc. no CLA
        irb_of = ((float32)vCb)-
offsetVb_calc_med;
        irc_of = ((float32)vCc)-
offsetVc_calc_med;
        abc_dq0.a = ira_of;
        abc_dq0.b = irb_of;
        abc_dq0.c = irc_of;
        abc_dq0.sin =(float)__sin(teta);//o
teta é definido no PLL
        abc_dq0.cos =(float)__cos(teta);
        ABC_DQ0_POS_F_FUNC(&abc_dq0);
        //calcula os valores dq
        ird = abc_dq0.d;
        irq = abc_dq0.q;

        //SRF-PLL SOGI
      sogi_3ph.Valfa_main = abc_dq0.alpha;
//valor de vCalfa, vCbeta, sin e cos calculados
pela função da transformada ABC_DQ0_POS_F
      sogi_3ph.Vbeta_main = abc_dq0.beta;
      sogi_3ph.seno = abc_dq0.sin;
      sogi_3ph.coseno = abc_dq0.cos;
      SOGI_3ph_CALC(&sogi_3ph);
      teta = sogi_3ph.wt;
      fo = sogi_3ph.fo;

        //Droop inverso CC
      Ve_e = Vcc;
        //filtro PB 100 Hz
        Er_FPB_10 = Er_FPB_9;
        Er_FPB_9 = Ve_e;
        Gan_FPB_5 = Ve_s2;
        Ve_s2 = 0.0110955* Er_FPB_9 +
0.0110955* Er_FPB_10 -(-0.97780903* Gan_FPB_5);
        ird_s3 = (Ve_s2 - Ve_n) * kVeid;
        ird_ref = ird_s3  //sinal de referên-
cia para a malha de corrente

        //Droop inverso CA
      vCd_e = vCd;
        //filtro PB 100 Hz
        Er_FPB_4 = Er_FPB_3;
        Er_FPB_3 = vCd_e;
        Gan_FPB_2 = vCd_s;
        vCd_s = 0.0110955* Er_FPB_3+
0.0110955* Er_FPB_4 -(-0.97780903* Gan_FPB_2);
        irq_s = (vCd_s – vCd_n) * kiqV;
        irq_ref = irq_s; //sinal de referência
para a malha de corrente

         //Malha de controle de Corrente
        Cid_e = -ird + ird_ref;
        Ciq_e = -irq + irq_ref;
        //compensador de corrente coordenada d
        Er_ird_2 = Er_ird_1;
        Er_ird_1 = -ird + ird_ref;
        Gan_ird_1 = Cid_s;
        Cid_s = 2.4930341 * Er_ird_1 -
2.4396727 * Er_ird_2 –(- Gan_ird_1);

        //compensador de corrente coordenada d
        Er_irq_2 = Er_irq_1;
        Er_irq_1 = -irq + irq_ref;
        Gan_irq_1 = Ciq_s;
        Ciq_s = 2.4930341 * Er_irq_1 -
2.4396727 * Er_irq_2 –(- Gan_irq_1);

        //Desacoplamento dos eixo d e q
        Cid_des = - Cid_s + (irq*kdes);
        Ciq_des = - Ciq_s - (ird*kdes);

        //transformada inversa de Clarke e
Park
        DQ0_ABC_F_init(&dq0_abc);
        dq0_abc.d = Cid_des;
        dq0_abc.q = Ciq_des;
        dq0_abc.z = 0;
        dq0_abc.sin = abc_dq0.sin;
        dq0_abc.cos = abc_dq0.cos;
        DQ0_ABC_F_FUNC(&dq0_abc);

        //modulação vetorial
        //chama função da modulação vetorial
        sv_alfabeta.vAlfa = dq0_abc.alpha;
        sv_alfabeta.vBeta = dq0_abc.beta;
        sv_alfabeta.Vcc = 1;
```

```
         Sv_alfabeta_CALC(&sv_alfabeta);

         //Incluir offset nos sinais de saída
da modulação vetorial
         VMa = sv_alfabeta.d1 + (float32)1786;
         VMb = sv_alfabeta.d3 + (float32)1786;
         VMc = sv_alfabeta.d5 + (float32)1786;

         //Atualiza as razões cíclicas através
dos sinais dos comparadores do PWM
         EPwm4Regs.CMPA.bit.CMPA = VMa;
         EPwm5Regs.CMPA.bit.CMPA = VMb;
         EPwm6Regs.CMPA.bit.CMPA = VMc;

         //limpar flag da interrupção
       AdccRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
//clear INT1 flag ADC C
       AdcbRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
//clear INT1 flag ADC B
       AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
//clear INT1 flag ADC A
       PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
       GpioDataRegs.GPADAT.bit.GPIO14 = 0;

   }

if(urrede_config == 5)
    {
        // tensão abc para dq
        ABC_DQ0_POS_F_init(&abc_dq0); //inicia-
liza os valores da função
        vCa_of = ((float32)vCa)-
offsetVa_calc_med; //a média é calc. no CLA
        vCb_of = ((float32)vCb)-
offsetVb_calc_med;
        vCc_of = ((float32)vCc)-
offsetVc_calc_med;
        abc_dq0.a = vCA_of;
        abc_dq0.b = vCb_of;
        abc_dq0.c = vCc_of;
        abc_dq0.sin =(float)__sin(teta);//o
teta é definido no PLL
        abc_dq0.cos =(float)__cos(teta);
        ABC_DQ0_POS_F_FUNC(&abc_dq0);
        //calcula os valores dq
        vCd = abc_dq0.d;
        vCq = abc_dq0.q;

        // corrente abc para dq
        ABC_DQ0_POS_F_init(&abc_dq0); //inicia-
liza os valores da função
        ira_of = ((float32)vCa)-
offsetVa_calc_med; //a média é calc. no CLA
        irb_of = ((float32)vCb)-
offsetVb_calc_med;
        irc_of = ((float32)vCc)-
offsetVc_calc_med;
        abc_dq0.a = ira_of;
        abc_dq0.b = irb_of;
        abc_dq0.c = irc_of;
        abc_dq0.sin =(float)__sin(teta);//o
teta é definido no PLL
        abc_dq0.cos =(float)__cos(teta);
        ABC_DQ0_POS_F_FUNC(&abc_dq0);
        //calcula os valores dq
        ird = abc_dq0.d;
        irq = abc_dq0.q;

         //SRF-PLL SOGI
       sogi_3ph.Valfa_main = abc_dq0.alpha;
//valor de vCalfa, vCbeta, sin e cos calculados
pela função da transformada ABC_DQ0_POS_F
       sogi_3ph.Vbeta_main = abc_dq0.beta;
       sogi_3ph.seno = abc_dq0.sin;
       sogi_3ph.coseno = abc_dq0.cos;
       SOGI_3ph_CALC(&sogi_3ph);
       teta = sogi_3ph.wt;
       fo = sogi_3ph.fo;

         //Droop Bidirecional ird-Ve*, f-Vcc*
       ird_b3_e = ird;
         //filtro PB 100 Hz
         // ird-Ve
         Er_FPB_12 = Er_FPB_11;
         Er_FPB_11 = ird_b3_e;
         Gan_FPB_6 = ird_b3_s;
         ird_b3_s = 0.0110955* Er_FPB_11+
0.0110955* Er_FPB_12 -(-0.97780903* Gan_FPB_6);
         // f-Vcc*
         fn_b3_e = fo;  // frequência do PLL
        //filtro PB 100 Hz
        Er_FPB_14 = Er_FPB_13;
        Er_FPB_13 = fn_b3_e;
        Gan_FPB_7 = fn_b3_s;
        fn_b3_s = 0.0110955* Er_FPB_13+
0.0110955* Er_FPB_14 -(-0.97780903* Gan_FPB_7);

         Ve_b3_s = ird_be_s*kB3 +
((fn_b3_s*kfV)+Vcc_n);
         Ve_ref = Ve_b3_s; // sinal de referên-
cia para a malha de tensão CC

         // limitador do sinal de referência da
malha de tensão CC
         if(Ve_ref >= Ve_max)
         {
            Ve_ref = Ve_max;
         }
         if(Ve_ref <= 0)
         {
            Ve_ref = 0;
         }

         //Droop inverso CA
       vCd_e = vCd;
         //filtro PB 100 Hz
         Er_FPB_4 = Er_FPB_3;
         Er_FPB_3 = vCd_e;
         Gan_FPB_2 = vCd_s;
         vCd_s = 0.0110955* Er_FPB_3+
0.0110955* Er_FPB_4 -(-0.97780903* Gan_FPB_2);
         irq_s = (vCd_s - vCd_n) * kiqV;
         irq_ref = irq_s; //sinal de referência
para a malha de corrente

         //Malha de controle de tensão CC
         //compensador tensão CC
         Er_vcc_2 = Er_vcc_1;
         Er_vcc_1 = Ve_ref - Vcc;
         Gan_vcc_1 = ird_ref;
         ird_ref = 1.995* Er_vcd_1 -1.994*
Er_vcd_2 -(- Gan_vcd_1); //sinal de referência
para a malha de corrente

          //Malha de controle de Corrente
         Cid_e = -ird + ird_ref;
         Ciq_e = -irq + irq_ref;
         //compensador de corrente coordenada d
         Er_ird_2 = Er_ird_1;
         Er_ird_1 = -ird + ird_ref;
         Gan_ird_1 = Cid_s;
         Cid_s = 2.4930341 * Er_ird_1 -
2.4396727 * Er_ird_2 -(- Gan_ird_1);

         //compensador de corrente coordenada d
         Er_irq_2 = Er_irq_1;
         Er_irq_1 = -irq + irq_ref;
         Gan_irq_1 = Ciq_s;
```

```
        Ciq_s = 2.4930341 * Er_irq_1 -
2.4396727 * Er_irq_2 -(- Gan_irq_1);

        //Desacoplamento dos eixo d e q
        Cid_des = - Cid_s + (irq*kdes);
        Ciq_des = - Ciq_s - (ird*kdes);

        //transformada inversa de Clarke e
Park
        DQ0_ABC_F_init(&dq0_abc);
        dq0_abc.d = Cid_des;
        dq0_abc.q = Ciq_des;
        dq0_abc.z = 0;
        dq0_abc.sin = abc_dq0.sin;
        dq0_abc.cos = abc_dq0.cos;
        DQ0_ABC_F_FUNC(&dq0_abc);

        //modulação vetorial
        //chama função da modulação vetorial
        sv_alfabeta.vAlfa = dq0_abc.alpha;
        sv_alfabeta.vBeta = dq0_abc.beta;
        sv_alfabeta.Vcc = 1;
        Sv_alfabeta_CALC(&sv_alfabeta);

        //Incluir offset nos sinais de saída
da modulação vetorial
        VMa = sv_alfabeta.d1 + (float32)1786;
        VMb = sv_alfabeta.d3 + (float32)1786;
        VMc = sv_alfabeta.d5 + (float32)1786;

        //Atualiza as razões cíclicas através
dos sinais dos comparadores do PWM
        EPwm4Regs.CMPA.bit.CMPA = VMa;
        EPwm5Regs.CMPA.bit.CMPA = VMb;
        EPwm6Regs.CMPA.bit.CMPA = VMc;

        //limpar flag da interrupção
      AdccRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
//clear INT1 flag ADC C
      AdcbRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
//clear INT1 flag ADC B
      AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
//clear INT1 flag ADC A
      PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
      GpioDataRegs.GPADAT.bit.GPIO14 = 0;

    }

    else if(urrede_config == 6)
    {

        //Retirar offset da tensão do capaci-
tor do filtro LCL
       vCa_of = ((float32)vCa)-
offsetVa_calc_med; //a média é calc. no CLA
       vCb_of = ((float32)vCb)-
offsetVb_calc_med;
       vCc_of = ((float32)vCc)-
offsetVc_calc_med;

         //Calcular corrente do Capacitor do
filtro LCL
        vCfa_1 = vCfa;
        vCfa = (float32)vCa_of *222.3001029;
// 222.30 é o inverso do ganho da tensão sem
considerar o ganho do AD
        iCa = (((vCfa -
vCfa_1)*27995.52717)*Cf)*0.02151692;
//0.02151692 é o inverso do ganho da corrente
sem considerar o ganho do AD
        vCfb_1 = vCfb;
        vCfb = (float32)vCb_of *222.3001029;
        iCb = (((vCfb -
vCfb_1)*27995.52717)*Cf)*0.02151692;
        vCfc_1 = vCfc;
        vCfc = (float32)vCc_of *222.3001029;
        iCc = (((vCfc -
vCfc_1)*27995.52717)*Cf)*0.02151692;

        //algoritmo para gerar teta (wt)
        fn_r = fn_ref; //frequÊncia gerada na
malha de droop bidrecional
        Ta = 0.0000357199917712;
//27995.52717; //frequência de amostragem
        fpasso = (2*3.14159265359*fn)*Ta;
        wt = (wt + fpasso);
        if(wt >=  2*3.14159265359)
        {
       wt = wt - 2*3.14159265359;
        }
        teta = wt -1.570796; // desloca 90°

        //corrente do capacitor Cf abc para dq
        ABC_DQ0_POS_F_init(&abc_dq0);
        abc_dq0.a = iCa;
        abc_dq0.b = iCb;
        abc_dq0.c = iCc;
        abc_dq0.sin =(float)__sin(teta); //o
teta é definido no gerador de rampa 0 a 2pi
        abc_dq0.cos =(float)__cos(teta);
        ABC_DQ0_POS_F_FUNC(&abc_dq0);
        iCd = abc_dq0.d;
        iCq = abc_dq0.q;

       // tensão CA abc para dq
       ABC_DQ0_POS_F_init(&abc_dq0); //inicia-
liza os valores da função
       abc_dq0.a = vCA_of;
       abc_dq0.b = vCb_of;
       abc_dq0.c = vCc_of;
       abc_dq0.sin =(float)__sin(teta);//o
teta é definido no gerador de rampa 0 a 2pi
       abc_dq0.cos =(float)__cos(teta);
       ABC_DQ0_POS_F_FUNC(&abc_dq0);
       //calcula os valores dq
       vCd = abc_dq0.d;
       vCq = abc_dq0.q;

       // corrente abc para dq
       ABC_DQ0_POS_F_init(&abc_dq0); //inicia-
liza os valores da função
       ira_of = ((float32)vCa)-
offsetVa_calc_med; //a média é calc. no CLA
       irb_of = ((float32)vCb)-
offsetVb_calc_med;
       irc_of = ((float32)vCc)-
offsetVc_calc_med;
       abc_dq0.a = ira_of;
       abc_dq0.b = irb_of;
       abc_dq0.c = irc_of;
       abc_dq0.sin =(float)__sin(teta);//o
teta é definido no gerador de rampa 0 a 2pi
       abc_dq0.cos =(float)__cos(teta);
       ABC_DQ0_POS_F_FUNC(&abc_dq0);
       //calcula os valores dq
       ird = abc_dq0.d;
       irq = abc_dq0.q;

        //calcular a corrente do indutor Li
        iid = ird - iCd;
        iiq = irq - iCq;

        //Droop Bidirecional ird-Ve*, f-Vcc*
      iid_bi2_e = iid;
        //filtro PB 100 Hz
        Er_FPB_20 = Er_FPB_19;
        Er_FPB_19 = iid_bi2_e;
        Gan_FPB_10 = iid_bi2_s;
```

```
        iid_bi2_s = 0.0110955* Er_FPB_19+
0.0110955* Er_FPB_20 -(-0.97780903*
Gan_FPB_10);

        Ve_bi2_e = Vcc;
        //filtro PB 100 Hz
        Er_FPB_22 = Er_FPB_21;
        Er_FPB_21 = Ve_bi2_e;
        Gan_FPB_11 = Ve_bi2_s;
        Ve_bi2_s = 0.0110955* Er_FPB_21+
0.0110955* Er_FPB_22 -(-0.97780903*
Gan_FPB_11);

        fn_bi2_s = iid_bi2_s*kB2 + ((Ve_bi2_s-
Vcc_n)*kVf);
        fn_ref = fn_bi2_s; // sinal de refe-
rência para o gerador de wt

        // limitador do sinal de referência
para o gerador de wt
        if(fn_ref >= fn_max)
        {
           fn_ref = fn_max;
        }
        if(fn_ref <= 0)
        {
           fn_ref = 0;
        }

        //Droop CA
      iiq_e = iiq;
        //filtro PB 100 Hz
        Er_FPB_8 = Er_FPB_7;
        Er_FPB_7 = iiq_e;
        Gan_FPB_4 = iiq_s;
        iiq_s = 0.0110955* Er_FPB_3+
0.0110955* Er_FPB_4 -(-0.97780903* Gan_FPB_2);
        vCd_s = (iiq_s * kiqV) + vCd_n;

        vCd_ref = vCd_s; //sinal de referência
para a malha de tensão CA
        vCd_ref = 0;

        //Malha de controle de tensão CA
        //compensador tensão CA
        Er_vCd_2 = Er_vCd_1;
        Er_vCd_1 = vCd_ref - vCd;
        Gan_vCd_1 = ird_ref;
        ird_ref = 0.6304* Er_vcd_1 - 0.6084*
Er_vcd_2 -(-Gan_vcd_1); //sinal de referência
para a malha de corrente

         //Malha de controle de Corrente
        Cid_e = -ird + ird_ref;
        Ciq_e = -irq + irq_ref;
        //compensador de corrente coordenada d
        Er_ird_2 = Er_ird_1;
        Er_ird_1 = -ird + ird_ref;
        Gan_ird_1 = Cid_s;
        Cid_s = 2.4930341 * Er_ird_1 -
2.4396727 * Er_ird_2 -(- Gan_ird_1);

        //compensador de corrente coordenada d
        Er_irq_2 = Er_irq_1;
        Er_irq_1 = -irq + irq_ref;
        Gan_irq_1 = Ciq_s;
        Ciq_s = 2.4930341 * Er_irq_1 -
2.4396727 * Er_irq_2 -(- Gan_irq_1);

        //Desacoplamento dos eixo d e q
        Cid_des = - Cid_s + (irq*kdes);
        Ciq_des = - Ciq_s - (ird*kdes);

        //transformada inversa de Clarke e
Park
        DQ0_ABC_F_init(&dq0_abc);
        dq0_abc.d = Cid_des;
        dq0_abc.q = Ciq_des;
        dq0_abc.z = 0;
        dq0_abc.sin = abc_dq0.sin;
        dq0_abc.cos = abc_dq0.cos;
        DQ0_ABC_F_FUNC(&dq0_abc);

        //modulação vetorial
        //chama função da modulação vetorial
        sv_alfabeta.vAlfa = dq0_abc.alpha;
        sv_alfabeta.vBeta = dq0_abc.beta;
        sv_alfabeta.Vcc = 1;
        Sv_alfabeta_CALC(&sv_alfabeta);

        //Incluir offset nos sinais de saída
da modulação vetorial
        VMa = sv_alfabeta.d1 + (float32)1786;
        VMb = sv_alfabeta.d3 + (float32)1786;
        VMc = sv_alfabeta.d5 + (float32)1786;

        //Atualiza as razões cíclicas através
dos sinais dos comparadores do PWM
        EPwm4Regs.CMPA.bit.CMPA = VMa;
        EPwm5Regs.CMPA.bit.CMPA = VMb;
        EPwm6Regs.CMPA.bit.CMPA = VMc;

        //limpar flag da interrupção
      AdccRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
//clear INT1 flag ADC C
      AdcbRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
//clear INT1 flag ADC B
      AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
//clear INT1 flag ADC A
      PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
      GpioDataRegs.GPADAT.bit.GPIO14 = 0;
    }

    else if(urrede_config == 7)
    {
        // tensão abc para dq
        ABC_DQ0_POS_F_init(&abc_dq0); //inicia-
liza os valores da função
        vCa_of = ((float32)vCa)-
offsetVa_calc_med; //a média é calc. no CLA
        vCb_of = ((float32)vCb)-
offsetVb_calc_med;
        vCc_of = ((float32)vCc)-
offsetVc_calc_med;
        abc_dq0.a = vCA_of;
        abc_dq0.b = vCb_of;
        abc_dq0.c = vCc_of;
        abc_dq0.sin =(float)__sin(teta);//o
teta é definido no PLL
        abc_dq0.cos =(float)__cos(teta);
        ABC_DQ0_POS_F_FUNC(&abc_dq0);
        //calcula os valores dq
        vCd = abc_dq0.d;
        vCq = abc_dq0.q;

        // corrente abc para dq
        ABC_DQ0_POS_F_init(&abc_dq0); //inicia-
liza os valores da função
        ira_of = ((float32)vCa)-
offsetVa_calc_med; //a média é calc. no CLA
        irb_of = ((float32)vCb)-
offsetVb_calc_med;
        irc_of = ((float32)vCc)-
offsetVc_calc_med;
        abc_dq0.a = ira_of;
        abc_dq0.b = irb_of;
        abc_dq0.c = irc_of;
```

```
        abc_dq0.sin =(float)__sin(teta);//o
teta é definido no PLL
        abc_dq0.cos =(float)__cos(teta);
        ABC_DQ0_POS_F_FUNC(&abc_dq0);
        //calcula os valores dq
        ird = abc_dq0.d;
        irq = abc_dq0.q;

         //SRF-PLL SOGI
       sogi_3ph.Valfa_main = abc_dq0.alpha;
//valor de vCalfa, vCbeta, sin e cos calculados
pela função da transformada ABC_DQ0_POS_F
       sogi_3ph.Vbeta_main = abc_dq0.beta;
       sogi_3ph.seno = abc_dq0.sin;
       sogi_3ph.coseno = abc_dq0.cos;
       SOGI_3ph_CALC(&sogi_3ph);
       teta = sogi_3ph.wt;
       fo = sogi_3ph.fo;

         //Droop Bidirecional Ve,fn-ird
       Ve_bi1_e = Vcc;
         //filtro PB 100 Hz
         Er_FPB_16 = Er_FPB_15;
         Er_FPB_15 = Ve_bi1_e;
         Gan_FPB_8 = Ve_bi1_s;
         Ve_bi1_s = 0.0110955* Er_FPB_15 +
0.0110955* Er_FPB_16 -(-0.97780903* Gan_FPB_8);
         //PU
         Ve_bi1_s_pu = (Ve_bi1_s -
Ve_n*Hcc)/(Ve_max*Hcc - Ve_n*Hcc);

         fn_bi1_e = fo;
         Er_FPB_18 = Er_FPB_17;
         Er_FPB_17 = fn_bi1_e;
         Gan_FPB_9 = fn_bi1_s;
         fn_bi1_s = 0.0110955* Er_FPB_17 +
0.0110955* Er_FPB_18 -(-0.97780903* Gan_FPB_9);
         fn_bi1_s_pu = (fn_bi1_s -
fn_n)/(fn_max*Hcc - fn_n);

         e_bi1_pu = (fn_bi1_s_pu -
Ve_bi1_s_pu)*0.5;

         ird__bi1_s = e_bi1 * kB1;
         ird_ref = ird__bi1_s //sinal de refe-
rência para a malha de corrente

         //Droop inverso CA
       vCd_e = vCd;
         //filtro PB 100 Hz
         Er_FPB_4 = Er_FPB_3;
         Er_FPB_3 = vCd_e;
         Gan_FPB_2 = vCd_s;
         vCd_s = 0.0110955* Er_FPB_3+
0.0110955* Er_FPB_4 -(-0.97780903* Gan_FPB_2);
         irq_s = (vCd_s - vCd_n) * kiqV;
         irq_ref = irq_s; //sinal de referência
para a malha de corrente

          //Malha de controle de Corrente
         Cid_e = -ird + ird_ref;
         Ciq_e = -irq + irq_ref;
         //compensador de corrente coordenada d
         Er_ird_2 = Er_ird_1;
         Er_ird_1 = -ird + ird_ref;
         Gan_ird_1 = Cid_s;
         Cid_s = 2.4930341 * Er_ird_1 -
2.4396727 * Er_ird_2 -(- Gan_ird_1);
         //compensador de corrente coordenada d
         Er_irq_2 = Er_irq_1;
         Er_irq_1 = -irq + irq_ref;
         Gan_irq_1 = Ciq_s;
         Ciq_s = 2.4930341 * Er_irq_1 -
2.4396727 * Er_irq_2 -(- Gan_irq_1);

         //Desacoplamento dos eixo d e q
         Cid_des = - Cid_s + (irq*kdes);
         Ciq_des = - Ciq_s - (ird*kdes);

         //transformada inversa de Clarke e
Park
         DQ0_ABC_F_init(&dq0_abc);
         dq0_abc.d = Cid_des;
         dq0_abc.q = Ciq_des;
         dq0_abc.z = 0;
         dq0_abc.sin = abc_dq0.sin;
         dq0_abc.cos = abc_dq0.cos;
         DQ0_ABC_F_FUNC(&dq0_abc);

         //modulação vetorial
         //chama função da modulação vetorial
         sv_alfabeta.vAlfa = dq0_abc.alpha;
         sv_alfabeta.vBeta = dq0_abc.beta;
         sv_alfabeta.Vcc = 1;
         Sv_alfabeta_CALC(&sv_alfabeta);

         //Incluir offset nos sinais de saída
da modulação vetorial
         VMa = sv_alfabeta.d1 + (float32)1786;
         VMb = sv_alfabeta.d3 + (float32)1786;
         VMc = sv_alfabeta.d5 + (float32)1786;

         //Atualiza as razões cíclicas através
dos sinais dos comparadores do PWM
         EPwm4Regs.CMPA.bit.CMPA = VMa;
         EPwm5Regs.CMPA.bit.CMPA = VMb;
         EPwm6Regs.CMPA.bit.CMPA = VMc;

         //limpar flag da interrupção
       AdccRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
//clear INT1 flag ADC C
       AdcbRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
//clear INT1 flag ADC B
       AdcaRegs.ADCINTFLGCLR.bit.ADCINT1 = 1;
//clear INT1 flag ADC A
       PieCtrlRegs.PIEACK.all = PIEACK_GROUP1;
       GpioDataRegs.GPADAT.bit.GPIO14 = 0;
   }

__interrupt void CLA1_isr1(void)
{
    count_task++;
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP11;
//limpar o flag da interrupção
}


__interrupt void isr_epwm_trip(void)
{
    b_seg_1 = b_seg_1+1;
    PieCtrlRegs.PIEACK.all = PIEACK_GROUP2;
//limpar o flag da interrupção
}
```

ANEXO 1 – FICHA DE DADOS DO MÓDULO DE POTÊNCIA

Technical Information

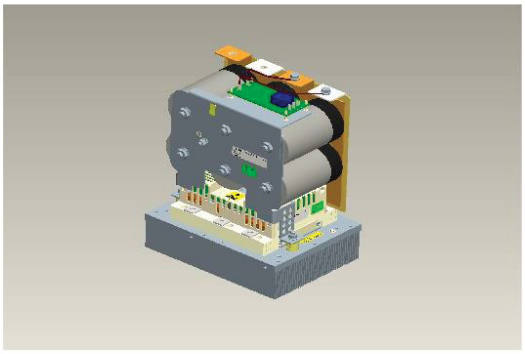
PrimeSTACK™ 6PS04512E43G37986

Preliminary data

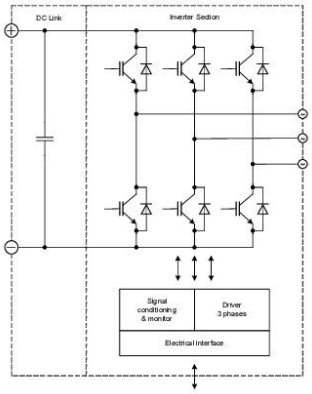
General information

IGBT STACK for typical voltage of up to 400V
Rated output current 217A

- Solar power
- Motor drivers
- 62mm IGBT power module
- Trenchstop™IGBT 4



Topology	B6I
Application	Inverter
Load type	Resistive, inductive
Semiconductor (Inverter Section)	3 x FF450R12KE4
DC Link	2.4 mF
Heatsink	Forced air colled (fan not included)
Implemented sensors	Current,voltage, temperature
Driver signals IGBT	Electrical
Design standards	EN 50178
Sales - name	6PS04512E43G37986
SP - No.	SP001046792



prepared by: OW	date of publication: 2013-10-18
approved by: AR	revision: 2.2

Technical Information

PrimeSTACK™ 6PS04512E43G37986

Preliminary data

Absolute maximum rated values

Collector-emitter voltage	IGBT; T_{vj} = 25°C	V_{CES}	1200	V
Repetitive peak reverse voltage	Diode; T_{vj} = 25°C	V_{RRM}	1200	V
DC link voltage	IGBT not swtiching	V_{DC}	900	V
Insulation management	according to installation height of 2000 m	V_{line}	500	V_{RMS}
Insulation test voltage	according to EN 50178, f = 50 Hz, t = 1 s	V_{ISOL}	2	kV_{RMS}
Repetitive peak collector current inverter section (IGBT)	t_p = 1 ms	I_{CRM2}	900	A
Repetitive peak forward current inverter section (Diode)	t_p = 1 ms	I_{FRM2}	900	A
Continuous current inverter section		I_{AC2}	270	A_{RMS}
Junction temperature	under switching conditions	T_{vjop}	150	°C
Switching frequency inverter section		f_{sw2}	14	kHz

Notes
Further maximun ratings are specified in the following dedicated sections

Characteristic values

DC Link

			min.	typ.	max.	
Rated voltage		V_{DC}		600	850	V
Over voltage shutdown	within 1000 µs			850		V
Capacitor	1 s, 6 p	C_{DC}		2.4		mF
Maximum ripple current	per device, T_{amb} = 55 °C	I_{ripple}		49		A_{RMS}
Balance or discharge resistor	per DC link unit	R_b		164		kΩ

Inverter Section

			min.	typ.	max.	
Rated continuous current	V_{DC} = 600 V, V_{AC} = 400 V_{RMS}, cos(φ) = 0.85, $f_{AC\ sine}$ = 50 Hz, f_{sw} = 5000 Hz, T_{inlet} = 40°C, $T_j \leq$ 125 °C	I_{AC}		265		A_{RMS}
Over current shutdown	within 15 µs	$I_{AC\ OC}$		626		A_{peak}
Power losses	I_{AC} = 265 A, V_{DC} = 600 V, V_{AC} = 400 V_{RMS}, cos(φ) = 0.85, $f_{AC\ sine}$ = 50 Hz, f_{sw} = 5000 Hz, T_{inlet} = 40 °C, $T_j \leq$ 125 °C	P_{loss}		2275		W

Inverter Section (specific condition)

			min.	typ.	max.	
Specific continuous current	V_{DC} = 750 V, V_{AC} = 400 V_{RMS}, cos(φ) = 0.8, $f_{AC\ sine}$ = 50 Hz, f_{sw} = 5000 Hz, T_{inlet} = 40 °C, $T_j \leq$ 125 °C	I_{ACsp}		217		A_{RMS}
Continuous current at low frequency	V_{DC} = 750 V, V_{AC} = 400 V_{RMS}, cos(φ) = 0.8, $f_{AC\ sine}$ = 0 Hz, f_{sw} = 5000 Hz, T_{inlet} = 40 °C, $T_j \leq$ 125 °C	I_{ACsp}		105		A_{RMS}
Specific continuous current for 150% overload capability	$I_{AC\ 150\%}$ = 263 A_{RMS}, $t_{on\ over}$ = 3 s, $T_j \leq$ 125 °C	$I_{ACsp\ over1}$		175		A_{RMS}
Specific continuous current for 150% overload capability	$I_{AC\ 150\%}$ = 229 A_{RMS}, $t_{on\ over}$ = 60 s, $T_j \leq$ 125 °C	$I_{ACsp\ over2}$		152		A_{RMS}
Power losses	I_{AC} = 217 A, V_{DC} = 750 V, V_{AC} = 400 V_{RMS}, cos(φ) = 0.8, $f_{AC\ sine}$ = 50 Hz, f_{sw} = 5000 Hz, T_{inlet} = 40 °C, $T_j \leq$ 125 °C	P_{loss}		1975		W

Notes
Maximum junction temperature limited to 125°C under all operating conditions

prepared by: OW	date of publication: 2013-10-18
approved by: AR	revision: 2.2

Technical Information

PrimeSTACK™ 6PS04512E43G37986

Preliminary data

Controller interface

Driver and interface board	ref. to separate Application Note		DR210			
			min.	typ.	max.	
Auxiliary voltage		V_{aux}	18	24	30	V
Auxiliary power requirement	V_{aux} = 24 V	P_{aux}			40	W
Digital input level	resistor to GND 10 kΩ, capacitor to GND 1 nF, logic high = on	$V_{in\ low}$	0		1.5	V
		$V_{in\ high}$	11		15	V
Digital output level	open collector, logic low = no fault, max. 15 mA	$V_{out\ low}$	0		1.5	V
		$V_{out\ high}$		15		V
Analog current sensor output inverter section	load max 5 mA, @ 217 A_{RMS}	$V_{IU\ ana2}$ $V_{IV\ ana2}$ $V_{IW\ ana2}$	3.3	3.5	3.7	V
Analog DC link voltage sensor output	load max 5 mA, @ 850 V	$V_{DC\ ana}$	8.3	8.5	8.7	V
Analog temperature sensor output unit 1 (NTC)	load max 5 mA, @T_{NTC} = 85 °C, corresponds to T_j = 115 °C at rated conditions	$V_{Theta\ NTC1}$	10.7	10.9	11.1	V
Over temperature shutdown inverter section	load max 5 mA, @T_{NTC} = 87 °C	$V_{Error\ OT2}$		11		V

System data

				min.	typ.	max.	
EMC robustness	according to EN 61800-3 at named interfaces	power	V_{Burst}		2		kV
		control	V_{Burst}		1		kV
		aux (24V)	V_{surge}		1		kV
Storage temperature			T_{stor}	-40		80	°C
Operational ambient temperature	PCB, DC link capacitor, bus bar, excluding cooling medium		$T_{op\ amb}$	-25		55	°C
Cooling air velocity	PCB, DC link capacitor, bus bar, standard atmosphere		V_{air}	2			m/s
Humidity	no condensation		Rel. F	0		85	%
Vibration	according to IEC 60721					5	m/s²
Shock	according to IEC 60721					40	m/s²
Protection degree					IP00		
Pollution degree					2		
Dimensions	width x depth x height			216	335	376	mm
Weight					18		kg

Notes
Dimension "depth" does not include the data cables

Heatsink air cooled

			min.	typ.	max.	
Air flow	T_{air} = 25 °C, P_{air} = 1013 hPa, dry and dust free, measured at the side of the heat sink according to DIN 41882	$\Delta V/\Delta t$		500		m³/h
Air pressure drop	at min. air flow	Δp		190		Pa
Air inlet temperature		T_{inlet}	-40		55	°C

prepared by: OW	date of publication: 2013-10-18
approved by: AR	revision: 2.2

Technical Information

PrimeSTACK™ 6PS04512E43G37986

Preliminary data

Overview of optional components	Unit 1	Inverter Section	Unit 3
Parallel interface board			
Optical interface board			
Chopper controller			
Voltage sensor		×	
Current sensor		×	
Temperature sensor		×	
Temperature simulation			
DC link capacitors		×	
Data cable for control signals			
Fan			
Collector-emitter Active Clamping		×	

Notes
Setting of Active Clamping TVS-Diodes: V_Z = 824 V

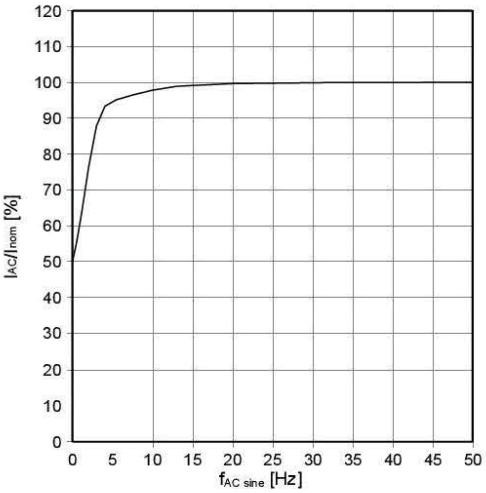
prepared by: OW	date of publication: 2013-10-18
approved by: AR	revision: 2.2

Technical Information

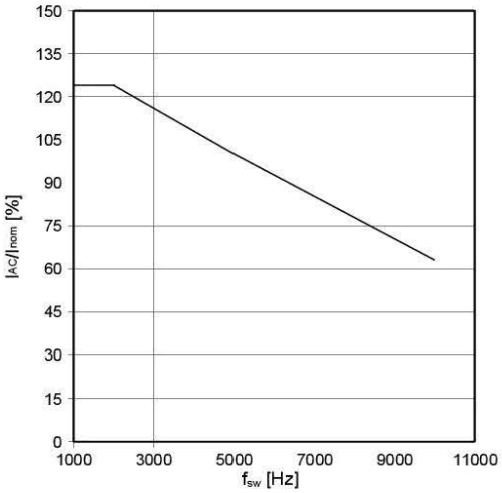
PrimeSTACK™ 6PS04512E43G37986

Preliminary data

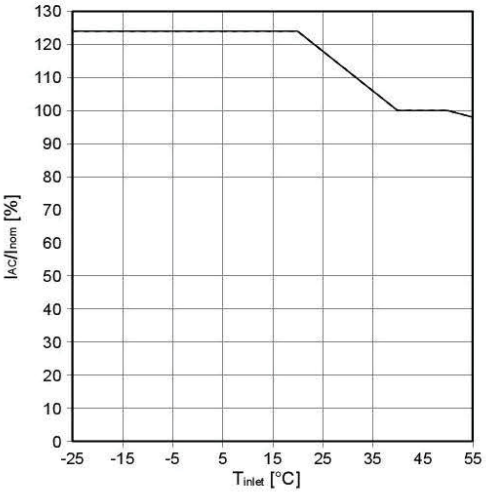
$f_{AC\ sine}$ - derating curve IGBT (motor), Diode (generator)
V_{DC} = 750 V, V_{AC} = 400 V_{RMS}, f_{sw} = 5 kHz, cosφ = ±0.8,
T_{inlet} = 40 °C and nom. cooling conditions



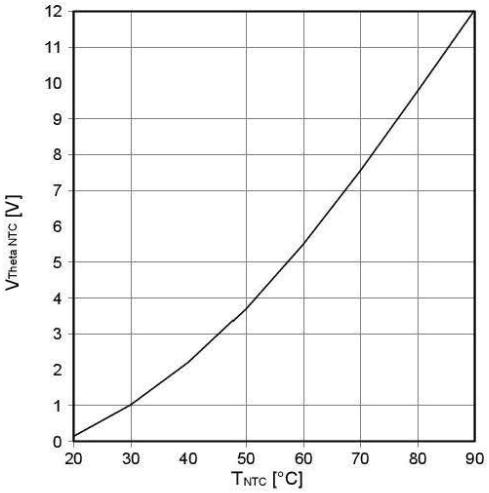
f_{sw} - derating curve IGBT (motor), Diode (generator)
V_{DC} = 750 V, V_{AC} = 400 V_{RMS}, $f_{AC\ sine}$ = 50 Hz, cosφ = ±0.8,
T_{inlet} = 40 °C and nom. cooling conditions



T_{inlet} - derating curve IGBT (motor), Diode (generator)
V_{DC} = 750 V, V_{AC} = 400 V_{RMS}, f_{sw} = 5 kHz, $f_{AC\ sine}$ = 50 Hz,
cosφ = ±0.8 and nom. cooling conditions



Analog temperature sensor output $V_{Theta\ NTC}$
Sensing NTC of heatsink



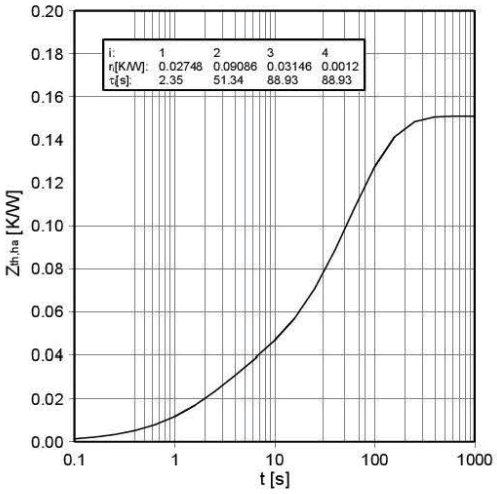
prepared by: OW	date of publication: 2013-10-18
approved by: AR	revision: 2.2

Technical Information

PrimeSTACK™ 6PS04512E43G37986

Preliminary data

$Z_{th,ha}$ - thermal impedance heatsink to ambient per switch
nom. cooling conditions



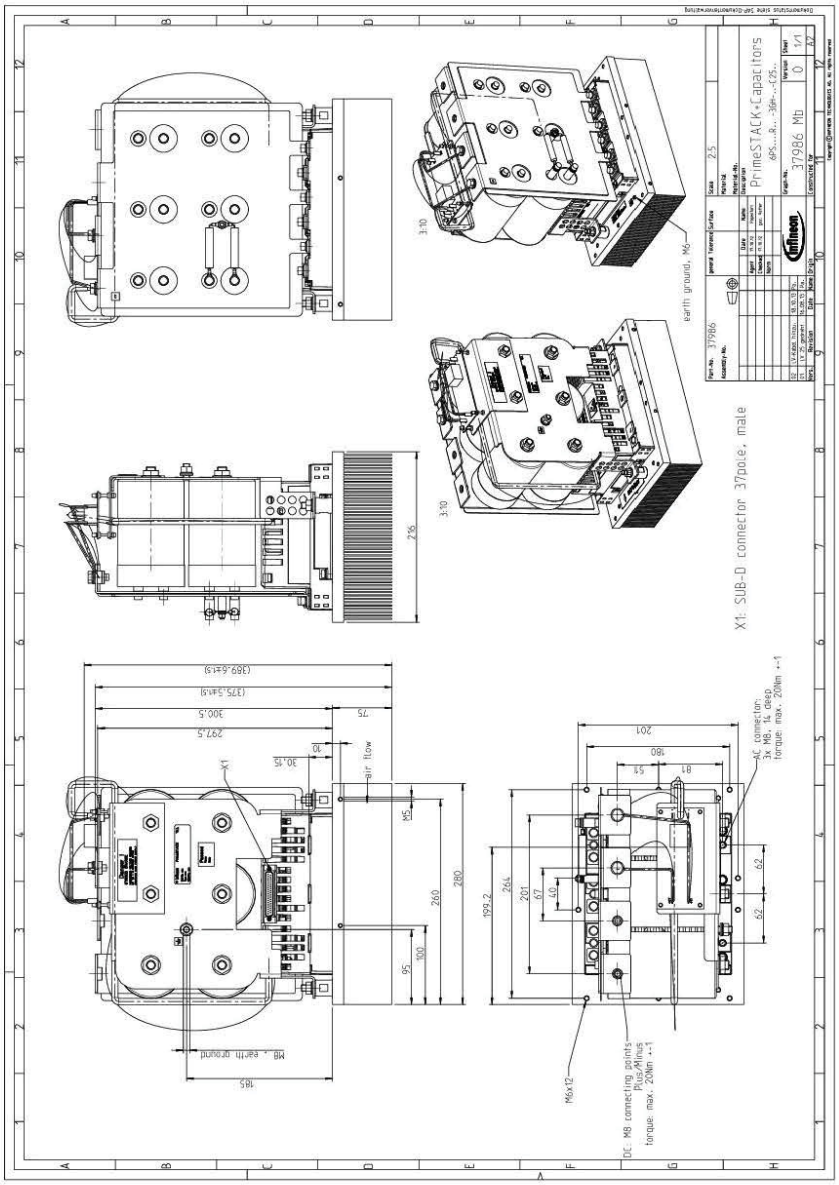
prepared by: OW	date of publication: 2013-10-18
approved by: AR	revision: 2.2

Technical Information

PrimeSTACK™ 6PS04512E43G37986

Preliminary data

Mechanical drawing



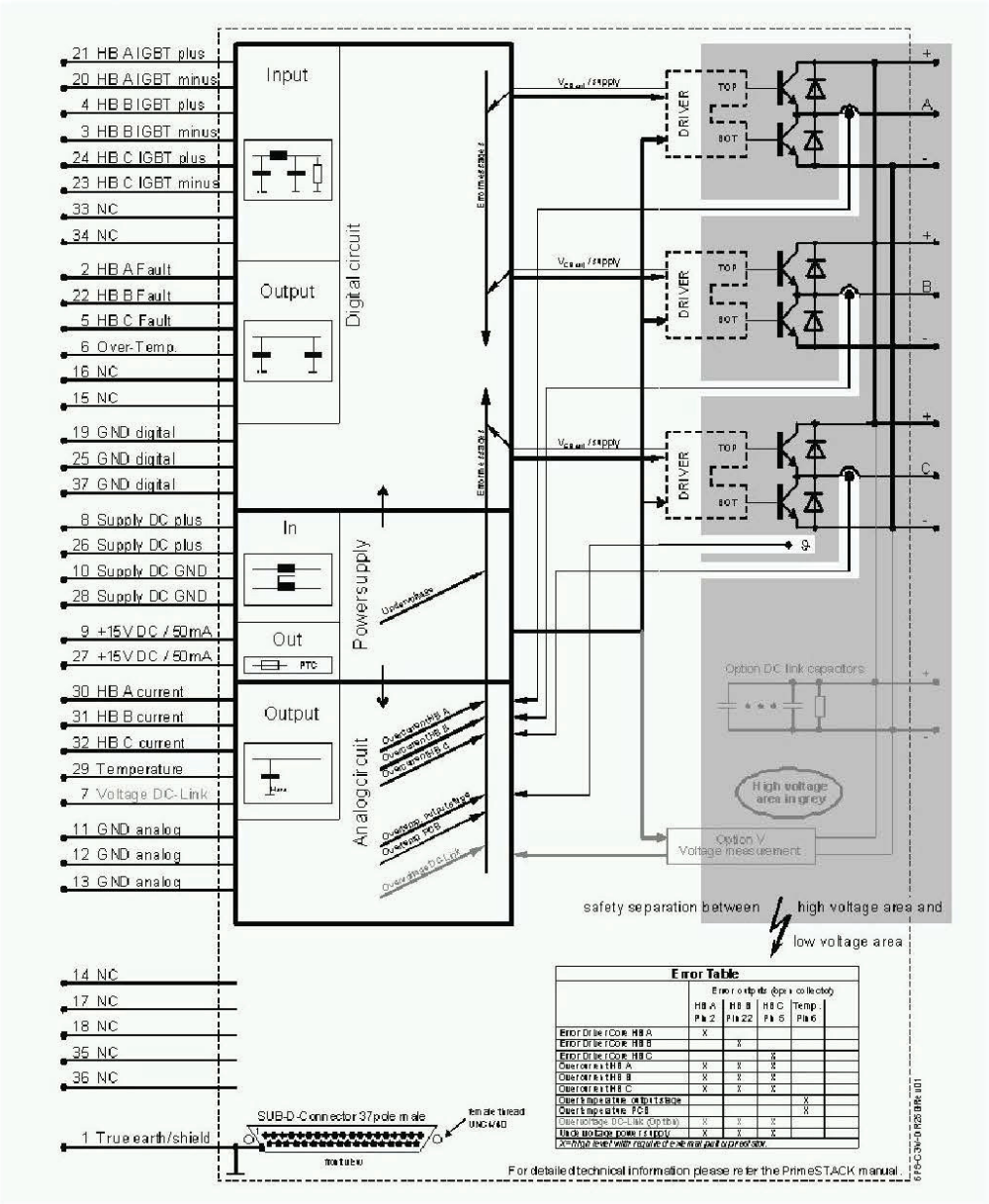
prepared by: OW	date of publication: 2013-10-18
approved by: AR	revision: 2.2

Technical Information

PrimeSTACK™ 6PS04512E43G37986

Preliminary data

Circuit diagram



prepared by: OW	date of publication: 2013-10-18
approved by: AR	revision: 2.2

Technical Information

PrimeSTACK™ 6PS04512E43G37986

Preliminary data

Terms & Conditions of usage

The data contained in this product data sheet is exclusively intended for technically trained staff. You and your technical departments will have to evaluate the suitability of the product for the intended application and the completeness of the product data with respect to such application.

This product data sheet is describing the characteristics of this product for which a warranty is granted. Any such warranty is granted exclusively pursuant the terms and conditions of the supply agreement. There will be no guarantee of any kind for the product and its characteristics.

Should you require product information in excess of the data given in this product data sheet or which concerns the specific application of our product, please contact the sales office, which is responsible for you (see www.infineon.com, sales&contact). For those that are specifically interested we may provide application notes.

Due to technical requirements our product may contain dangerous substances. For information on the types in question please contact the sales office, which is responsible for you.

Should you intend to use the Product in aviation applications, in health or live endangering or life support applications, please notify. Please note, that for any such applications we urgently recommend
- to perform joint Risk and Quality Assessments;
- the conclusion of Quality Agreements;
- to establish joint measures of an ongoing product survey,
  and that we may make delivery depended on the realization
  of any such measures.

If and to the extent necessary, please forward equivalent notices to your customers.

Changes of this product data sheet are reserved.

Safety Instructions

Prior to installation and operation, all safety notices and warnings and all warning signs attached to the equipment have to be carefully read. Make sure that all warning signs remain in a legible condition and that missing or damaged signs are replaced. To installation and operation, all safety notices and warnings and all warning signs attached to the equipment have to be carefully read. Make sure that all warning signs remain in a legible condition and that missing or damaged signs are replaced.

prepared by: OW	date of publication: 2013-10-18
approved by: AR	revision: 2.2