

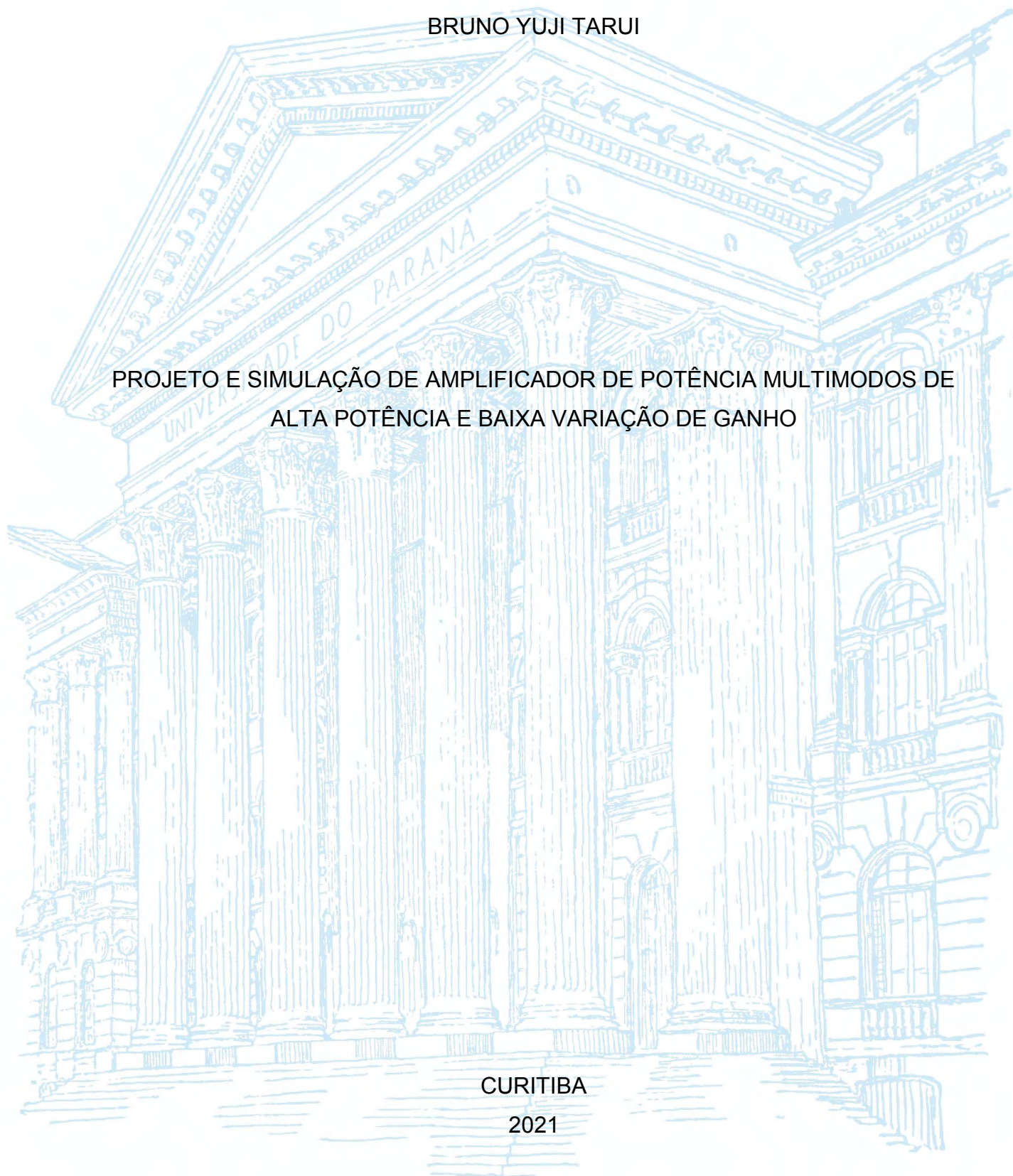
UNIVERSIDADE FEDERAL DO PARANÁ

BRUNO YUJI TARUI

PROJETO E SIMULAÇÃO DE AMPLIFICADOR DE POTÊNCIA MULTIMODOS DE
ALTA POTÊNCIA E BAIXA VARIAÇÃO DE GANHO

CURITIBA

2021



BRUNO YUJI TARUI

PROJETO E SIMULAÇÃO DE AMPLIFICADOR DE POTÊNCIA MULTIMODOS DE
ALTA POTÊNCIA E BAIXA VARIAÇÃO DE GANHO

Dissertação apresentada no Programa de Pós-Graduação em Engenharia Elétrica, Setor de Tecnologia, Universidade Federal do Paraná como requisito parcial à obtenção do grau de Mestre em Engenharia Elétrica.

Orientador:
Prof. Bernardo Rego Barros de Almeida Leite.

CURITIBA

2021

Catálogo na Fonte: Sistema de Bibliotecas, UFPR
Biblioteca de Ciência e Tecnologia

T196p Tarui, Bruno Yuji
Projeto e simulação de amplificador de potência multimodos de alta potência e baixa variação de ganho [Recurso eletrônico] / Bruno Yuji Tarui. – Curitiba, 2021.

Dissertação - Universidade Federal do Paraná, Setor de Tecnologia, Programa de Pós-Graduação em Engenharia de Engenharia Elétrica, 2021.

Orientador: Bernardo Rego Barros de Almeida Leite.

1. Amplificadores de potência. 2. Radiofrequência. I. Universidade Federal do Paraná. II. Leite, Bernardo Rego Barros de Almeida. III. Título.

CDD: 621.395

Bibliotecária: Vanusa Maciel CRB- 9/1928



TERMO DE APROVAÇÃO

Os membros da Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em ENGENHARIA ELÉTRICA da Universidade Federal do Paraná foram convocados para realizar a arguição da Dissertação de Mestrado de **BRUNO YUJI TARUI** intitulada: **Projeto e simulação de amplificador de potência multimodos de alta potência e baixa variação de ganho**, sob orientação do Prof. Dr. BERNARDO REGO BARROS DE ALMEIDA LEITE, que após terem inquirido o aluno e realizada a avaliação do trabalho, são de parecer pela sua APROVAÇÃO no rito de defesa.

A outorga do título de mestre está sujeita à homologação pelo colegiado, ao atendimento de todas as indicações e correções solicitadas pela banca e ao pleno atendimento das demandas regimentais do Programa de Pós-Graduação.

CURITIBA, 13 de Agosto de 2021.

Assinatura Eletrônica

16/08/2021 17:03:16.0

BERNARDO REGO BARROS DE ALMEIDA LEITE
Presidente da Banca Examinadora

Assinatura Eletrônica

17/08/2021 14:38:30.0

JUAN CAMILO CASTELLANOS RODRIGUEZ
Avaliador Externo (UNIVERSIDADE TECNOLÓGICA FEDERAL DO
PARANÁ)

Assinatura Eletrônica

16/08/2021 20:38:36.0

ANDRÉ AUGUSTO MARIANO
Avaliador Interno (UNIVERSIDADE FEDERAL DO PARANÁ)

Assinatura Eletrônica

19/08/2021 16:35:30.0

LUIS HENRIQUE ASSUMPÇÃO LOLIS
Avaliador Interno (UNIVERSIDADE FEDERAL DO PARANÁ)

RESUMO

Um dos principais subsistemas responsáveis pela comunicação em radiofrequência em dispositivos móveis é o amplificador de potência (PA). O PA tem como função amplificar os sinais de baixa potência até a potência necessária para que esses sinais possam ser recebidos pelo receptor. Considerando-se a alta mobilidade desses dispositivos, diferentes níveis de potência podem ser necessários para a transmissão do sinal. Nesse projeto, é proposto um PA que possa entregar uma potência variável na saída, com foco na potência de saída e baixa variação de ganho na tecnologia CMOS 130 nm. O PA apresenta diferentes modos de operação que, além da potência de saída, também variam a potência consumida pelo circuito. Assim, a utilização de diferentes modos pode apresentar uma economia de energia, o que é um fator importante para dispositivos alimentados por baterias. No entanto, a tecnologia CMOS apresenta limitações para projetos que requerem uma alta potência, sendo necessárias diferentes estratégias para que se possa atingir maiores potências de saída. Nesse projeto foram utilizadas algumas dessas estratégias apresentadas na literatura, como a arquitetura diferencial e o empilhamento de transistores. O PA resultante é controlado por três sinais digitais, tendo quatro modos de operação diferentes, os quais apresentam um OCP_{1dB} variando de 20,6 dBm a 24,6 dBm, um ganho direto que varia entre 30,8 dB e 31,7 dB e uma potência consumida que varia de 1,56 W a 2,61 W. Dessa forma, ao alterar-se entre modos de operação, pode-se atingir uma economia de até 40,2% na potência consumida pelo circuito.

Palavras-chave: Amplificador de potência, potência variável, CMOS, radiofrequência.

ABSTRACT

One of the most important subsystems responsible for the radiofrequency communication in mobile devices is the power amplifier (PA). The PA amplifies the low-power signals to higher power levels so they can be transmitted and then received at the receptor. Considering the high mobility of the mobile devices, different power levels can be required for the signals to be transmitted. In this project a variable power PA is proposed, focusing in the output power and in low gain variation utilizing the 130 nm CMOS technology. The PA has different operation modes that besides the output power, they also present a different power consumption each. Therefore, the circuit can save energy consumption by utilizing different operation modes which is an important factor for devices supplied by batteries. However, the CMOS technology presents limitations to design circuits which requires a high power-level. Due to these limitations, different designs must be used to achieve higher output power levels. In this project some of the design strategies presented in the literature are utilized to improve the output power, like the differential architecture and the stacked transistors. The resulting circuit is PA controlled by three digital signals with four different operation modes which present a OCP_{1dB} varying from 20.6 dBm until 24.6 dBm, a direct gain varying between 30.8 dB and 31.7 dB and a consumed power varying from 1.56 W to 2.61 W. By switching between the different operation modes, this PA can save up to 40.2% of the consumed power.

Keywords: Power amplifier, variable power, CMOS, radiofrequency.

LISTA DE FIGURAS

FIGURA 1 - TRANSMISSOR DE RADIOFREQUÊNCIA.....	17
FIGURA 2 - RUPTURA DO ÓXIDO DE UM TRANSISTOR MOSFET	19
FIGURA 3 - AMPLIFICADOR DA TOPOLOGIA CASCODE	20
FIGURA 4 - EXEMPLO DE COMPRESSÃO DA POTÊNCIA DE SAÍDA DE UM PA22	
FIGURA 5 - DIAGRAMA DAS POTÊNCIAS EM UM PA.....	23
FIGURA 6 - DIAGRAMA DE PARÂMETROS DE ESPALHAMENTO	24
FIGURA 7 - EXEMPLO DE GRÁFICO DE PARÂMETROS DE ESPALHAMENTO..	25
FIGURA 8 - EXEMPLO DE CIRCUITO INCONDICIONALMENTE ESTÁVEL	27
FIGURA 9 - EXEMPLOS DE PAS MULTIMODOS DA LITERATURA	28
FIGURA 10 - ARQUITETURA DO PA PROPOSTO.....	32
FIGURA 11 - DIAGRAMA DE BLOCOS DO PA PROPOSTO	33
FIGURA 12 - ESQUEMÁTICO DO ESTÁGIO DE POTÊNCIA DO CIRCUITO PROPOSTO.....	36
FIGURA 13 - COMPARAÇÃO ENTRE MODELOS CASCODE	37
FIGURA 14 - CARTA DE SMITH COM RESULTADO DA SIMULAÇÃO LOADPULL	39
FIGURA 15 - CÁLCULO DA REDE DE CASAMENTO DE SAÍDA.....	40
FIGURA 16 - REDE DE CASAMENTO DE IMPEDÂNCIAS DE SAÍDA	41
FIGURA 17 - CIRCUITO DE POLARIZAÇÃO SIMPLES	42
FIGURA 18 - CIRCUITO DE POLARIZAÇÃO VARIÁVEL	43
FIGURA 19 - ESQUEMÁTICO DO ESTÁGIO DE GANHO DO CIRCUITO PROPOSTO.....	47
FIGURA 20 - CIRCUITO DE POLARIZAÇÃO DO ESTÁGIO DE GANHO.....	49
FIGURA 21 - IMPEDÂNCIA DE ENTRADA EM FUNÇÃO DA FREQUÊNCIA.....	50
FIGURA 22 - REDE DE CASAMENTO DE ENTRADA	50
FIGURA 23 - CÉLULA DE POTÊNCIA PARA TESTE DE TENSÕES LIMITE.....	52
FIGURA 24 - LEIAUTE COMPLETO.....	54
FIGURA 25 - ESQUEMÁTICO DE TESTE DO CIRCUITO PROPOSTO.....	58
FIGURA 26 - PARÂMETRO DE ESTABILIDADE μ	59
FIGURA 27 - PARÂMETROS DE ESPALHAMENTO	60
FIGURA 28 - GANHO DIRETO (2,45 GHz) EM FUNÇÃO DA POTÊNCIA DE SAÍDA	61

FIGURA 29 - CONSUMO DE POTÊNCIA PDC EM FUNÇÃO DE POUT	62
FIGURA 30 - PAE EM FUNÇÃO DA POTÊNCIA DE SAÍDA	63
FIGURA 31 - PARÂMETRO DE ESTABILIDADE μ DA VISTA PÓS-LEIAUTE	64
FIGURA 32 - PARÂMETROS DE ESPALHAMENTO PÓS LEIAUTE	65
FIGURA 33 - GANHO EM FUNÇÃO DA POTÊNCIA DE SAÍDA DA VISTA PÓS LEIAUTE	66
FIGURA 34 - POTÊNCIA CONSUMIDA EM FUNÇÃO DA POTÊNCIA DE SAÍDA NA VISTA PÓS LEIAUTE	67
FIGURA 35 - PAE EM FUNÇÃO DA POTÊNCIA DE SAÍDA NA VISTA PÓS LEIAUTE	68
FIGURA 36 - VARIAÇÃO DE OCP_{1dB} EM FUNÇÃO DA FREQUÊNCIA	69
FIGURA 37 - VARIAÇÃO DA PAE EM FUNÇÃO DA FREQUÊNCIA	70
FIGURA 38 - VARIAÇÃO DO GANHO EM FUNÇÃO DA TEMPERATURA	71
FIGURA 39 - VARIAÇÃO DO OCP_{1dB} EM FUNÇÃO DA TEMPERATURA	71

LISTA DE TABELAS

TABELA 1 - COMPARAÇÃO DE PAS COM ALTA POTÊNCIA DE SAÍDA NA LITERATURA.....	30
TABELA 2 - COMPARAÇÃO ENTRE TRANSISTORES ÓXIDO FINO E GROSSO.....	34
TABELA 3 - LARGURA EQUIVALENTE DO ESTÁGIO DE POTÊNCIA.....	35
TABELA 4 - VALIDAÇÃO E OTIMIZAÇÃO DO CASAMENTO DE SAÍDA.....	41
TABELA 5 - TENSÕES DE POLARIZAÇÃO.....	44
TABELA 6 - COMPARAÇÃO DOS RESULTADOS ENTRE CIRCUITOS DE POLARIZAÇÃO.....	45
TABELA 7 - MODOS DE OPERAÇÃO DO ESTÁGIO DE POTÊNCIA.....	46
TABELA 8 - MODOS DE OPERAÇÃO APÓS DIMENSIONAMENTO DO ESTÁGIO DE GANHO.....	48
TABELA 9 - VALORES DE S_{11} E GANHO DIRETO APÓS IMPLIMENTAÇÃO DO CASAMENTO DE ENTRADA.....	51
TABELA 10 - RESULTADOS DAS DIFERENÇAS DE POTENCIAIS ENTRE OS TERMINAIS DA CÉLULA DE POTÊNCIA.....	52
TABELA 11 - MODOS DE OPERAÇÃO DO CIRCUITO PROPOSTO.....	53
TABELA 12 - TENSÕES E OCP_{1dB} DE SIMULAÇÃO PÓS-LEIAUTE.....	56
TABELA 13 - TENSÕES E OCP_{1dB} DE SIMULAÇÃO PÓS-LEIAUTE COM AJUSTE DE TENSÕES DE ALIMENTAÇÃO.....	56
TABELA 14 - COMPARAÇÃO DOS VALORES DE PAE.....	63
TABELA 15 - COMPARAÇÃO DOS VALORES DE PAE NA VISTA PÓS LEIAUTE.....	68
TABELA 16 - VARIAÇÃO DOS RESULTADOS NAS SIMULAÇÕES DE CANTOS.....	72
TABELA 17 - COMPARAÇÃO COM PAS DA LITERATURA.....	74

LISTA DE ABREVIATURAS E SIGLAS

CG	- Transistor CMOS em configuração porta comum
CS	- Transistor CMOS em configuração fonte comum
CMOS	- Transistor de efeito de campo metal - óxido – semicondutor complementar.
dB	- Decibel
dBm	- Decibel milliwatt
GA	- Ganho disponível
GaAs	- Transistor de arseneto de gálio.
GP	- Ganho de potência
HB	- Equilíbrio harmônico
LC	- Indutor-capacitor
PA	- Amplificador de potência
PAE	- Eficiência de potência adicionada
RF	- Radiofrequência
SiGe	- Transistor de silício-germânio
SOI CMOS	- Transistor de efeito de campo metal - óxido – semicondutor complementar com silício no isolante
SSB	- Círculos de estabilidade da fonte
SP	- Parâmetros de espalhamento
V	- Volts
W	- Watts

LISTA DE SÍMBOLOS

λ_n	- Coeficiente de modulação de canal do transistor NMOS
g_{mCG}	- Transcondutância do transistor porta comum
g_{mCS}	- Transcondutância do transistor fonte comum
OCP_{1dB}	- Ponto de compressão de 1 dB referenciado à saída
P_{DC}	- Potência contínua consumida
P_{IN}	- Potência de entrada
P_{OUT}	- Potência de saída
P_{SAT}	- Potência de saturação
r_{oCG}	- Resistência de saída do transistor porta comum
r_{oCS}	- Resistência de saída do transistor fonte comum

SUMÁRIO

1 INTRODUÇÃO	14
1.1 OBJETIVOS	16
1.1.1 Objetivo geral	16
1.1.2 Objetivos específicos.....	16
1.2 ESTRUTURA DO DOCUMENTO.....	16
2 REVISÃO DE LITERATURA	17
2.1 AMPLIFICADORES DE POTÊNCIA DE RADIOFREQUÊNCIA.....	17
2.1.1 Amplificadores de alta potência de saída	17
2.1.2 Baixa tensão de ruptura do óxido de transistores MOS	19
2.1.3 Amplificador cascode	19
2.1.4 Perdas nos transistores.....	21
2.1.5 Perdas por transformação de impedâncias	21
2.2 MÉTRICAS PARA CARACTERIZAÇÃO DE PAS	22
2.2.1 Linearidade.....	22
2.2.2 Eficiência	23
2.2.3 Parâmetros de espalhamento (pequenos sinais)	24
2.2.4 Parâmetro de estabilidade μ	26
2.3 PRINCIPAIS TOPOLOGIAS DE PAS	27
2.3.1 PAs multimodos na literatura.....	27
2.3.2 PAs de alta potência na literatura.....	29
3 PROJETO DO AMPLIFICADOR DE POTÊNCIA	32
3.1 ETAPAS DO PROJETO DO PA.....	32
3.2 ESCOLHA DOS TRANSISTORES.....	33
3.3 PROJETO DO ESTÁGIO DE POTÊNCIA	35
3.3.1 Rede de casamento de saída.....	38
3.3.2 Circuito de polarização do estágio de potência	42
3.3.3 Modos de operação do estágio de potência.....	45
3.4 PROJETO DO ESTÁGIO DE GANHO	46
3.4.1 Circuito de polarização do estágio de ganho.....	49
3.4.2 Rede de casamento de entrada	49
3.5 VALIDAÇÃO DAS TENSÕES	51
3.6 MODOS DE OPERAÇÃO DO PA	53

3.7 LEIAUTE DO CIRCUITO.....	53
3.8 AJUSTE DE TENSÕES PÓS-LEIAUTE.....	55
4 RESULTADOS DE SIMULAÇÃO.....	58
4.1 CONFIGURAÇÃO DAS SIMULAÇÕES.....	58
4.2 RESULTADOS DAS SIMULAÇÕES DE ESQUEMÁTICO.....	59
4.3 RESULTADOS DAS SIMULAÇÕES DE PÓS LEIAUTE.....	64
4.4 COMPARAÇÃO COM ESTADO DA ARTE.....	73
5 CONCLUSÃO.....	76
REFERÊNCIAS.....	77
ANEXO 1 – ESQUEMÁTICO COMPLETO DO CIRCUITO.....	80
ANEXO 2 – ESQUEMÁTICOS DOS CIRCUITOS AUXILIARES.....	81
ANEXO 3 – CÍRCULOS DE ESTABILIDADE DO MODO B.....	82
ANEXO 4 – CÍRCULOS DE ESTABILIDADE DO MODO C.....	83
ANEXO 5 – CÍRCULOS DE ESTABILIDADE DO MODO D.....	84
ANEXO 6 – RESULTADOS DAS SIMULAÇÕES DE CANTOS DOS MODOS A AO	

1 INTRODUÇÃO

Os dispositivos eletrônicos móveis estão cada vez mais presentes no dia-a-dia e, inclusive, são por esses dispositivos que passa a maior parte do tráfego de internet globalmente. Apesar do número de computadores continuar aumentando, a utilização de dispositivos móveis para acessar a internet tem crescido de forma ainda mais acelerada como exposto por BOUCHRIKA (2021). Devido a esse considerável aumento, os dispositivos móveis são alvos de pesquisa para que possa haver melhorias quanto a sua usabilidade. Uma das principais características dos dispositivos móveis eletrônicos é a habilidade de poder se comunicar com outros dispositivos sem a necessidade de uma conexão através de fios. Para isso, os dispositivos se utilizam dos sinais de radiofrequência.

A comunicação de radiofrequência é composta por diferentes estágios os quais podem ser classificados em transmissão e recepção. Os dispositivos que constituem a recepção têm como objetivo tratar os sinais recebidos através de processos como conversão em banda base e amplificação. Já os dispositivos da transmissão têm como principal objetivo tratar os sinais de saída do dispositivo móvel para que possam ser transmitidos e atinjam seu destino. Parte importante do estágio de transmissão é o amplificador de potência (PA), o qual é o principal responsável pela amplificação dos sinais, mas também o que consome maior energia no estágio de comunicação de radiofrequência como mostrado por MAHMOOD (2015).

Já há muito tempo, os circuitos digitais de dispositivos eletrônicos utilizam a tecnologia CMOS pela sua alta taxa de integração e baixo custo. No entanto, a tecnologia CMOS apresenta algumas limitações para serem usadas em aplicações de mais alta potência, como no caso dos PAs. Dentre essas limitações, tem-se por exemplo a baixa tensão limite suportada pelos transistores o que limita a tensão de alimentação do circuito. Dessa forma, uma das soluções encontradas para contornar as limitações de potência da tecnologia CMOS, foi se utilizar diferentes tecnologias no projeto de PAs como GaAs e SiGe. Com os PAs projetados em diferentes tecnologias, têm-se diferentes chips compondo o mesmo sistema o que dificulta a integração entre as diferentes partes.

Portanto, considerando-se as vantagens da tecnologia CMOS e visando uma maior integração nos circuitos, atualmente há várias pesquisas sendo realizadas buscando projetar PAs CMOS com bom desempenho e eficiência, para que se

consiga uma alta integração e também possa-se mitigar uma das principais desvantagens desses circuitos que são suas significativas perdas (MAHMOOD (2015)).

Além dos desafios na integração dos circuitos e o consumo de potência, tem-se cada vez mais diferentes protocolos de comunicação aos quais os dispositivos móveis devem atender. Assim, os dispositivos devem ser capazes de amplificar sinais de diferentes características, o que faz com que um PA multimodo seja uma opção interessante, como mostrado por DENG (2009). Além de atender os diferentes protocolos de comunicação, também é desejável que os PAs sejam capazes de operar em potências de recuo, ou seja, entregar potências na sua saída menores do que a potência máxima e com boa eficiência, visto que por serem dispositivos móveis a distância até o receptor muda constantemente. Assim, para aplicações atuais não é necessário apenas que o PA apresente uma alta eficiência de pico, mas também boa eficiência quando operando em potências de recuo, sendo essa uma das características de PAs multimodos (DENG (2009)).

No entanto, a troca constante entre modos de operação pode causar distorções nos sinais transmitidos, visto que além do consumo e da potência de saída, o ganho do sinal também pode ser alterado quando se alterna entre os modos de operação. Manter o ganho constante é fundamental para que se possa alterar o consumo e a potência de saída sem que haja perda de informação significativa em razão da variação do ganho.

Dessa forma, os PAs multimodos se apresentam como boas alternativas para se obter menor consumo em potências de recuo o que é interessante para dispositivos móveis visto que eles são alimentados por uma fonte limitada de energia, uma bateria. Nos dias atuais, a duração da carga da bateria é um fator determinante na escolha de um dispositivo móvel, como telefones celulares. E, considerando que os modos de operação apresentem baixa variação de ganho, as distorções causadas pela alternância entre modos de operação não causariam perdas significativas de informação.

1.1 OBJETIVOS

1.1.1 Objetivo geral

O objetivo geral dessa dissertação é o projeto de um amplificador de potência multimodos utilizando-se tecnologia CMOS de 130 nm para a operação na faixa de 2,45 GHz que apresente valores de ganho com baixa variação.

1.1.2 Objetivos específicos

Como objetivos específicos desse trabalho tem-se:

- a) Estudo de arquiteturas de PAs multimodos e de alta potência.
- b) Caracterização dos diferentes modos de operação através de simulações de pequenos e grandes sinais.
- c) Estudo das características de tecnologia CMOS 130 nm da Global Foundries.
- d) Leiaute e simulações pós-leiaute para caracterização do circuito.

1.2 ESTRUTURA DO DOCUMENTO

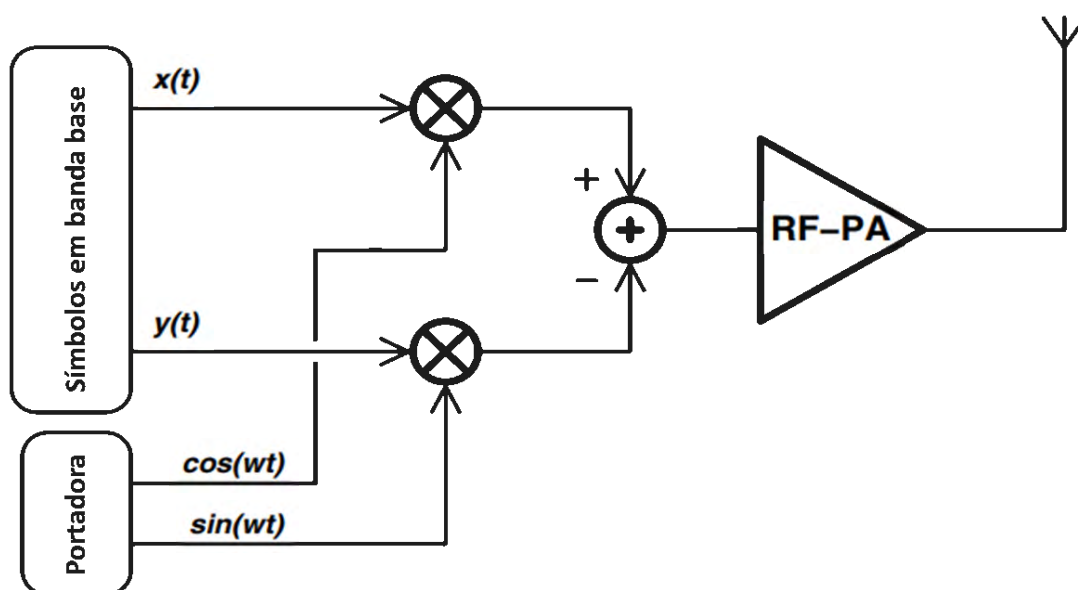
Além desse primeiro capítulo de introdução, esse trabalho está dividido em outros quatro capítulos. O capítulo 2 apresenta uma revisão da literatura sobre amplificadores de potência e as principais métricas para sua caracterização. No capítulo 3 mostra-se como foi projetado o circuito desse trabalho. No capítulo 4 tem-se os resultados obtidos pelo circuito projetado bem como as discussões dos resultados e comparação com outras PAs. Por fim, no capítulo 5 apresenta-se a conclusão desse trabalho.

2 REVISÃO DE LITERATURA

2.1 AMPLIFICADORES DE POTÊNCIA DE RADIOFREQUÊNCIA

Os PAs são parte importante dos transmissores de radiofrequência, localizados logo antes da antena, como mostra a FIGURA 1. Dentre as funções do bloco transmissor RF está a modulação do sinal de acordo com a frequência de operação e a amplificação da potência do sinal a níveis suficientes para que possa alcançar seu destino, parte pela qual o PA é responsável. Como na saída do módulo o sinal deve ter o maior nível de potência, o PA consome uma potência consideravelmente maior do que os outros subsistemas presentes no transmissor. Sendo assim, a eficiência de um transmissor de radiofrequência está diretamente atrelada ao consumo de potência do PA.

FIGURA 1 - TRANSMISSOR DE RADIOFREQUÊNCIA



FONTE: REYNAERT (2006). Traduzido.

LEGENDA: Arquitetura de um transmissor RF de um sinal modulado.

2.1.1 Amplificadores de alta potência de saída

Uma das principais características dos PAs é a máxima potência que ele pode entregar na sua saída, definindo o alcance do sinal transmitido.

Nesse projeto, um dos objetivos é que se obtenha um PA capaz de entregar em sua saída potências na ordem de centenas de miliwatts, assim, serão adotadas estratégias discutidas na literatura para se atingir esse nível de potência utilizando-se a tecnologia CMOS.

Como exposto por JOHANSSON (2014), as duas principais maneiras de aumentar a potência de saída de um PA: aumentando-se a tensão de alimentação e diminuindo-se a impedância da carga.

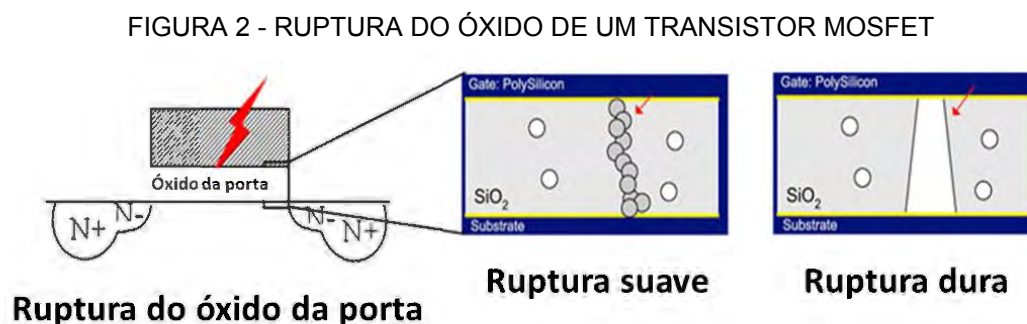
A maior limitação para se aumentar a tensão de alimentação do circuito são os limites impostos pela tecnologia. Particularmente para a tecnologia CMOS, esses limites são baixos o que dificulta o aumento da tensão utilizada, tendo-se que utilizar diferentes estratégias para tornar esse aumento possível. Já quanto a diminuição da impedância da carga, pode por sua vez resultar num casamento de impedâncias mais complexo visto que na grande maioria dos casos a impedância de saída deve ser casada com a impedância de 50Ω para circuitos de saída simples ou 100Ω para circuitos diferenciais, valores padrões das antenas conectadas na saída do PA.

Uma das estratégias apresentadas por JOHANSSON (2014) para que se possa aumentar a tensão de alimentação é o empilhamento de transistores. Dessa forma a tensão sobre cada um dos transistores é menor. Com uma menor tensão sobre os transistores, pode-se aumentar a tensão de alimentação até que se atinja o limite da tecnologia. Uma das arquiteturas apresentadas por JOHANSSON (2014) que se utiliza da estratégia de empilhamento de transistores é a configuração cascode. Ainda vale ressaltar que apesar do empilhamento de transistores possibilitar uma maior tensão, todos os transistores apresentam componentes parasitas que causam perdas no circuito. Logo, ao utilizar um maior número de transistores também se aumentam as perdas.

Já para a diminuição da impedância de saída, uma das estratégias apresentadas por JOHANSSON (2014) é a arquitetura diferencial para PAs. Utilizando-se a arquitetura diferencial, pode-se amplificar partes do sinal separadamente e combiná-los na saída do PA. No entanto, também deve-se considerar que a transformação de impedâncias gera perdas no sinal devido ao aumento de componentes e, conseqüentemente, de componentes parasitas.

2.1.2 Baixa tensão de ruptura do óxido de transistores MOS

A ruptura do óxido nos transistores MOS ocorre quando há a aplicação de uma alta diferença de potencial entre a porta e o substrato do transistor e acaba-se formando um caminho para a corrente entre esses terminais. A FIGURA 2 representa o evento de ruptura do óxido, o qual pode ser dividido em dois eventos: a ruptura suave, a qual pode ser revertida, e a ruptura dura, a qual não pode ser revertida e inutiliza o transistor.



FONTE: ATTOPSEMMI Technology (2012). Traduzido.

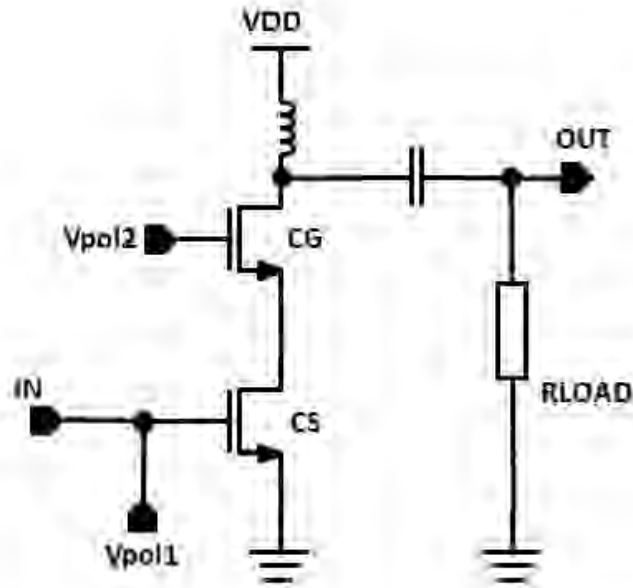
LEGENDA: Representação da ruptura suave e ruptura dura do óxido do transistor MOSFET.

A baixa tensão de ruptura de óxido está relacionada com as dimensões cada vez menores dos transistores, o que também acaba diminuindo a espessura do óxido de isolamento entre a porta e o substrato do transistor como apresentado por RUIZ (2014). Essa característica pode dificultar o projeto de amplificadores de potência pois, para entregar altas potências na saída, são necessárias também altas tensões.

2.1.3 Amplificador cascode

O amplificador cascode é composto pela associação de um transistor na configuração de fonte comum (CS) e outro na configuração de porta comum (CG). Nessa configuração, é fácil a ativação ou desativação da célula através da polarização do transistor configurado em modo de porta comum o que faz dessa configuração uma boa escolha para amplificadores multimodos. A estrutura cascode está representada na FIGURA 3.

FIGURA 3 - AMPLIFICADOR DA TOPOLOGIA CASCODE



FONTE: O autor (2021)

LEGENDA: Representação de um amplificador na configuração cascode, composto por um transistor na configuração porta comum (CG) e outro na configuração fonte comum (CS). O amplificador cascode tem como entrada o sinal IN, saída o sinal OUT, polarizações Vpol1 e Vpol2, alimentação VDD e carga RLOAD.

O ganho de tensão em aberto (A_{vo}) do amplificador cascode é dado em função das transcondutâncias (g_m) dos transistores CS e CG como mostrado pela equação a seguir

$$A_{vo} = -(g_{m_{CS}}r_{o_{CS}})(g_{m_{CG}}r_{o_{CG}}). \quad (1)$$

As transcondutâncias por sua vez são definidas em função das características do transistor como suas dimensões e especificações da tecnologia (k_n), do coeficiente de modulação do canal (λ_n) e das tensões sobre os terminais do transistor como mostrado pela equação abaixo:

$$g_m = k_n(V_{GS} - V_{TN})(1 + \lambda_n V_{DS}). \quad (2)$$

Portanto, para se aumentar o ganho do amplificador cascode, pode-se aumentar as tensões entre os terminais dos transistores, como por exemplo, aumentar

a tensão de alimentação do amplificador cascode o que resultaria em um aumento da tensão V_{DS} .

Como principais vantagens dessa configuração têm-se uma alta estabilidade e também um alto ganho. Outra característica da configuração cascode é que, devido ao empilhamento dos transistores, há uma queda de tensão no CG fazendo que a tensão sobre o CS seja menor que a tensão de alimentação do circuito. No caso desse projeto essa característica é uma vantagem, como exposto anteriormente, pois assim é possível aumentar a tensão de alimentação sem que se atinja as tensões máximas entre os terminais dos transistores, possibilitando uma maior potência de saída.

2.1.4 Perdas nos transistores

Para entregar uma alta potência de saída, normalmente os transistores CMOS devem apresentar grandes dimensões da largura, na ordem de milímetros. Essa grande largura dos transistores resulta em alta resistência de porta o que não é interessante pois resulta em perdas significativas. Uma das maneiras de se diminuir essa resistência da porta para transistores com grandes larguras, é a divisão desses grandes transistores em múltiplos transistores menores conectados em paralelo. Utilizando-se dessa multiplicidade de transistores ou um maior número de *fingers*, aumenta-se a quantidade de conexões com a porta o que resulta em uma menor resistência, como proposto por NIKNEJAD (2012).

Deve-se também levar em consideração a complexidade adicionada ao circuito por essa maior quantidade de componentes e conexões, as quais também podem gerar perdas por componentes parasitas.

2.1.5 Perdas por transformação de impedâncias

Usualmente, as impedâncias de saída inerentes dos PAs são baixas, o que dificulta o casamento de impedância, requerendo uma alta razão de transformação (HELLA (2002)). Dessa forma, os componentes passivos utilizados no casamento também tendem a ter grandes dimensões. Como os componentes passivos apresentam componentes parasitas e a saída do PA apresenta altas correntes, isso pode resultar em perdas significativas no casamento de impedâncias. Se a antena do módulo transmissor não for integrada ao circuito, pode-se realizar o casamento de

impedâncias fora do chip, utilizando componentes passivos que apresentem menos perdas, como apresentado por HELLA (2002).

2.2 MÉTRICAS PARA CARACTERIZAÇÃO DE PAS

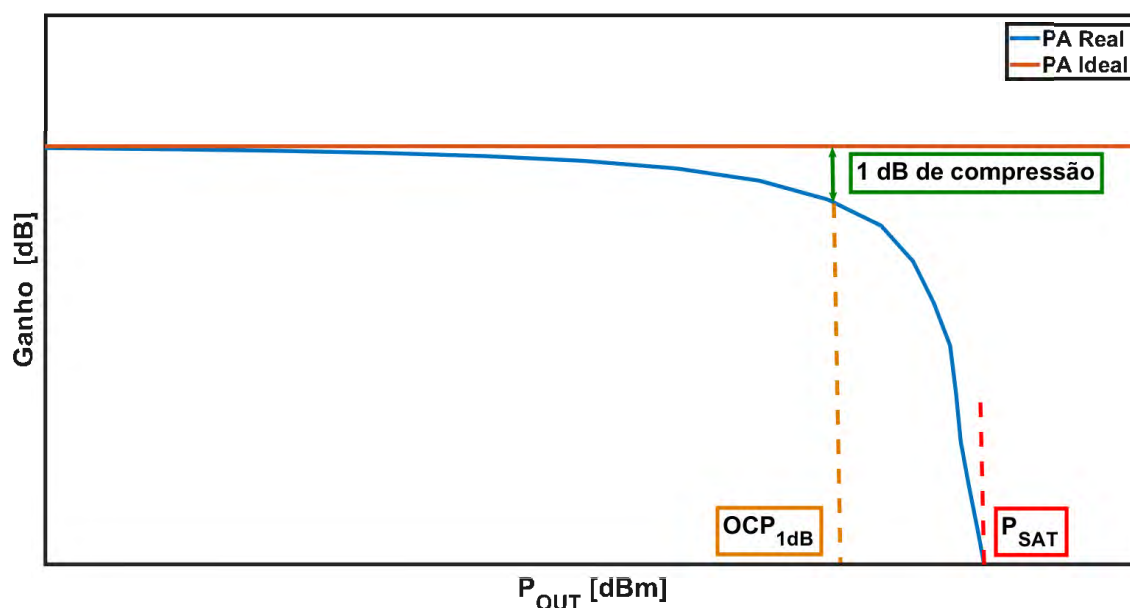
2.2.1 Linearidade

A linearidade é a capacidade do PA entregar em sua saída um sinal diretamente proporcional ao sinal de entrada e a capacidade de entregar um sinal de saída com mesma fase do sinal de entrada. Ou seja, é capacidade do PA de não adicionar distorções na amplitude ou na fase do sinal a ser transmitido.

A linearidade de fase é fácil de alcançar, para isso é necessário que a largura de banda do sinal seja pequena se comparada à de sua portadora. A distorção de fase é chamada de distorção PM-PM. A linearidade de amplitude é mais difícil de se atingir e essa distorção é chamada de AM-AM.

Os transistores têm limites de potência que podem entregar, portanto, os PAs também apresentam limitações quanto a potência. No entanto, quando a potência de

FIGURA 4 - EXEMPLO DE COMPRESSÃO DA POTÊNCIA DE SAÍDA DE UM PA



FONTE: O autor (2021)

LEGENDA: Representação da compressão da saída de um PA real e um PA ideal com destaque para o OCP_{1dB} e P_{SAT} .

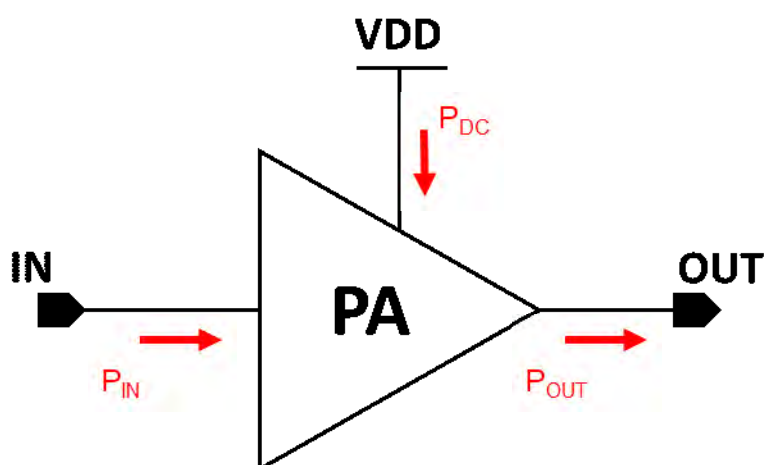
saída está próxima dessa potência máxima, a linearidade do PA é bastante degradada pela distorção AM-AM, REYNART (2006).

Uma métrica utilizada para se medir essa distorção é o ponto de compressão de 1 dB. O OCP_{1dB} é a potência de saída para a qual a potência entregue pelo PA está 1 dB abaixo do que seria a saída de um PA linear ideal, como exemplificado na FIGURA 4. Assim, essa é a máxima potência que pode ser entregue pelo PA sem que o sinal de saída seja distorcido significativamente. Essa potência é menor que a potência máxima que pode ser entregue, a potência de saturação (P_{SAT}). Ambos os valores têm sua importância na caracterização de PAs e serão analisados nesse projeto.

2.2.2 Eficiência

A eficiência é uma métrica de destaque na caracterização de PAs, visto que esse subsistema é responsável por grande parte do consumo de potência no módulo transmissor, ele também terá a maior contribuição na eficiência do módulo como um todo. Um dos principais métodos para se mensurar a eficiência é a utilização da Eficiência de Potência Adicionada (PAE). A PAE leva em conta a potência de entrada (P_{IN}), a potência de saída (P_{OUT}) e a potência consumida pelo PA (P_{DC}) as quais estão

FIGURA 5 - DIAGRAMA DAS POTÊNCIAS EM UM PA



FONTE: O autor (2021)

LEGENDA: Representação das potências de entrada e saída em um PA, as quais são consideradas no cálculo da PAE.

representadas na FIGURA 5. O cálculo do valor da PAE se dá de acordo com a equação a seguir:

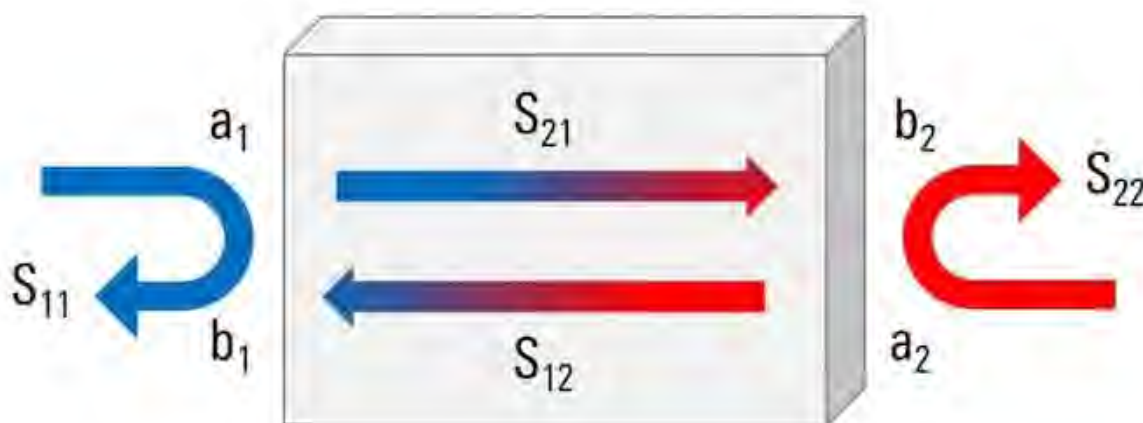
$$PAE = \frac{P_{OUT} - P_{IN}}{P_{DC}}. \quad (3)$$

Em outras palavras, essa métrica mostra o “custo” em potência para a potência adicionada ao sinal, o que não só leva em consideração apenas a potência de saída, mas também o ganho proporcionado pelo PA.

2.2.3 Parâmetros de espalhamento (pequenos sinais)

No caso desse trabalho, foram utilizados os resultados dados pela análise de parâmetros de espalhamento para duas portas. A simulação de parâmetros de espalhamento considera as entradas e saídas de pequenos sinais do circuito como ondas de tensão divididas em ondas incidentes e refletidas (LEE (2003)), assim os resultados obtidos apenas se referem ao comportamento de pequenos sinais. A FIGURA 6 representa os parâmetros em função das ondas incidentes e refletidas em

FIGURA 6 - DIAGRAMA DE PARÂMETROS DE ESPALHAMENTO



FONTE: Rohde Schwarz (2018)

LEGENDA: Quadripólio com ondas incidentes e refletidas com representação dos parâmetros de espalhamento.

um quadripólio.

Os valores dos parâmetros de espalhamento variam com a frequência e apresentam resultados interessantes para um PA como o seu ganho direto e informações sobre os casamentos de impedância. A seguinte equação apresenta a matriz de espalhamento e seus elementos:

$$S = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix}. \quad (4)$$

Cada um dos elementos da matriz representa uma métrica do circuito de duas portas, nesse caso um PA.

S_{11} : representa a qualidade do casamento de entrada do circuito. Quanto menor o valor de S_{11} , menor a reflexão na entrada o que é resultado de um bom casamento de entrada.

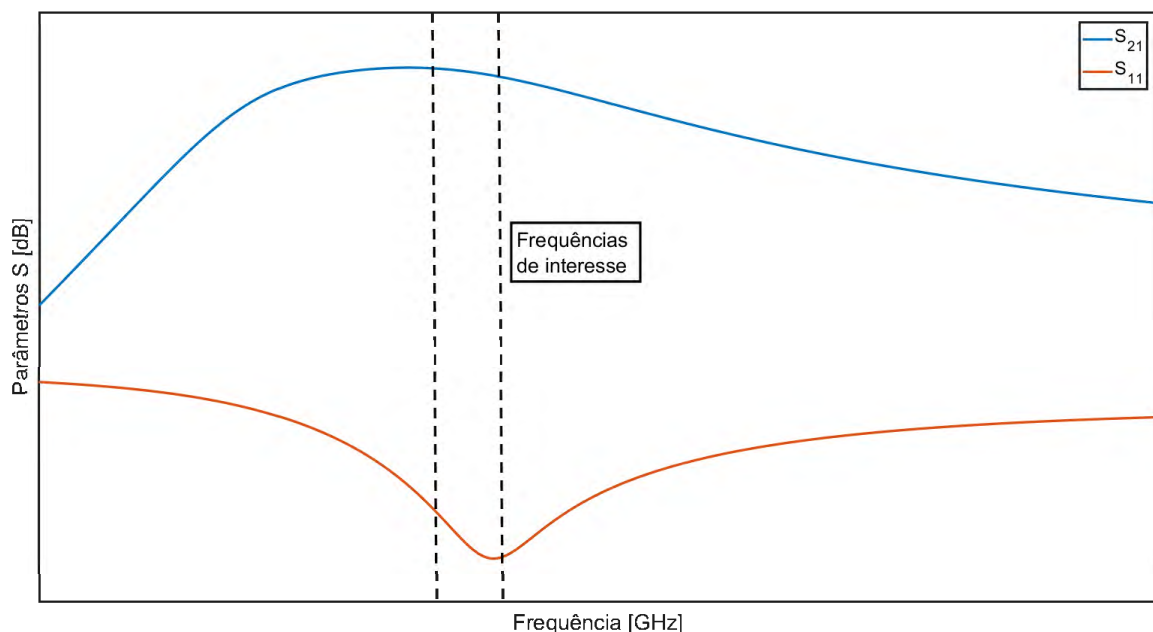
S_{12} : representa a isolação entre a porta de saída e a porta de entrada do circuito ou o ganho inverso. Quanto menor o valor de S_{12} menor é quantidade do sinal de saída presente na entrada do circuito, resultando em uma melhor isolação.

S_{21} : representa o ganho direto do circuito. Quanto maior o valor, maior foi o ganho de potência do sinal entre a porta de entrada e a porta de saída.

S_{22} : representa a qualidade de casamento de saída do circuito em relação ao ganho. Quanto menor o valor de S_{22} , menor é a reflexão do sinal na saída do circuito, resultado em uma otimização do ganho de pequenos sinais.

No caso desse trabalho, foram observados principalmente os parâmetros S_{11} e S_{21} , visto que pela topologia cascode utilizada a isolação entra a porta de saída e a

FIGURA 7 - EXEMPLO DE GRÁFICO DE PARÂMETROS DE ESPALHAMENTO



FONTE: O autor (2021)

LEGENDA: Gráfico exemplo de parâmetros de espalhamento S_{11} e S_{21} destacando-se as frequências de interesse para análise dos valores.

porta de entrada (S_{12}) já são boas o suficiente e o principal objetivo do casamento de saída é a linearidade da potência de saída (grandes sinais) ao invés da menor reflexão possível em pequenos sinais (S_{22}). A FIGURA 7 mostra um exemplo de um gráfico de parâmetros de espalhamento que será analisado nesse projeto com destaque para os valores nas frequências de interesse, que são as frequências próximas da frequência central de operação.

2.2.4 Parâmetro de estabilidade μ

Os circuitos de potência, como os PAs, são potencialmente instáveis. Dito isso, a estabilidade passa a ser um fator crítico no projeto de PAs para evitar que o circuito passe a oscilar. A condição de oscilação depende das impedâncias de entrada e saída do circuito logo, para um PA ser incondicionalmente estável, o PA deve ser estável para qualquer impedância de entrada ou saída do circuito.

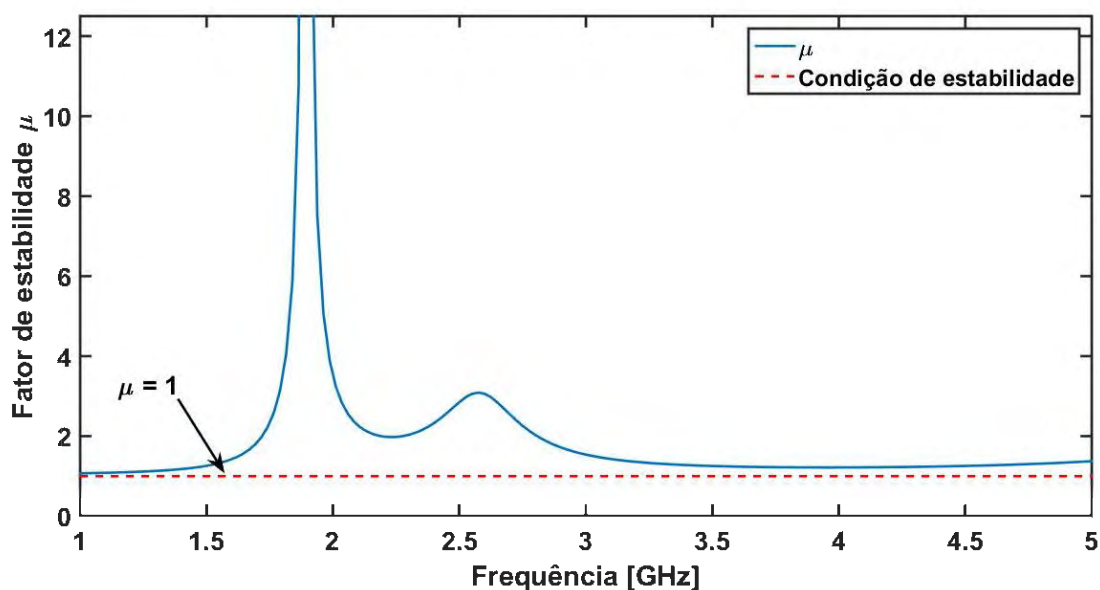
Um dos parâmetros para se mensurar a estabilidade é o parâmetro μ . Para circuitos de duas portas, o parâmetro μ é dado pela equação a seguir, a qual utiliza os valores dos parâmetros de espalhamento.

$$\mu = \frac{1 - |S_{11}|^2}{|S_{22} - |S_{11} \cdot S_{22} - S_{12} \cdot S_{21}| \cdot |S_{11}^*| + |S_{12} \cdot S_{21}|} \quad (5)$$

Se o valor de μ é maior ou igual a um para toda a faixa de frequência, o circuito é incondicionalmente estável. Dessa forma, para verificar a estabilidade de um circuito, é interessante realizar simulações para uma larga faixa de frequências, como mostra a FIGURA 8.

Caso o valor de μ assuma valores menores do que um para as frequências observadas, uma alternativa para se verificar a estabilidade do circuito é através dos círculos de estabilidade da fonte (SSB). Através dos SSB é possível identificar para quais impedâncias de carga o circuito apresenta reflexão (parâmetro de espalhamento S_{22}) maior do que um, o que pode fazer com que o circuito comece a oscilar. Logo, através dos SSB é possível identificar para quais impedâncias o circuito é estável.

FIGURA 8 - EXEMPLO DE CIRCUITO INCONDICIONALMENTE ESTÁVEL



FONTE: O autor (2021)

LEGENDA: Parâmetro de estabilidade μ em função da frequência para um circuito incondicionalmente estável.

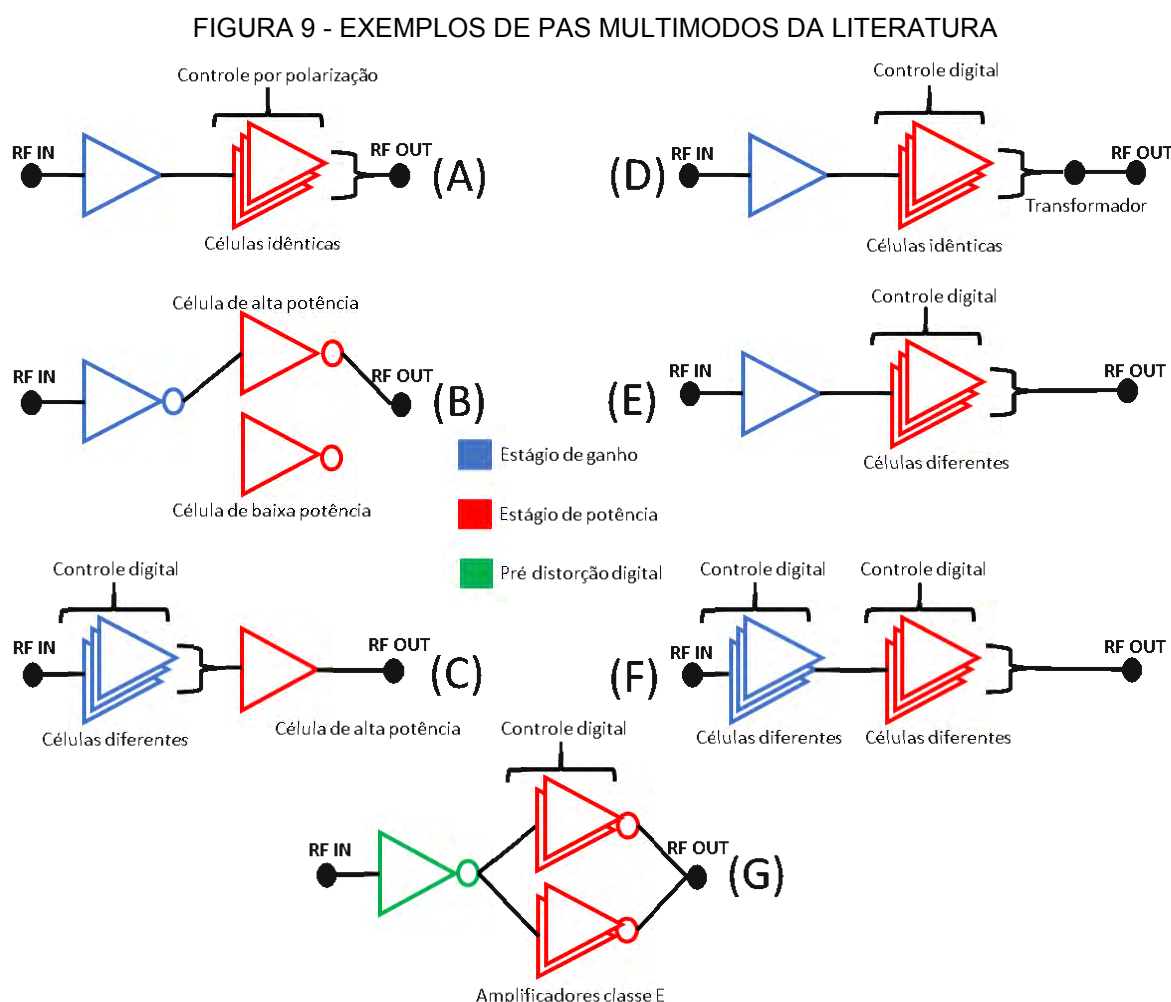
2.3 PRINCIPAIS TOPOLOGIAS DE PAS

Existem várias configurações possíveis de transistores e células amplificadoras as quais podem ser utilizadas para se construir um PA. Dentre elas, nesse tópico serão revisados alguns trabalhos de PAs multimodos e também PAs que apresentam uma alta potência saída.

2.3.1 PAs multimodos na literatura

Na literatura, têm-se diferentes arquiteturas propostas para o projeto de amplificadores de potência multimodos com diferentes potências de saída. O principal objetivo desse tipo de arquitetura é fazer com que o PA tenha um menor consumo de potência em situações em que é necessária uma menor de saída, alternando entre os modos de operação. A FIGURA 9 tem a representação simplificada em blocos de algumas das arquiteturas de PAs estudados e utilizados como base para esse trabalho.

Uma das arquiteturas propostas utiliza células de potência em paralelo com diferentes tensões de limiar como proposto por AN (Fig. 8 (A)). Dessa forma, é possível controlar a ativação das células paralelas através da tensão de polarização, fazendo-se com que o PA atinja diferentes potências de consumo. YON (Fig. 8 (B)) propôs um circuito com dois estágios de potência paralelos independentes com diferentes características de potência, um estágio de alta potência e outro de baixa potência. DOS SANTOS (Fig. 8 (C)) utilizou-se de uma arquitetura com três células do tipo cascode diferentes em paralelo com ativação independente, no estágio de ganho do PA. Essa arquitetura resultou em um circuito com uma potência máxima de saída constante, porém, com ganho controlável através da combinação de células ativas no estágio de ganho.



FONTE: O autor (2021)

Representação simplificada de PAs multimodos encontrados na literatura. (A) – AN (2009). (B) – YON (2010). (C) – DOS SANTOS (2017). (D) – TUFFERY (2015). (E) – SANTOS (2016). (F) – TARUI (2018). (G) – BANERJEE (2020).

TUFFERY (Fig. 8 (D)) apresenta um circuito com células de potência em paralelo idênticas que podem ser ativadas independentemente e tem suas saídas combinadas por um transformador. Logo, a potência máxima de saída pode ser controlada pela quantidade de células ativas, independentemente de quais células exatamente estão ativas. SANTOS (Fig. 8 (E)) propôs um circuito com arquitetura semelhante a apresentada por DOS SANTOS (Fig. 8 (C)), porém com um estágio de potência composto por três células do tipo cascode diferentes em paralelo. A ativação dessas células se dá pela aplicação da tensão de alimentação ou terra na porta do transistor porta comum em cada uma das células do estágio de potência de forma independente, tensão de alimentação para ativar a célula a tensão de terra para desativar a célula. Dessa forma, a tensão de saída é controlada pela combinação de células que estão ativadas.

Utilizado como base desse trabalho, tem-se a arquitetura proposta por mim em um trabalho anterior, referenciado como TARUI (Fig. 8 (F)), o qual apresenta dois estágios programáveis que tem células ativadas independentemente. Como principal característica, esse circuito tem a potência de saída variável de acordo com o modo de operação do estágio de potência e um ganho direto constante proporcionado pela operação estágio de ganho que visa equilibrar a diferença de ganho gerada pelo estágio de potência. Por fim, tem-se o PA multimodos mais complexo dentre os apresentados, o circuito proposto por BANERJEE (Fig. 8 (G)). Esse circuito utiliza dois PAs de classe E, cada um com um PA auxiliar, resultando em 4 modos de operação. O sinal de entrada é separado em duas entradas defasadas, cada sinal sendo amplificado por um dos PAs classe E e combinados na saída do circuito. Além disso, BANERJEE (Fig. 8 (G)) conta com uma pré-distorção digital que tem como objetivo compensar as não-linearidades da saída distorcendo o sinal de entrada o que resulta numa maior linearidade ao circuito em geral. Portanto, esse é o PA no qual mais técnicas são aplicadas para a otimização da operação em multimodos.

2.3.2 PAs de alta potência na literatura

Amplificadores que podem entregar uma alta potência em sua saída são objetos de estudo, principalmente devido às limitações imposta pela tecnologia CMOS. A TABELA 1 apresenta resultados de diferentes trabalhos que buscaram aumentar a potência de saída dos amplificadores empregando diferentes arquiteturas.

O trabalho de KHORSHIDIAN (2019) se utiliza de quatro amplificadores de classe E / F, compostos por quatro transistores empilhados cada. Esses amplificadores têm sua saída combinada por um combinador de potência. Com essa configuração, esse circuito foi capaz de entregar uma alta potência de saída com alta eficiência em detrimento da linearidade do sinal, devido à operação chaveada dos amplificadores de classe E / F.

O amplificador proposto por ROSTOMYAN (2016) utiliza-se de um estágio de potência composto por quatro transistores empilhados que se comportam como um amplificador linear. Ao empilhar os transistores foi possível remover os contatos de dreno e fonte entre os transistores o que contribuiu para a diminuição dos elementos parasitas e, além disso, cada um dos transistores empilhados teve sua polarização ajustada de forma diferente para a otimização dos resultados.

TABELA 1 - COMPARAÇÃO DE PAS COM ALTA POTÊNCIA DE SAÍDA NA LITERATURA

TRABALHO	TECNOLOGIA	FREQUÊNCIA (GHz)	P_{SAT} (dBm)	PAE MÁX	ARQUITETURA
KHORSHIDIAN (2019)	45 nm SOI CMOS	2,6	33,1	43,5%	PAE E / F chaveados
ROSTOMYAN (2016)	45 nm SOI CMOS	13,5	25,1	32,4%	4 transistores empilhados
CHI (2010)	180 nm CMOS	10	23,8	25,8%	Cascode combinados
DASGUPTA (2019)	28 nm CMOS	39	26	26,6%	Empilhamentos de transistores de poço triplo
HU (2014)	65 nm CMOS	3,5	27,3	30%	Doherty utilizando transformador

FONTE: O autor (2021)

LEGENDA: Tabela com dados de diferentes PAs que utilizam diferentes arquiteturas com o objetivo de atingirem potências de saída mais altas.

Vale ressaltar que ambos os trabalhos utilizaram a tecnologia 45 nm SOI CMOS, que apresenta vantagens se comparada à tecnologia CMOS tradicional principalmente no projeto de circuitos de mais alta potência, por essa razão vem se observando o aumento do uso dessa tecnologia no projeto de circuitos desse tipo. As principais vantagens da tecnologia SOI CMOS quando comparada a tecnologia CMOS são a maior capacidade de lidar com altas tensões sem danificar o transistor e um substrato de maior resistividade, o que resulta em menores perdas no substrato. No entanto, a tecnologia SOI CMOS também apresenta maior custo de fabricação quando comparada a tecnologias CMOS tradicionais.

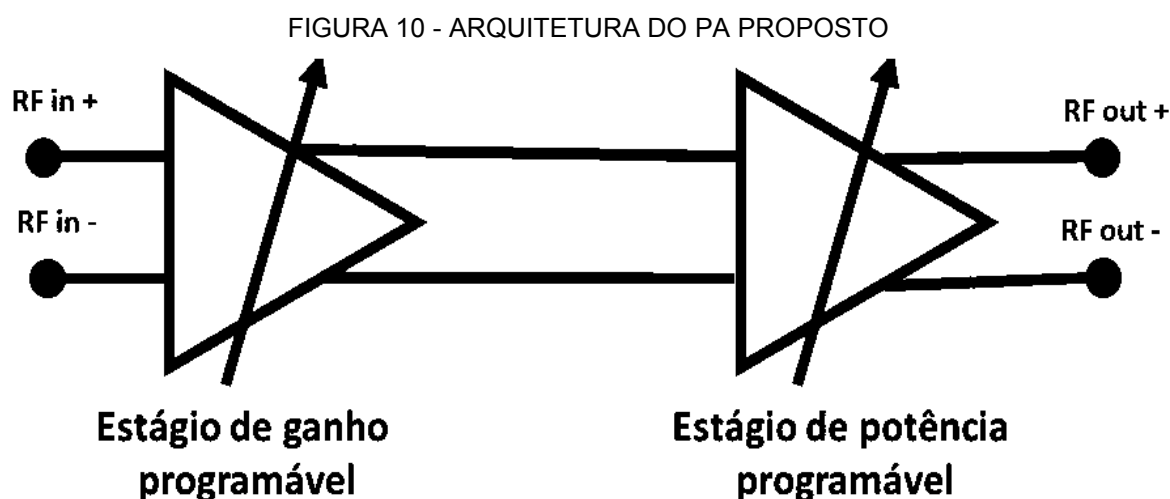
Os outros três trabalhos apresentados na TABELA 1 utilizam diferentes nós da tecnologia CMOS usual. O circuito proposto por CHI (2010) utiliza a combinação de dois módulos cascodes em uma única saída afim de aumentar a potência máxima de saída. DASGUPTA (2019) utiliza-se do empilhamento de transistores de poço triplo, conectando o terminal de corpo à fonte do transistor que tem uma tensão diferente de zero. Dessa forma, pode-se aumentar a tensão no dreno do transistor sem que a queda de tensão entre dreno e corpo ultrapasse o limite estabelecido pela tecnologia. Com o aumento da tensão no dreno, no circuito pôde entregar uma maior potência na saída.

Por fim, tem-se o amplificador proposto por HU (2014), o qual se utiliza da combinação de amplificadores do tipo Doherty. Os amplificadores do tipo Doherty são amplificadores compostos por um amplificador principal e outro amplificador auxiliar que têm suas saídas combinadas. Nesse caso, um combinador de potência foi utilizado para a combinação das saídas.

Através desses trabalhos pôde-se observar diferentes estratégias e tecnologias que podem ser utilizadas com o objetivo de se aumentar a potência de saída de um PA, as quais acabam se alinhando com as soluções propostas por JOHANSSON (2014). Nesse trabalho, por ter como objetivo um PA linear multimodo que possa entregar uma alta potência, optou-se pela junção de diferentes estratégias como a utilização de células cascode e transistores de poço triplo. Assim, pode-se alternar entre modos de operação facilmente e entregar potências mais altas mantendo-se uma boa linearidade.

3 PROJETO DO AMPLIFICADOR DE POTÊNCIA

Para esse trabalho, decidiu-se utilizar uma arquitetura semelhante à proposta por TARUI (2018), uma arquitetura diferencial com tanto o estágio de ganho quanto o estágio de potência compostos por células cascode diferentes, que podem ser ativadas e desativadas. De modo geral, as arquiteturas são semelhantes, porém nesse trabalho foram realizadas várias modificações na ativação das células, polarização e na disposição das células cascodes nos estágios. De forma resumida, a arquitetura do PA proposto nesse trabalho pode ser representada pela FIGURA 10.



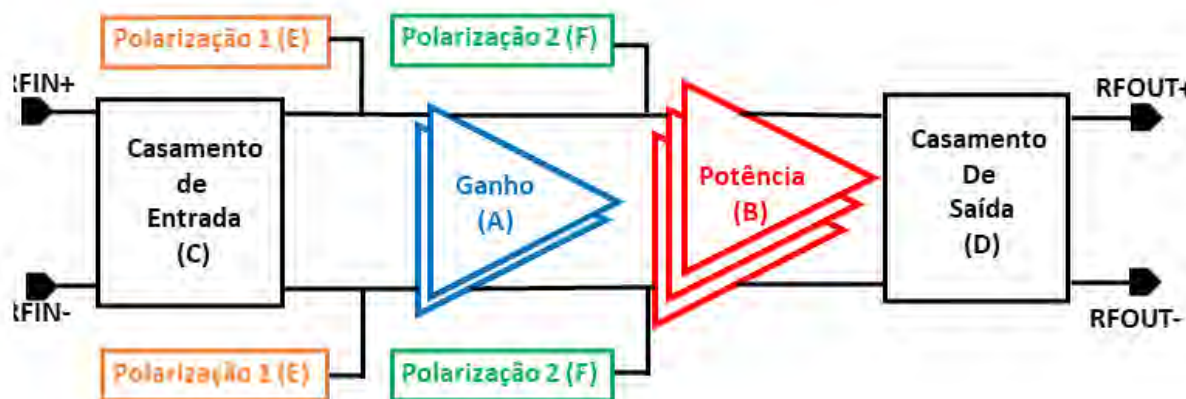
FONTE: O autor (2021)

LEGENDA: Arquitetura simplificada do PA proposto nesse trabalho.

3.1 ETAPAS DO PROJETO DO PA

Com a escolha da arquitetura do circuito, parte-se para o projeto de cada um dos circuitos que compõem o PA, os quais estão representados no diagrama de blocos da FIGURA 11. Ao separar o projeto do circuito em blocos específicos, se torna mais fácil a identificação de possíveis problemas e a compreensão do circuito, por ser possível a realização de simulações em cada bloco de forma independente e a construção do esquemático completo com uma visão de mais alto nível, o que diminui a quantidade de componentes visíveis.

FIGURA 11 - DIAGRAMA DE BLOCOS DO PA PROPOSTO



FONTE: O autor (2021)

LEGENDA: Diagrama de blocos de circuito proposto. Em azul (A) o estágio de ganho programável, em vermelho (B) o estágio de potência programável, em preto (C e D) os casamentos de impedância de entrada e saída, em laranja (E) a polarização do estágio de ganho e em verde (F) o circuito programável de polarização do estágio de potência.

O projeto do PA proposto nesse trabalho foi dividido em quatro etapas principais, as quais são:

1. Escolha dos transistores.
2. Projeto do estágio de potência.
 - a. Dimensionamento da largura dos transistores (B).
 - b. Projeto do circuito de casamento de saída (D).
 - c. Projeto do circuito de polarização variável (F).
3. Projeto do estágio de ganho.
 - a. Dimensionamento das células (A).
 - b. Polarização do estágio (E).
 - c. Projeto do circuito de casamento de entrada (C).
4. Validação das tensões.

3.2 ESCOLHA DOS TRANSISTORES

A tecnologia utilizada no projeto dispõe de diferentes tipos de transistores de radiofrequência, os quais podem ser divididos em duas categorias: transistores de óxido fino e transistores de óxido espesso. As principais diferenças entre esses transistores são as tensões máximas suportadas e o comprimento mínimo de canal, como representado na TABELA 2.

Ambas as categorias de transistores também apresentam transistores de poço triplo, nos quais é possível aplicar um potencial de corpo diferente do potencial do substrato.

TABELA 2 - COMPARAÇÃO ENTRE TRANSISTORES ÓXIDO FINO E GROSSO

PARÂMETRO	TRANSISTOR DE ÓXIDO FINO	TRANSISTOR DE ÓXIDO GROSSO
TENSÃO MÁXIMA ENTRE DIFERENTES TERMINAIS (PORTA, FONTE E DRENO)	1,6 V	2,7 V
TENSÃO MÁXIMA ENTRE TERMINAL DE CORPO E TERMINAL DE PORTA, FONTE OU DRENO	2,6 V	4,7 V
COMPRIMENTO MÍNIMO DE CANAL	120 nm	240 nm

FONTE: Manual da tecnologia.

LEGENDA: Tabela com os valores de tensões máximas suportadas entre os terminais de transistores de óxido fino e óxido espesso para que os transistores não sejam danificados.

Uma das maneiras de se maximizar a potência de saída, como exposto anteriormente, é através do aumento da tensão de alimentação do circuito. Assim, o transistor de óxido espesso se mostrou mais adequado para o projeto por suportar maiores tensões se comparado ao transistor de óxido fino. A principal desvantagem dessa escolha é o comprimento mínimo do canal do transistor de óxido espesso, que é o dobro do comprimento mínimo do canal do transistor de óxido fino, resultando em uma maior área ocupada pelo circuito. Por exemplo, para se obter a mesma razão entre comprimento e largura de um transistor de óxido fino, o transistor de óxido espesso teria de ter uma largura duas vezes maior que a largura do transistor de óxido fino. No entanto, normalmente a área do PA é determinada pelos indutores, pois esses são os componentes de maior dimensão no circuito. Dessa forma, ter-se uma maior área ocupada pelos transistores não será uma grande desvantagem considerando a área total do circuito.

3.3 PROJETO DO ESTÁGIO DE POTÊNCIA

O estágio de potência é baseado em TARUI (2018), o qual consiste em três células cascodes diferenciais controlados por sinais independentes. Todos os transistores utilizados são de óxido espesso com comprimento mínimo de canal de 240 nm. As células são ativadas e desativadas dependendo da tensão aplicada no terminal de porta do transistor porta comum de cada célula cascode. Quando se tem um sinal alto na porta do transistor porta comum, que seja no mínimo maior que a tensão de limiar do transistor, permite-se a passagem de corrente pela célula cascode fazendo com que a mesma esteja ativa. Quando o sinal no terminal de porta é baixo, menor que a tensão de limiar do transistor, não há passagem de corrente pelo cascode fazendo com que a célula esteja desativada.

Cada uma das células cascode tem transistores de diferentes larguras, dessa forma, dependendo de quais células estão ativas o estágio de potência terá uma largura total equivalente única. Por exemplo, se de três células apenas duas estiverem ativas, o estágio de potência seria equivalente a uma célula cascode com transistores com a mesma largura dos transistores das duas células ativas somados.

TABELA 3 - LARGURA EQUIVALENTE DO ESTÁGIO DE POTÊNCIA

EN2A	EN2B	EN2C	LARGURAS DAS CÉLULAS ATIVAS (μm)	LARGURA EQUIVALENTE (μm)
0	0	1	0 + 0 + 300	300
0	1	0	0 + 600 + 0	600
0	1	1	0 + 600 + 300	900
1	0	0	1200 + 0 + 0	1200
1	0	1	1200 + 0 + 300	1500
1	1	0	1200 + 600 + 0	1800
1	1	1	1200 + 600 + 300	2100

FONTE: O autor (2021)

LEGENDA: Tabela com as larguras equivalentes do estágio de potência de acordo com as células ativas.

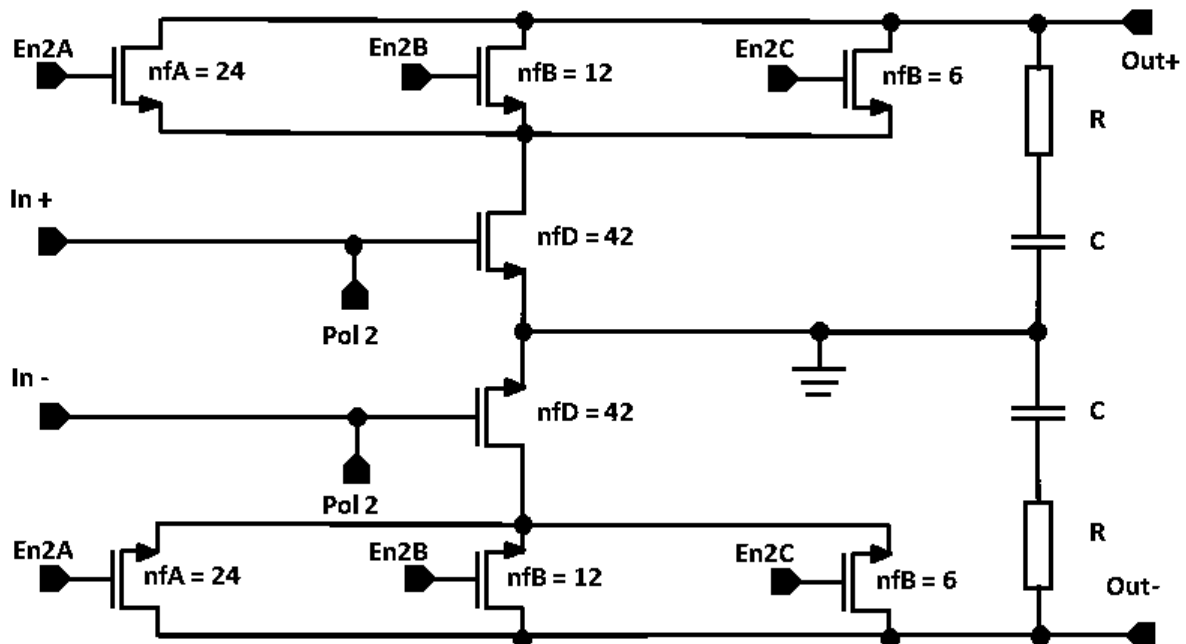
Para o dimensionamento da largura dos transistores, decidiu-se manter a proporção entre as larguras das células cascode (4:2:1) como no estágio de potência de TARUI (2018). Então foram feitas novas simulações *loadpull* para se descobrir qual a combinação de larguras poderia proporcionar a maior potência com uma tensão de alimentação de 3,3 V e polarização de 2 V. O resultado está representado na TABELA 3, a qual mostra a largura equivalente do estágio de potência de acordo com a combinação de células ativas.

A FIGURA 12 representa o estágio de potência proposto com as mudanças em relação a TARUI (2018), o valor de *nf* (A, B, C, D) representa o número de *fingers* em cada transistor das células cascode. Pode-se observar que foram mantidas a arquitetura diferencial e a rede de realimentação para melhora da estabilidade.

Uma das mudanças realizadas foi na largura dos transistores, ao invés de se utilizar transistores em multiplicidade, foi escolhido utilizar transistores únicos com maior número de *fingers*, com o objetivo de facilitar o leiaute do circuito. Dessa forma, os transistores foram divididos em *fingers* de 50 μm cada.

Para os transistores CG das células cascode decidiu-se utilizar transistores de poço triplo, para que fosse possível conectar o terminal de corpo ao terminal de

FIGURA 12 - ESQUEMÁTICO DO ESTÁGIO DE POTÊNCIA DO CIRCUITO PROPOSTO



FONTE: O autor (2021)

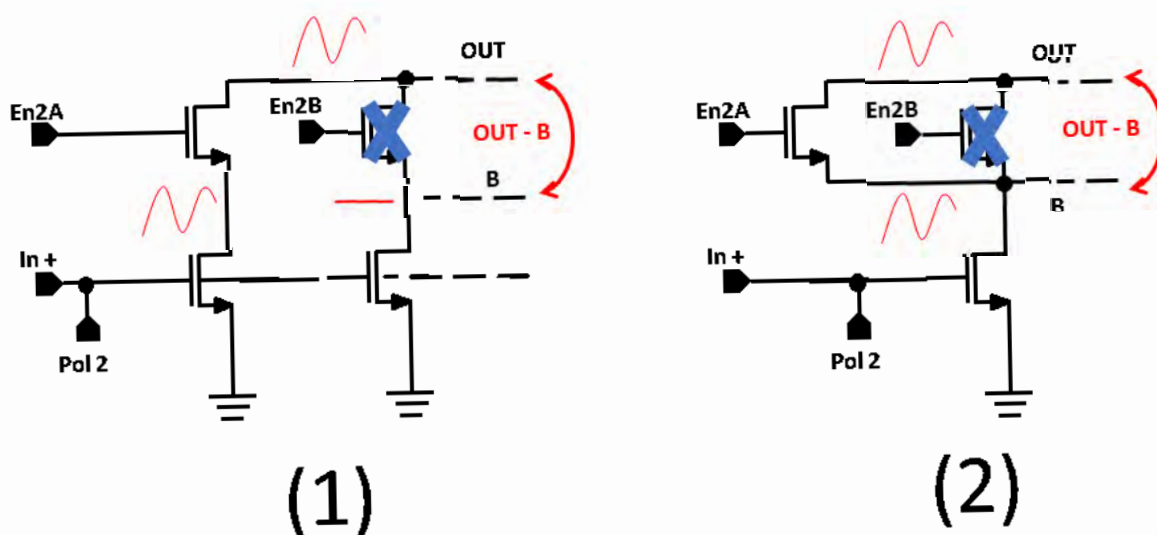
LEGENDA: Esquemático do estágio de potência do circuito proposto. O estágio é composto por três células cascode com transistores de mesma dimensão e multiplicidades diferentes.

fonte do transistor. Dessa forma, a tensão no corpo do transistor é diferente de zero, fazendo com que a diferença de potencial entre os terminais de corpo e dreno fosse menor nos transistores CG. Assim, é possível que se aumenta a tensão no terminal de dreno sem ultrapassar os limites impostos pela tecnologia.

Os sinais de controle estão representados por En2A, En2B e En2C. Para esse circuito foram escolhidas as tensões de 2,7 V como sinal alto para ativar a célula cascode e o potencial de terra como sinal baixo para desativar a célula cascode. Foi escolhida a tensão de 2,7 V como sinal lógico alto a princípio pela diferença de tensão entre os terminais de porta e fonte ser proporcional ao ganho do circuito como mostrados nas equações 1 e 2. Além disso, 2,7 V é o valor de tensão máxima permitida entre os terminais dos transistores como mostrado na TABELA 2. Foi escolhido o potencial de terra como sinal lógico baixo pela comodidade de ser uma tensão já presente em outras partes do circuito.

As células cascode, quando todas ativas, apresentam uma largura efetiva de 2,1 mm. A rede de realimentação composta pelo resistor R com resistência de 390 Ω e pelo capacitor C com capacitância de 743 fF. Ambos são componentes da biblioteca

FIGURA 13 - COMPARAÇÃO ENTRE MODELOS CASCODE



FONTE: O autor (2021)

LEGENDA: Comparação entre duas arquiteturas de amplificadores cascode. (1) mostra a associação de cascodes independentes, enquanto (2) mostra um circuito cascode o qual tem o transistor porta comum dividido em dois outros transistores os quais são controlados de forma independente.

da tecnologia BICMOSH_P 130 nm, sendo o capacitor do tipo *dual mim* e o resistor do tipo *orrpr*, um resistor composto pela camada de poli silício.

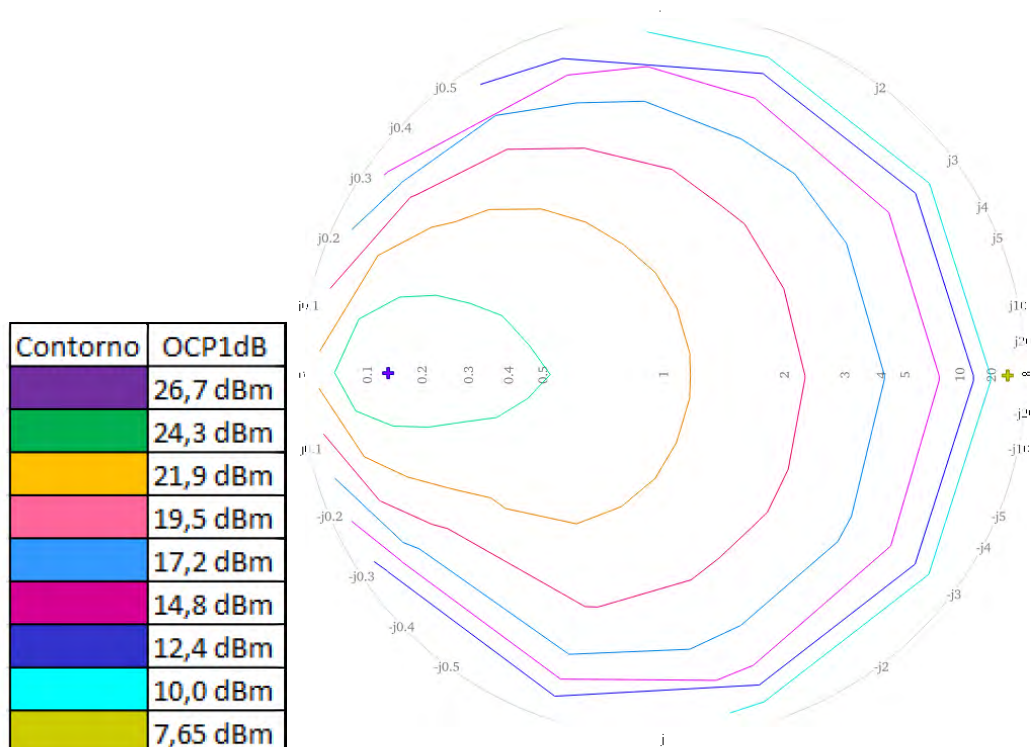
A principal mudança realizada no estágio de potência proposto em relação a TARUI (2018) é a utilização de um único transistor fonte comum nos estágios cascode. Essa mudança foi realizada com o objetivo de diminuir a tensão à qual os transistores porta comum eram submetidos quando algum deles estava desativado. A FIGURA 13 exemplifica a diferença entre as duas configurações quando uma das células cascode está desativada.

No caso 1, a diferença de potencial entre OUT e B é alta visto que B tem valor zero. Dessa forma, essa diferença de potencial pode ultrapassar o valor recomendado pela tecnologia podendo causar danos ao transistor. Já no caso 2, como os transistores porta comum têm os terminais de fonte conectados no mesmo nó, a diferença de potencial entre OUT e B não será tão alta, visto que B tem valor diferente de zero e em fase com OUT. Assim, evita-se que a diferença de potencial entre os terminais dos transistores ultrapasse os limites recomendados pela tecnologia. No entanto, uma das desvantagens de se utilizar essa configuração é que a largura efetiva do transistor fonte comum é sempre a mesma, o desequilíbrio com a largura efetiva dos transistores porta comum, quando nem todos estão ativados, pode prejudicar o desempenho do circuito. Por exemplo, tendo-se um transistor CS maior que o transistor CG pode fazer com que o circuito consuma mais potência sem que seja capaz de entregar mais potência em sua saída.

3.3.1 Rede de casamento de saída

Após realizado o dimensionamento do estágio de potência, a próxima etapa realizada foi o projeto da rede de casamento de saída de circuito, com o objetivo de maximizar o valor de OCP_{1dB} . Para isso, partiu-se dos resultados da simulação *loadpull* do estágio de potência para o qual todas as células estão ativas. A simulação *loadpull* varia os valores de impedância da carga do circuito, tanto parte imaginária quanto real, e com isso se observa o comportamento do circuito para cada valor de impedância diferente (LEE (2003)). O resultado dessa simulação está representado na FIGURA 14 na forma de uma carta de Smith com os contornos de potência para cada impedância de saída simulada. Como o objetivo dessa etapa é maximizar o valor de OCP_{1dB} , foi escolhido o ponto de OCP_{1dB} máximo destacado na figura, o qual

FIGURA 14 - CARTA DE SMITH COM RESULTADO DA SIMULAÇÃO LOADPULL



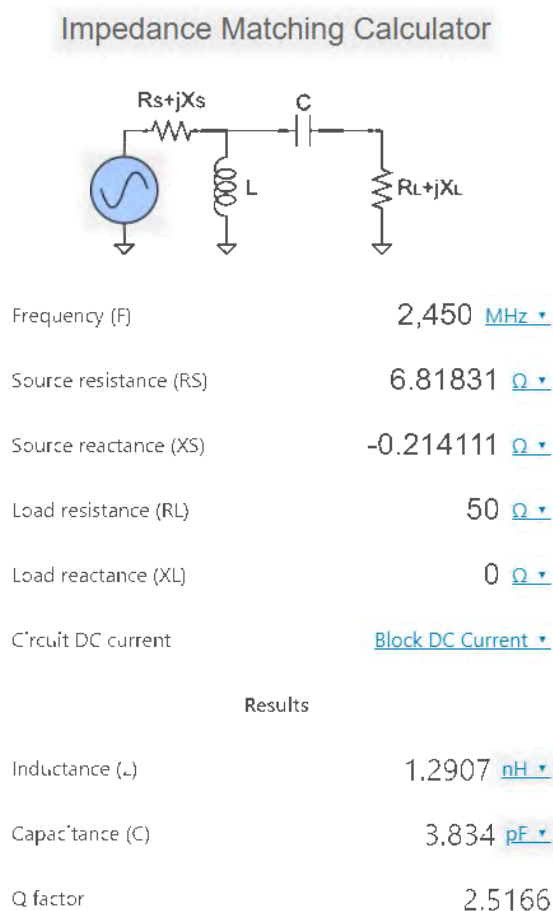
FONTE: O autor (2021)

LEGENDA: Resultado da simulação *loadpull* para o modo do estágio de potência com todas as células ativas. As impedâncias estão normalizadas em 100 Ω . Na figura tem-se os contornos de *loadpull* e na legenda está o valor do ponto de compressão OCP_{1dB} para cada um dos contornos.

apresentou uma impedância de valor $Z_d = 13,64 + j0,42 \Omega$. Assim, deve-se projetar uma rede de casamento para a qual a saída do circuito enxergue a impedância Z_d para se obter o mesmo valor de OCP_{1dB} obtido na simulação *loadpull*.

Para auxiliar no projeto do cálculo da rede de impedância, utilizou-se uma calculadora de casamento de impedâncias disponível gratuitamente online em EEWEB (2021). Apesar da porta de saída do circuito ter impedância de 100 Ω , cada um dos terminais de saída diferenciais enxerga uma impedância de porta de 50 Ω pela divisão de impedância. Por essa razão, o valor utilizado como impedância de carga no cálculo foi de 50 Ω e a impedância Z_d utilizada foi $6,82 + 0,21 \Omega$, metade do valor encontrado na simulação *loadpull*. A topologia escolhida para o circuito de casamento foi uma rede LC na configuração passa-alta, isolando a porta de saída da componente contínua do sinal. Os resultados obtidos pela calculadora estão representados na FIGURA 15. Em destaque têm-se os valores de indutor e capacitor da rede de casamento obtida.

FIGURA 15 - CÁLCULO DA REDE DE CASAMENTO DE SAÍDA



FONTE: O autor (2021)

LEGENDA: Resultado do cálculo da rede de casamento LC para o casamento de saída do circuito.

Para a validação do resultado obtido, foi construído o circuito de casamento de saída utilizando-se componentes ideais e verificado se o valor de OCP_{1dB} estava próximo do valor máximo obtido na simulação *loadpull*. Após essa validação, substituiu-se o capacitor e indutor ideais por componentes da tecnologia com os mesmos valores de capacitância e indutância e foi realizada novamente a verificação de OCP_{1dB} . Porém, nessa simulação percebeu-se que o valor de OCP_{1dB} diminuiu comparado ao valor obtido utilizando-se os componentes ideais no casamento. Isso foi causado pelos efeitos levados em conta ao utilizar componentes da tecnologia, os quais podem alterar o valor efetivo de capacitância e indutância desses componentes, além de incluir perdas no substrato. Então, partindo-se desse resultado, foi realizada uma otimização local alterando-se as dimensões dos componentes da tecnologia com

TABELA 4 - VALIDAÇÃO E OTIMIZAÇÃO DO CASAMENTO DE SAÍDA

CASAMENTO DE SAÍDA	OCP _{1dB}
COMPONENTES IDEAIS	26,5 dBm
COMPONENTES DA TECNOLOGIA	24,6 dBm
COMPONENTES DA TECNOLOGIA APÓS OTIMIZAÇÃO LOCAL	25,7 dBm

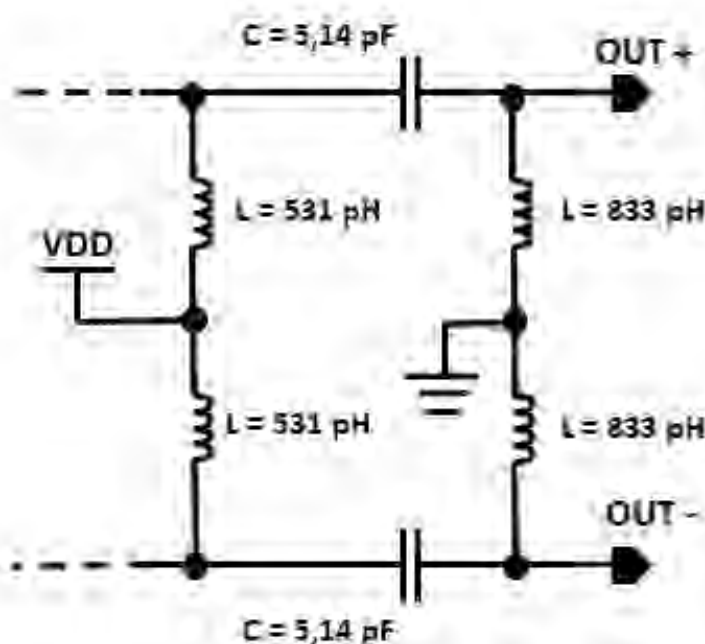
FONTE: O autor (2021)

LEGENDA: Resultados das simulações de validação e otimização do casamento de saída utilizando componentes ideais e componentes da tecnologia.

o objetivo de melhorar o casamento de saída. Os resultados desse processo estão representados na TABELA 4.

A FIGURA 16 representa a rede de casamento de saída projetada após a última célula do estágio de potência. Vale observar que além da rede LC projetada com o auxílio da ferramenta, o indutor conectando o estágio de potência à alimentação

FIGURA 16 - REDE DE CASAMENTO DE IMPEDÂNCIAS DE SAÍDA



FONTE: O autor (2021)

LEGENDA: Rede de casamento com componentes da tecnologia resultante do processo de otimização local.

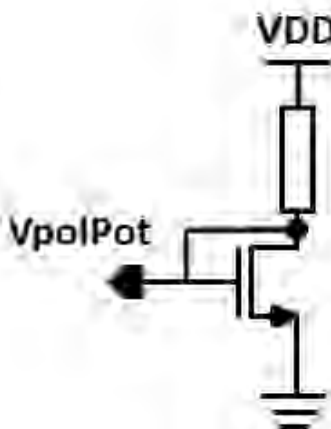
também contribuiu para o casamento. Para esses indutores em específico, procurou-se utilizar a maior largura de metal possível, visto que por eles passa a maior parte da corrente do circuito. Sendo assim, a resistência parasita nesses indutores, que é inversamente proporcional à largura do metal, causaria perdas significativas.

3.3.2 Circuito de polarização do estágio de potência

Como mostrado anteriormente, o estágio de potência pode ser visto como uma única célula cascode com o transistor porta comum dividido em três transistores porta comuns com ativação independente. Assim, tem-se sempre o transistor fonte comum ativo. Dessa forma, modos de operação que não têm todos os porta comuns ativos podem ter seu desempenho prejudicado visto que podem estar consumindo mais corrente que o necessário em razão do transistor fonte comum. Uma das maneiras de mitigar isso é alterando-se a polarização do transistor fonte comum, fazendo-o operar em condições que não seriam ótimas considerando todos os transistores porta comum ativos, mas que podem melhorar o desempenho quando esse não é o modo de operação.

O circuito de polarização originalmente proposto por TARUI (2018) está representado na FIGURA 17. O circuito de polarização foi dimensionado com o

FIGURA 17 - CIRCUITO DE POLARIZAÇÃO SIMPLES



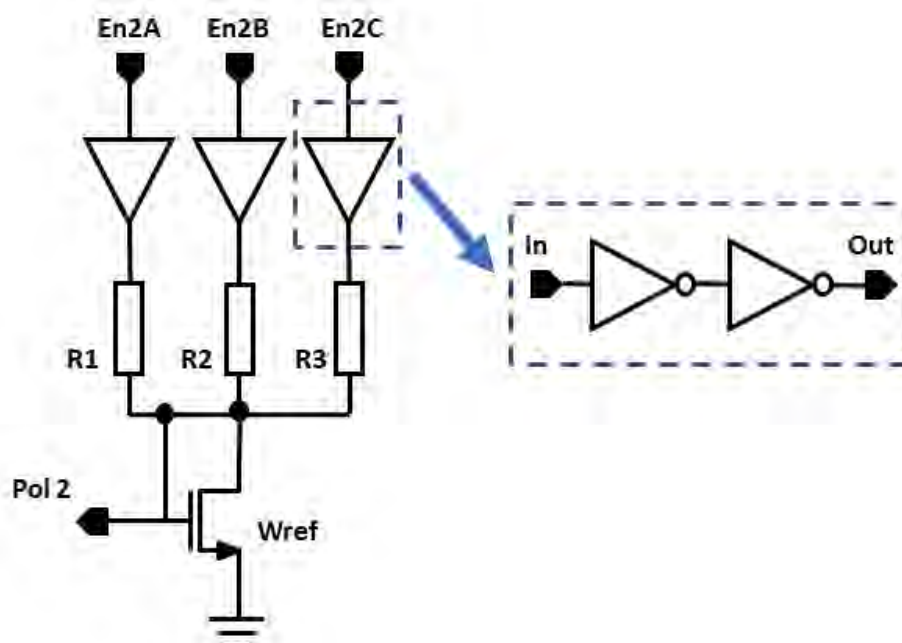
FONTE: TARUI (2018)

LEGENDA: Circuito de polarização simples capaz de entregar uma única tensão para o estágio de potência programável.

objetivo de maximizar o valor do OCP_{1dB} do modo de maior potência do circuito. Decidiu-se utilizar a mesma arquitetura, otimizando a resistência para se obter o maior valor de OCP_{1dB} para o modo de maior potência, porém dividindo-se o resistor em três outros resistores diferentes. Dessa forma, procurou-se utilizar os sinais de controle já presentes no circuito (En2A, En2B e En2C) para também controlar o circuito de polarização.

A FIGURA 18 mostra o esquemático do circuito de polarização variável projetado. A alteração na tensão de polarização de saída do circuito se dá pelas diferentes associações paralelo dos resistores. Quando o sinal de controle tem sinal baixo, o buffer utilizado entre o sinal e o resistor faz com que o resistor fique em circuito aberto, desconectando-o do circuito. Isso ocorre pois os inversores utilizados no buffer estão em aberto ao invés de estarem conectados no potencial de terra. Os resistores apresentam as seguintes resistividades, $R1 = 2,77 \text{ k}\Omega$, $R2 = 3,28 \text{ k}\Omega$ e $R3 = 4,81 \text{ k}\Omega$.

FIGURA 18 - CIRCUITO DE POLARIZAÇÃO VARIÁVEL



FONTE: O autor (2021)

LEGENDA: Circuito de polarização variável controlado pelos mesmos sinais de controle utilizados pelo estágio de potência através de buffers. $R1 = 2,77 \text{ k}\Omega$, $R2 = 3,28 \text{ k}\Omega$ e $R3 = 4,81 \text{ k}\Omega$ e $Wref = 7,2 \mu\text{m}$.

O transistor utilizado também foi um transistor de óxido espesso com comprimento de canal de 240 nm e largura $W_{ref} = 7,2 \mu\text{m}$.

A TABELA 5 mostra os valores de tensão obtidos utilizando-se o circuito de polarização variável e o circuito de polarização fixa. Pode-se observar que as tensões obtidas com o circuito de polarização variável chegam a ser metade se comparado ao circuito de polarização fixa em alguns casos.

TABELA 5 - TENSÕES DE POLARIZAÇÃO

EN2A	EN2B	EN2C	FIXA [mV]	VARIÁVEL [mV]
0	0	1		580
0	1	0		697
0	1	1		900
1	0	0	1212	751
1	0	1		945
1	1	0		1025
1	1	1		1212

FONTE: O autor (2021)

LEGENDA: Tabela com resultados comparativos das tensões de polarização utilizando o circuito de polarização fixa e variável.

A TABELA 6 mostra alguns dos resultados obtidos pelo estágio de potência e seus diferentes modos utilizando um circuito de polarização fixo e o circuito de polarização variável. Pode-se observar que o ganho ao utilizar o a polarização variável é mais significativo nos modos em que En2A está desativado, isso ocorre pois esse é o sinal de controle que ativa o maior transistor porta comum do circuito, assim a polarização ótima para esse modo de operação é bem próxima do que se tem utilizando o circuito de polarização fixa. A principal vantagem em se utilizar a polarização variável está na redução de potência consumida sem degradar muito as métricas para os modos com En2A ativo e melhorar as métricas quando En2A está desativado. O ganho de potência (GP) pouco foi impactado pela utilização do circuito variável para a maioria dos modos, mas teve uma melhora significativa para outros. De modo geral, todos os modos de operação com En2A desativado obtiveram uma

significativa melhora em suas métricas e mesmo nos modos com En2A ativado pôde-se diminuir a potência consumida pelo circuito.

TABELA 6 - COMPARAÇÃO DOS RESULTADOS ENTRE CIRCUITOS DE POLARIZAÇÃO

MODO			OCP _{1dB} (dBm)		GP (dB)		PDC (W)	
En2A	En2B	En2C	Fixa	Variável	Fixa	Variável	Fixa	Variável
0	0	1	7,00	13,9	-13,8	6,85	1,15	0,26
0	1	0	14,0	17,1	6,01	12,9	1,98	0,58
0	1	1	15,3	21,0	14,3	15,6	2,25	1,25
1	0	0	20,9	19,6	16,3	16,2	2,34	0,76
1	0	1	23,5	22,6	17,3	17,5	2,39	1,46
1	1	0	24,9	24,0	17,9	18,0	2,42	1,76
1	1	1	25,7	25,7	18,2	18,2	2,45	2,45

FONTE: O autor (2021)

LEGENDA: Tabela com resultados comparativos dos modos de operação utilizando-se a polarização fixa e variável.

3.3.3 Modos de operação do estágio de potência

A TABELA 7 apresenta os valores de OCP_{1dB}, ganho direto e potência DC consumida por cada uma das possíveis combinações do estágio de potência, excluindo-se o modo em que o estágio está totalmente desativado, com o casamento de saída e circuito de polarização projetados.

Considerando-se os resultados obtidos representados na tabela TABELA 7 decidiu-se utilizar os modos de operação 011, 101, 110 e 111 pois esses modos apresentam valores de OCP_{1dB} de no mínimo 20 dBm e valores de ganho disponível maiores que 20 dB, além de apresentarem um OCP_{1dB} com mais de 1 dB de diferença, já que nessa seleção quer se obter modos de operação que sejam diferentes e apresentem vantagens operacionais. É importante que os modos selecionados apresentem ganho disponível maior que 20 dB para que seja mais fácil equalizar o ganho dos modos de operação.

Dessa forma, os quatro modos de operação selecionados foram nomeados de A a D, sendo A o modo de operação com menor OCP_{1dB} e o modo D o modo de operação com maior OCP_{1dB}.

TABELA 7 - MODOS DE OPERAÇÃO DO ESTÁGIO DE POTÊNCIA

MODO	EN2A	EN2B	EN2C	OCP_{1DB} (dBm)	GANHO DISPONÍVEL (dB)	PDC (W)
-	0	0	1	13,9	14,3	0,26
-	0	1	0	17,1	20,0	0,58
A	0	1	1	21,0	22,1	1,25
-	1	0	0	19,6	24,5	0,76
B	1	0	1	22,6	25,1	1,46
C	1	1	0	24,0	25,8	1,76
D	1	1	1	25,7	25,7	2,45

FONTE: O autor (2021)

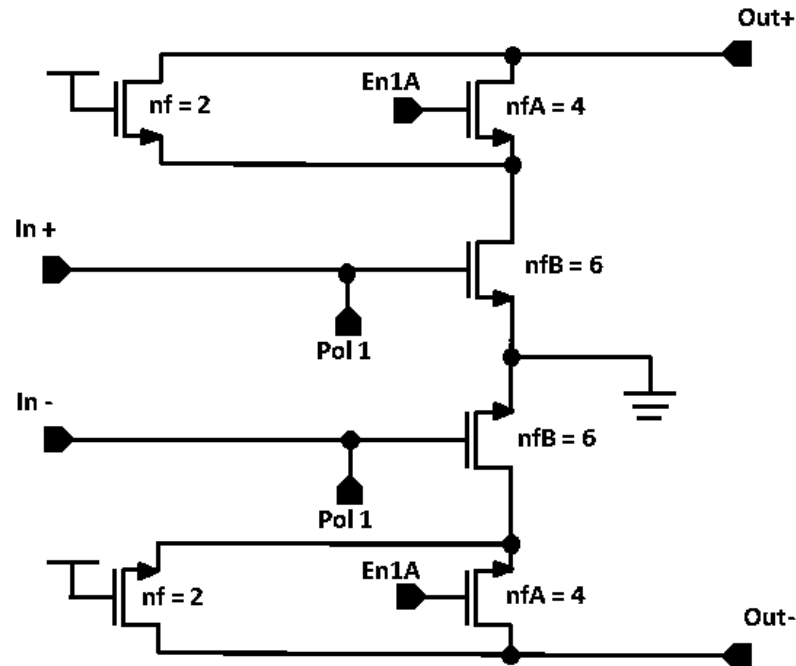
LEGENDA: Tabela com os modos de operação do estágio de potência e as métricas

3.4 PROJETO DO ESTÁGIO DE GANHO

O estágio de ganho tem como principais funções nesse trabalho elevar e equalizar os valores de ganho direto dos diferentes modos de operação do estágio de potência. Da mesma forma que o estágio programável de potência, o estágio de ganho também é constituído por uma célula cascode com os transistores porta comum divididos com ativação independente. Além disso, projetou-se o estágio de ganho para utilizar uma tensão de alimentação de 2,7 V, a mesma tensão utilizada nos sinais de controle, visto que esse estágio não necessita de uma alta potência de saída e utilizar essa tensão facilita respeitar os limites de tensão impostos pela tecnologia de acordo com a TABELA 2.

A FIGURA 19 mostra o esquemático do estágio de ganho proposto. Pensou-se em uma arquitetura para estágio de ganho com uma célula de ganho sempre ativa, a qual seria responsável por elevar o valor de ganho direto e outra célula auxiliar que pode ser ativada ou não dependendo do modo de operação do estágio de potência utilizado afim de equalizar o ganho. Da mesma forma que o estágio de potência, no

FIGURA 19 - ESQUEMÁTICO DO ESTÁGIO DE GANHO DO CIRCUITO PROPOSTO



FONTE: O autor (2021)

LEGENDA: Esquemático do estágio de ganho do circuito proposto. O estágio é composto por uma célula cascode que tem os transistores porta comum divididos em dois, dos quais um está sempre ativo e o outro é controlado pelo sinal En1A.

estágio de ganho também foram utilizados transistores de óxido espesso, com comprimento de canal de 240 nm divididos em *fingers*. Porém, para esse estágio foram utilizados *fingers* com dimensão de 60 μm .

O dimensionamento da multiplicidade de cada uma das células começou pela primeira célula, a qual está sempre ativa. Para isso, foram realizadas simulações com o modo de operação D, o qual apresenta maior valor de $\text{OCP}_{1\text{dB}}$ e também apresenta o maior ganho disponível. Foi variado o valor de multiplicidade *nf* até que o que o circuito atingisse um valor de ganho disponível maior que 30 dB, assim chegou-se no resultado de que a multiplicidade *nf* da primeira célula do estágio de ganho deveria ter valor dois. Essas simulações foram realizadas utilizando-se como casamento de

entrada apenas um capacitor da tecnologia com valor de 3 pF e como casamento entre estágios também apenas um capacitor da tecnologia com valor de 5,4 pF.

Como o modo de operação que apresenta menor ganho disponível é o modo A, a multiplicidade nfA do transistor porta comum auxiliar foi dimensionada com o objetivo de igualar o ganho desse modo de operação com os demais modos. Com o objetivo de manter o circuito simples, procurou-se uma forma de utilizar os sinais de controle já existentes do estágio de potência para também controlarem o e estágio de ganho. Como o único modo de operação que necessita de um maior ganho para se igualar aos outros é o modo de operação A, a lógica mais simples de ser implementada para o sinal de ativação do transistor auxiliar seria o inverso do sinal En2A, visto que esse modo é o único dentre os selecionados que tem esse sinal desativado. Assim, conectou-se o sinal En2A em um inversor cuja saída foi conectada na entrada En1A.

TABELA 8 - MODOS DE OPERAÇÃO APÓS DIMENSIONAMENTO DO ESTÁGIO DE GANHO

MODO	EN1A	EN2A	EN2B	EN2C	GANHO DISPONÍVEL (dB)	PDC (W)
A	1	0	1	1	34,9	1,43
B	0	1	0	1	34,5	1,62
C	0	1	1	0	34,8	1,93
D	0	1	1	1	34,8	2,61

FONTE: O autor (2021)

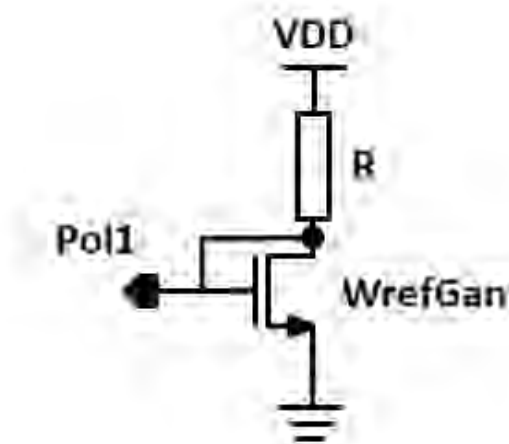
LEGENDA: Tabela com os resultados de ganho disponível e consumo de potência para os modos de operação selecionados com o estágio de ganho dimensionado.

A TABELA 8 representa o ganho direto e a potência consumida pelos modos de operação selecionados após a adição do estágio de ganho. Pode-se observar comparando esses resultados com a TABELA 7 que com um pequeno aumento na potência consumida pode-se atingir altos valores de ganho e equalizá-los sem aumentar muito a complexidade do circuito.

3.4.1 Circuito de polarização do estágio de ganho

Apesar do estágio de ganho apresentar uma arquitetura semelhante ao estágio de potência, o circuito de polarização do estágio de ganho foi projetado para fornecer uma tensão fixa para o circuito. Visto que esse estágio já consome pouca potência se comparado ao estágio de potência, diminuir a potência consumida através da polarização variável não traria melhorias significantes.

FIGURA 20 - CIRCUITO DE POLARIZAÇÃO DO ESTÁGIO DE GANHO



FONTE: O autor (2021)

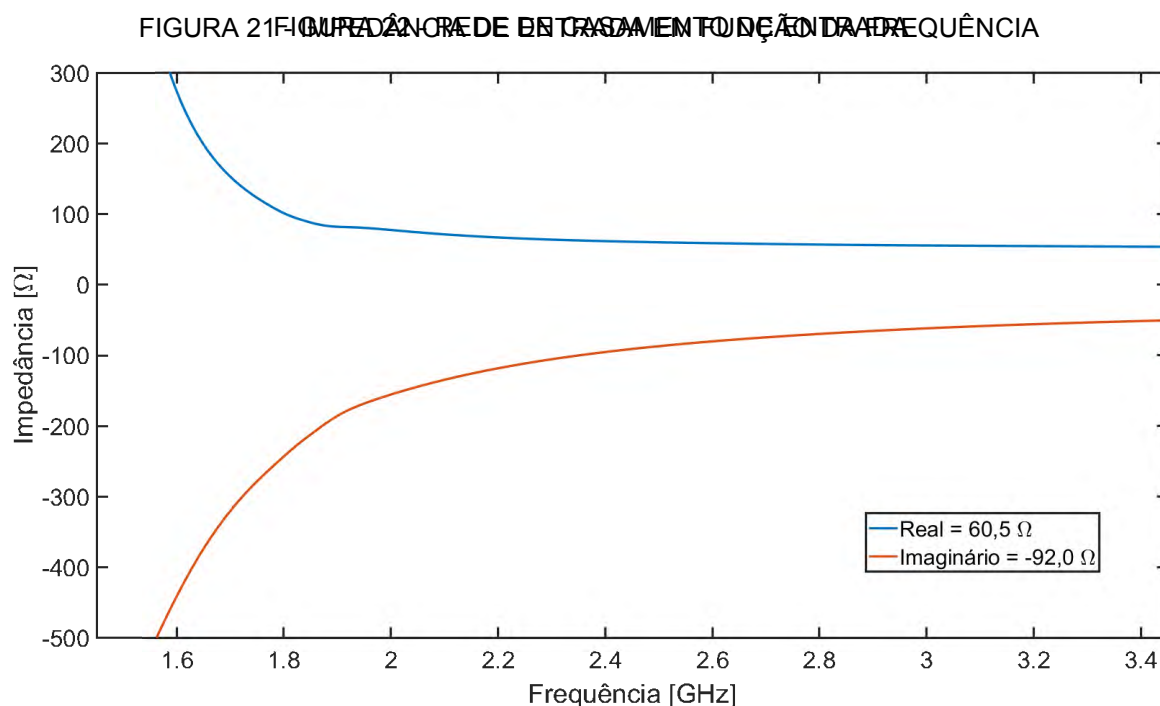
LEGENDA: Esquemático do circuito de polarização do estágio de ganho.

O circuito de polarização está representado na FIGURA 20. Nesse circuito também foi utilizado um transistor de óxido espesso com comprimento de canal e largura $W_{refgan} = 6,4 \mu\text{m}$. O resistor utilizado tem resistência $R = 2,52 \text{ k}\Omega$.

3.4.2 Rede de casamento de entrada

O objetivo principal da rede de casamento de entrada nesse trabalho é fazer com que a reflexão na entrada do circuito, dada pelo parâmetro de espalhamento S_{11} , seja menor do que -10 dB na frequência de operação, de $2,45 \text{ GHz}$. Para isso, realizou-se uma simulação observando-se a variação da impedância de entrada na frequência para se projetar o casamento de impedâncias ótimo na frequência de $2,45 \text{ GHz}$. A FIGURA 21 apresenta os valores reais e imaginários da impedância de

entrada em função da frequência com destaque para os valores em 2,45 GHz. Essa simulação também foi realizada utilizando-se um capacitor da tecnologia com capacitância de 3 pF na entrada do circuito. Com os valores de impedância de entrada do circuito, foi realizado o mesmo procedimento do estágio de potência para o projeto da rede de casamento de entrada.



FONTE: O autor (2021)

LEGENDA: Gráfico com a variação da parte real e imaginária da impedância de entrada do circuito em função da frequência. Na legenda tem-se os valores de impedância para a frequência de 2,45 GHz.

LEGENDA: Rede de casamento de entrada resultante do método de otimização local com o objetivo de se atingir uma reflexão máxima de -10 dB.

O objetivo da rede de casamento de impedâncias da entrada do circuito é obter no máximo uma reflexão de -10 dB na entrada do circuito para todos os modos de operação selecionados. A partir dos resultados obtidos pela calculadora de impedância, foi realizada uma otimização local com o objetivo de achar as melhores dimensões para os componentes. A rede de casamento resultante está representada na FIGURA 22 e os valores de S_{11} e ganho direto para os modos de operação da TABELA 8 estão representados na TABELA 9. Pode se observar nos resultados que foi atingido o objetivo de um valor de S_{11} menor que -10 dB para todos os modos de operação na frequência de 2,45 GHz, além de um ganho direto próximo.

TABELA 9 - VALORES DE S_{11} E GANHO DIRETO APÓS IMPLIMENTAÇÃO DO CASAMENTO DE ENTRADA

EN1A	EN2A	EN2B	EN2C	S_{11} (dB)	GANHO DIRETO (dB)
1	0	1	1	-14,8	30,3
0	1	0	0	-16,6	30,9
0	1	0	1	-16,6	31,6
0	1	1	1	-16,8	31,7

FONTE: O autor (2021)

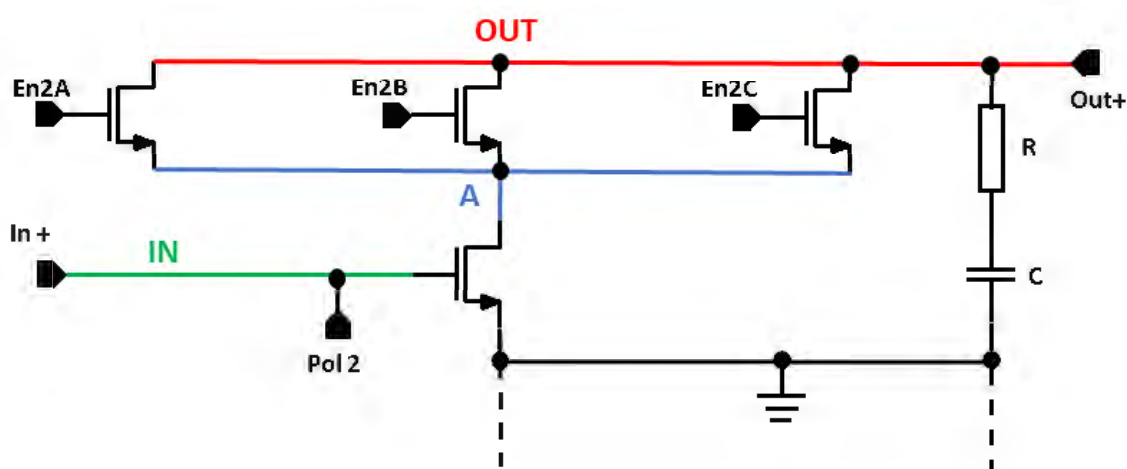
LEGENDA: Tabela com os resultados de ganho direto e consumo de potência para os modos de operação selecionados com as células auxiliares já dimensionadas.

3.5 VALIDAÇÃO DAS TENSÕES

Após o dimensionamento do circuito, foi realizada uma etapa de verificação das diferenças de potenciais em todos os transistores do circuito para se ter certeza de que esses valores não estavam ultrapassando os limites especificados na TABELA 2. Nessa etapa não foram verificados apenas os valores das tensões contínuas sobre os terminais, mas também as diferenças de potenciais levando em consideração os sinais transientes para cada um dos modos de operação para quando a saída é igual ao valor de OCP_{1dB} do respectivo modo. A FIGURA 23 representa novamente o estágio de potência do circuito, apenas uma das partes do circuito diferencial, com destaque nos nós os quais foram simulados para garantir que o circuito está respeitando os limites de tensão.

Através dessas simulações foi possível também realizar um ajuste no valor da alimentação do estágio de potência afim de se utilizar a maior tensão possível, com isso chegou-se a um valor de alimentação de 3,2 V. Os resultados das diferenças de potencial para cada um dos modos selecionados estão representados na TABELA 10. Pode-se observar que todos os modos de operação estão respeitando os limites de tensão impostos pela tecnologia utilizada. No entanto, ao aumentar a potência de entrada para que se obtenha na saída valores maiores do que o OCP_{1dB} de cada modo de operação, as tensões sobre os terminais também aumentam, assim ultrapassando

FIGURA 23 - CÉLULA DE POTÊNCIA PARA TESTE DE TENSÕES LIMITE



FONTE: O autor (2021)

LEGENDA: Maior célula de potência para a qual foram testadas as tensões limites.

os limites da tecnologia. Portanto, não se pode ter na saída valores de potência maiores que o OCP_{1dB} de cada modo de forma prolongada para que o circuito não seja danificado.

Com o ajuste fino das tensões de alimentação e dos circuitos de polarização completou-se o dimensionamento do circuito proposto nesse trabalho. O esquemático completo a nível de componentes está representado nos ANEXO 1 e ANEXO 2.

TABELA 10 - RESULTADOS DAS DIFERENÇAS DE POTENCIAIS ENTRE OS TERMINAIS DA CÉLULA DE POTÊNCIA

MODO			TENSÕES (V)				
En2A	En2B	En2C	OUT	A	IN	OUT - A	A - IN
0	1	1	4,33	2,21	1,40	2,20	1,83
1	0	1	4,29	2,30	1,46	2,44	1,84
1	1	0	4,43	2,28	1,60	2,56	1,8
1	1	1	4,60	2,14	1,89	2,56	1,62

FONTE: O autor (2021)

LEGENDA: Resultado do teste de tensões limite na célula representada na FIGURA 23 para os diferentes modos de operação do circuito, quando a saída é igual ao valor de OCP_{1dB} para cada um dos modos de operação.

3.6 MODOS DE OPERAÇÃO DO PA

Sumarizando os resultados do circuito proposto, tem-se o circuito de um PA diferencial com 4 modos de operação distintos, representados na TABELA 11, que utiliza duas tensões de alimentação, uma de 3,2 V para o estágio de potência e outra de 2,7 V para o estágio de ganho. Além disso, o circuito apresenta uma seleção de modos de operação controlados por três terminais digitais nos quais são aplicados ou uma tensão de 2,7 V ou o potencial de terra para ativar ou desativar as células, respectivamente. Os quatro modos de operação foram nomeados de A a D, sendo A o modo de menor potência e D o modo de maior potência.

TABELA 11 - MODOS DE OPERAÇÃO DO CIRCUITO PROPOSTO

MODO DE OPERAÇÃO	EN2A	EN2B	EN2C	OCP_{1dB} (dBm)	GANHO DIRETO (dB)	PDC (W)
A	0	1	1	20,6	30,3	1,43
B	1	0	1	22,2	29,6	1,62
C	1	1	0	23,6	30,2	1,93
D	1	1	1	25,5	31,7	2,61

FONTE: O autor (2021)

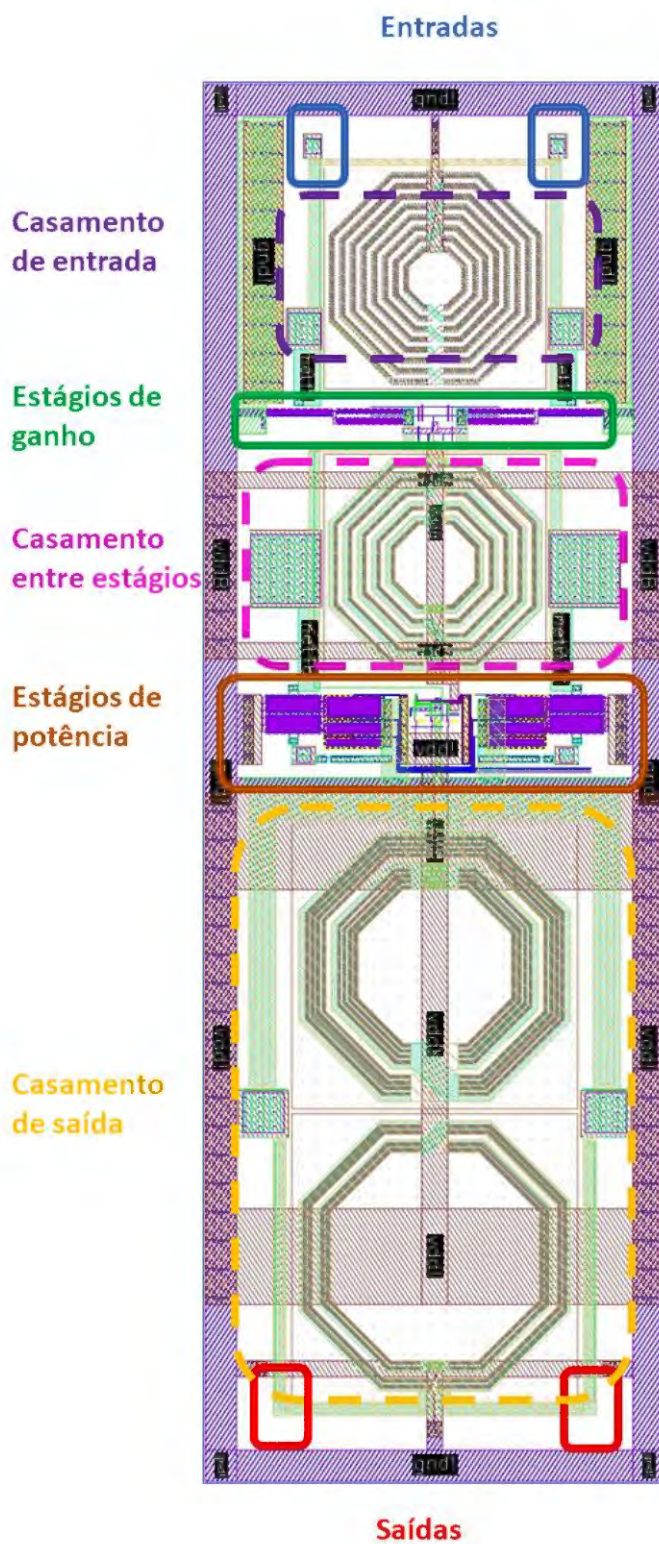
LEGENDA: Tabela com os resultados de OCP_{1dB}, ganho direto e consumo de potência para os modos de operação do circuito proposto nomeados de A à D.

3.7 LEIAUTE DO CIRCUITO

Após definidos os valores dos componentes de esquemático e ter validado os resultados, foi realizado o projeto de leiaute do circuito. Para o leiaute decidiu-se manter uma organização semelhante ao que se tem no esquemático, com os sinais de entrada opostos aos sinais de saída. Além disso decidiu-se por usar anéis para as tensões de terra e de alimentações para diminuir a resistência parasita e, conseqüentemente, as perdas. A FIGURA 24 mostra o leiaute final sem os *pads*, que tem área total de 0,57 mm².

Nas trilhas nas quais passa-se o sinal RF, optou-se por utilizar as camadas de metal mais altas disponíveis na tecnologia pois apresentam menor resistência e

FIGURA 24 - LEIAUTE COMPLETO



FONTE: O autor (2021)

LEGENDA: Vista do leiaute completo com anéis de alimentação e de terra.

menor capacitância para o substrato. Além disso, quando possível, foram utilizadas mais de uma camada de metal em paralelo para que se diminuísse ainda mais a resistência das trilhas. O mesmo foi feito com as trilhas pelas quais não passam o sinal RF, incluindo as trilhas de alimentação e terra, mas com camadas de metal de nível mais baixo. Nos espaços que acabaram ficando vazios no leiaute, foram inseridos blocos com todas as camadas de metal e conectados ao potencial de terra para preencher o leiaute e também diminuir a resistência do potencial de terra.

Dentre os componentes utilizados no circuito, os indutores são os que apresentam mais opções que podem impactar o leiaute. Para esse projeto foram escolhidos indutores paralelos simétricos com conexão central. Por terem a conexão central, os indutores ocupam um menor espaço se comparado com o espaço de dois indutores. Por serem paralelos, ou seja, têm duas camadas de metal, os indutores paralelos suportam uma maior densidade de corrente e apresentam menores resistências parasitas o que tem um grande impacto nos resultados do circuito, pois as correntes de alimentação passam por esses indutores.

Mesmo utilizando os indutores com conexão central, os indutores ainda ocupam uma área total de $0,24 \text{ mm}^2$, o que é aproximadamente 42% de toda a área do leiaute projetado. Os transistores que representam a parte ativa do circuito ocupam uma área aproximada de apenas $0,013 \text{ mm}^2$, logo uma das principais estratégias para se diminuir a área ocupada pelo circuito é diminuir o número de indutores ou utilizar arquiteturas de indutores ou transformadores mais compactas.

3.8 AJUSTE DE TENSÕES PÓS-LEIAUTE

A vista extraída pós-leiaute inclui os componentes parasitas, resistores e capacitores, das conexões entre todos os componentes do circuito. Esses componentes causam perdas no circuito as quais resultam em menores tensões e correntes que por fim impactam as métricas observadas. Como as tensões são menores elas ficam mais distantes dos valores máximos da tecnologia, portanto pode-se aumentar as tensões de alimentação com o objetivo de aumentar a potência de saída compensando as perdas devido aos componentes parasitas. A TABELA 12 mostra as tensões do estágio de potência representado na FIGURA 23 utilizando a vista pós-leiaute e o valor do OCP_{1dB} para cada um dos modos de operação. As

TABELA 12 - TENSÕES E OCP_{1dB} DE SIMULAÇÃO PÓS-LEIAUTE

MODO			TENSÕES				OCP_{1dB}
En2A	En2B	En2C	OUT	A	OUT - A	A - IN	[dBm]
0	1	1	3,84	2,41	2,13	1,90	19,7
1	0	1	3,94	2,41	2,04	1,89	21,2
1	1	0	4,07	2,46	2,17	1,87	22,4
1	1	1	4,31	2,46	2,33	1,75	23,4

FONTE: O autor (2021)

LEGENDA: Resultado do teste de tensões limite na célula representada na FIGURA 23 para os diferentes modos de operação do circuito utilizando a vista pós-leiaute.

tensões máximas entre os terminais dos transistores diminuíram, então se pode aumentar as tensões de alimentação com o objetivo de aumentar os valores do OCP_{1dB} . Para se achar as melhores tensões foi realizada uma otimização local variando as tensões de alimentação. Como resultado da otimização, as tensões para as quais o circuito apresentou melhores resultados foram de 3,4 V para o estágio de potência e 2,9 V para o estágio de ganho. Os valores de OCP_{1dB} e as tensões entre terminais utilizando os valores de alimentação otimizados estão representados na TABELA 13. Pode-se notar nos resultados que após a otimização os valores de

TABELA 13 - TENSÕES E OCP_{1dB} DE SIMULAÇÃO PÓS-LEIAUTE COM AJUSTE DE TENSÕES DE ALIMENTAÇÃO

MODO			TENSÕES				OCP_{1dB}
En2A	En2B	En2C	OUT	A	OUT - A	A - IN	[dBm]
0	1	1	4,11	2,65	2,25	2,13	20,6
1	0	1	4,21	2,64	2,16	2,10	22,1
1	1	0	4,35	2,68	2,29	2,08	23,3
1	1	1	4,63	2,69	2,44	1,95	24,6

FONTE: O autor (2021)

LEGENDA: Resultado do teste de tensões limite na célula representada na FIGURA 23 para os diferentes modos de operação do circuito utilizando a vista pós-leiaute e tensões de alimentação otimizadas.

OCP_{1dB} ficaram mais próximos dos valores encontrados nas simulações de esquemático e os limites de tensão entre os terminais dos transistores se manteve respeitado.

4 RESULTADOS DE SIMULAÇÃO

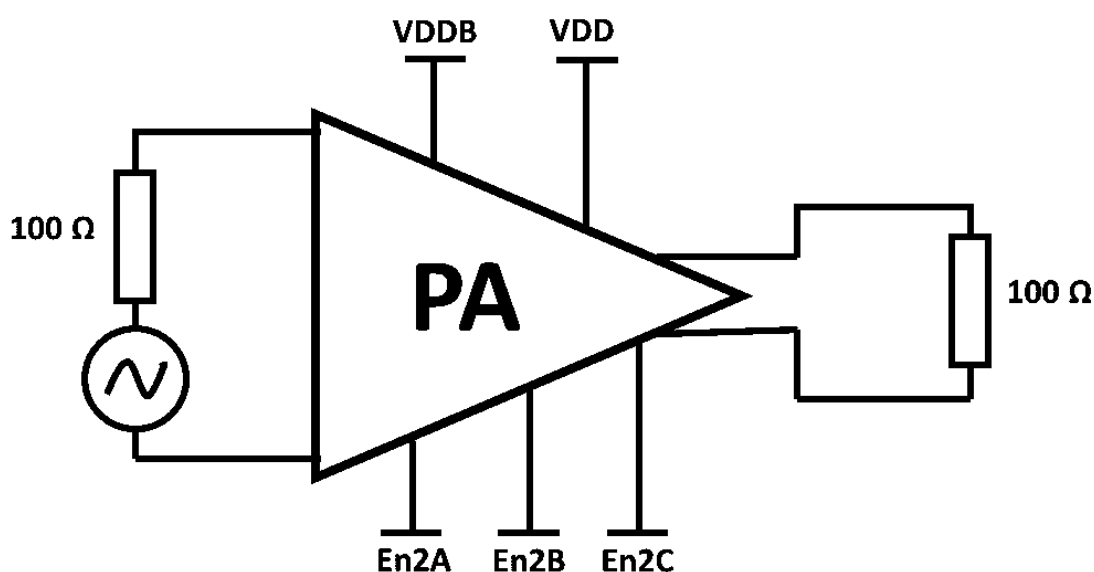
Nessa seção, serão apresentados e discutidos os resultados obtidos pelo circuito proposto através das simulações realizadas. Foram utilizadas nas simulações a vista de esquemático e pós leiaute do circuito para os quatro diferentes modos de operação.

4.1 CONFIGURAÇÃO DAS SIMULAÇÕES

O software *Virtuoso Spectre Circuit Simulator* foi utilizado para realizar simulações de corrente contínua (dc), de pequenos e grandes sinais no circuito. Dentre as simulações de pequenos sinais, foi realizada a simulação de parâmetros de espalhamento (sp) e as simulações de grandes sinais realizadas foram as simulações de equilíbrio harmônico (hb). Todas as simulações foram realizadas considerando uma temperatura de operação de 70° C.

A simulação sp tem como objetivo observar o comportamento dos parâmetros de espalhamento em função da frequência, a simulação hb tem como objetivo observar os níveis de potência e, por fim, a simulação dc tem como objetivo observar as tensões de polarização e pontos de operação dos transistores. O esquemático

FIGURA 25 - ESQUEMÁTICO DE TESTE DO CIRCUITO PROPOSTO



FONTE: O autor (2021)

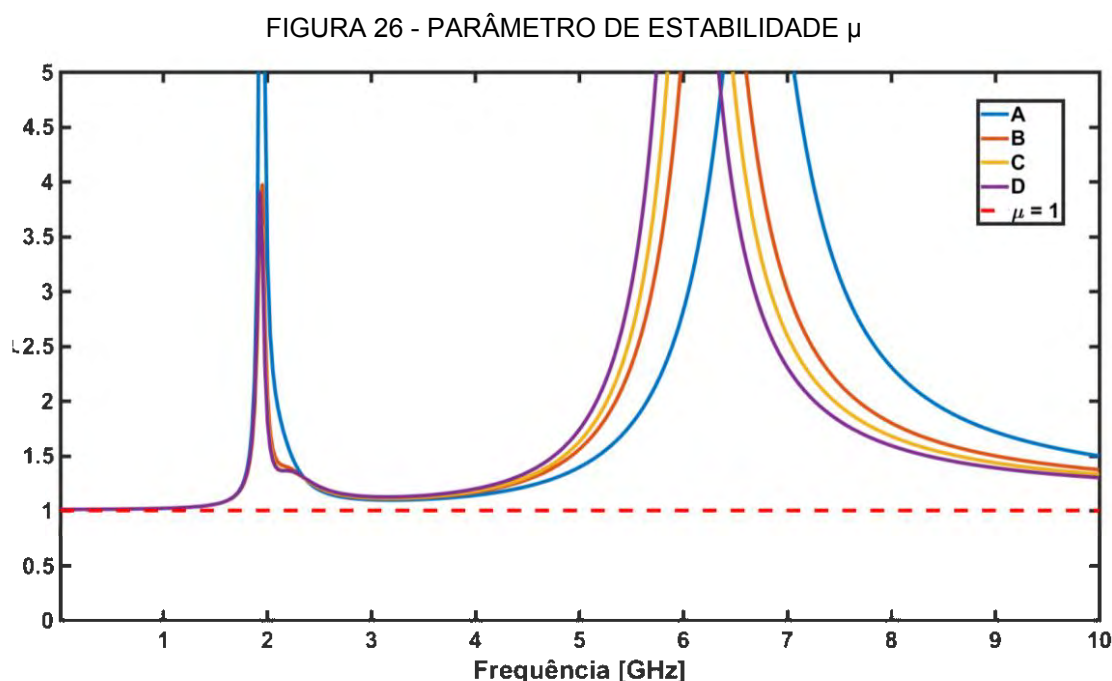
LEGENDA: Esquemático de teste do PA, com portas de entrada e saída de 100 Ω e fonte de sinal

utilizado nas simulações está representado na FIGURA 25. Foram utilizadas portas diferenciais de 100Ω e uma fonte de sinal com frequência de 2,45 GHz.

4.2 RESULTADOS DAS SIMULAÇÕES DE ESQUEMÁTICO

Como resultados das simulações utilizando a vista de esquemático foram observadas as seguintes métricas: parâmetro de estabilidade μ , S_{11} , S_{21} , OCP_{1dB} , P_{SAT} , PDC e PAE para os 4 modos de operação tanto da vista de esquemático.

A FIGURA 26 mostra o valor de μ para os quatro modos de operação do PA proposto. Pode-se observar que o PA é incondicionalmente estável para todos os modos de operação, pois μ não assume valores menores do que um para toda a faixa de frequência.



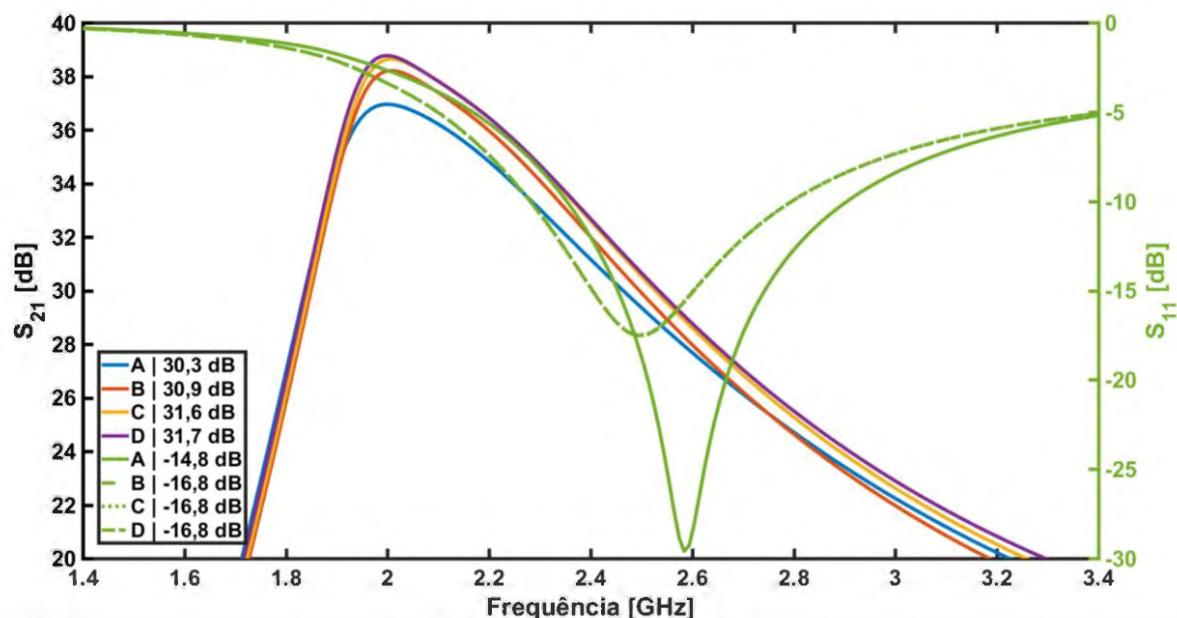
FONTE: O autor (2021)

LEGENDA: Gráfico representando os valores do parâmetro μ de 10 MHz à 10GHz. Para nenhuma frequência nesse intervalo o valor de μ é menor do que um.

A FIGURA 27 apresenta os resultados da simulação sp para os parâmetros de espalhamento S_{11} e S_{21} . Em destaque, tem-se os valores de S_{11} e S_{21} para cada um dos modos na frequência de 2,45 GHz. Pode-se observar que todos os modos de operação apresentam S_{11} menor do que -14 dB. O valor de S_{11} tem valor maior para o modo de operação A, pois esse é o único modo de operação o qual tem-se a célula

auxiliar de ganho ativa, fazendo com que a impedância de vista da entrada seja diferente se comparada aos outros modos de operação e, assim, o casamento de impedâncias também seja diferente.

FIGURA 27 - PARÂMETROS DE ESPALHAMENTO



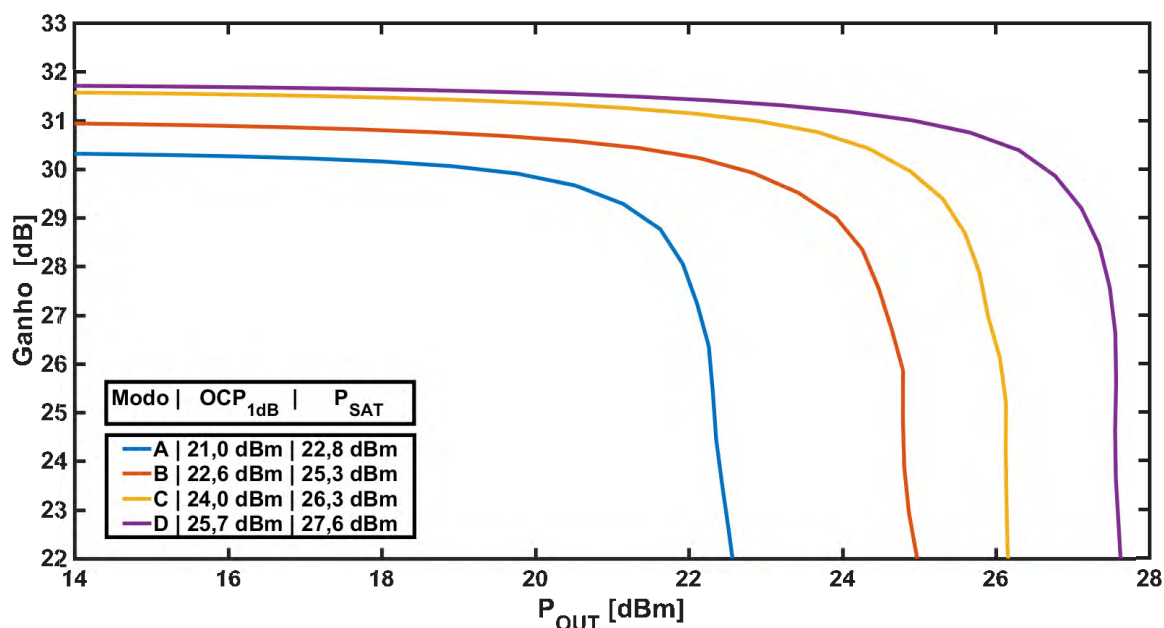
FONTE: O autor (2021)

LEGENDA: Gráfico com os valores de ganho direto em função da frequência. A variação máxima de ganho direto é de 1,4 dB entre os modos A e C na frequência de 2,45 GHz.

Pode-se observar também na FIGURA 27 em relação ao parâmetro S_{21} de ganho direto que, dentre os quatro modos de operação, a variação máxima de S_{21} é de 1,4 dB, assim o circuito apresenta um ganho similar para operação em 2,45 GHz, independentemente do modo de operação selecionado.

Na FIGURA 28 está representado o gráfico do ganho direto em função da potência de saída do PA. Através desse gráfico, pode-se observar umas das principais características do circuito proposto, que são modos de operação com diferentes OCP_{1dB} , mas com ganhos diretos próximos. A exemplo da FIGURA 27, pode-se observar que a maior diferença de ganho direto entre os modos de operação é de 1,4 dB, entre os modos B e D. Em destaque na figura, têm-se os valores de OCP_{1dB} e P_{SAT} para cada um dos modos em operação da frequência de 2,45 GHz. Os valores de OCP_{1dB} variam de 21,0 dBm, do modo A, até 25,7 dBm, do modo D, havendo uma diferença média entre eles de aproximadamente 1,5 dB. O valor de P_{SAT} varia de 22,8 dBm a 27,6 dBm. Comparando-se os valores de P_{SAT} com os de OCP_{1dB} de cada um dos modos de operação percebe-se que P_{SAT} pode atingir valores

FIGURA 28 - GANHO DIRETO (2,45 GHz) EM FUNÇÃO DA POTÊNCIA DE SAÍDA



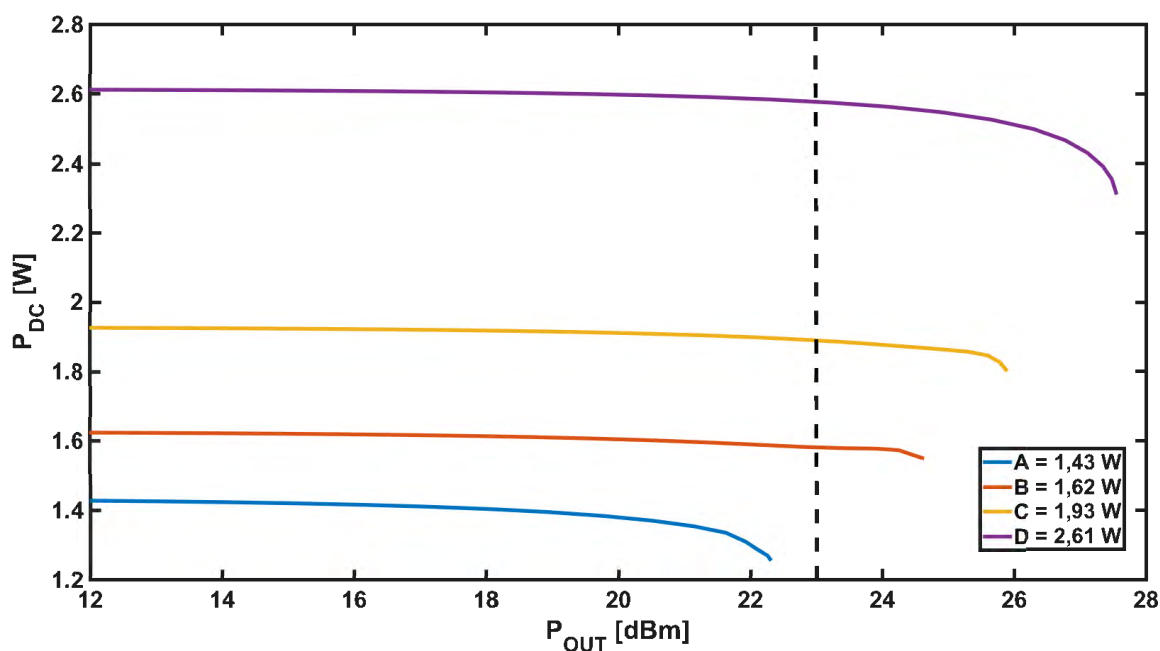
FONTE: O autor (2021)

LEGENDA: Gráfico com os valores de ganho direto em função da potência de saída para os quatro modos de operação. Através do gráfico pode-se observar os diferentes valores de OCP_{1dB} e que os modos de mais alta e mais baixa potência apresentam uma diferença de 4,7 dB. Além disso, pode-se observar que os valores de P_{SAT} apresentam uma variação semelhante, nesse caso de 4,8 dB.

significativamente maiores que os valores de OCP_{1dB}. Com destaque para o modo de operação B, o qual atinge uma P_{SAT} próximo ao dobro do valor da sua potência no OCP_{1dB}.

A FIGURA 29 representa o gráfico do consumo de potência contínua em função da potência de saída para cada um dos modos de operação. Em destaque tem-se o consumo de potência contínua para cada um dos modos para quando a potência de saída é igual ao OCP_{1dB}. Nesse gráfico é possível observar uma das principais vantagens na utilização de um PA multimodos: a economia no consumo de potência em situações em que a potência requerida na saída é menor que o OCP_{1dB} do PA, essas situações de operação são chamadas de operações em potência de recuo. A linha pontilhada na FIGURA 29 representa uma situação na qual é necessário que o PA entregue uma potência de 23 dBm em sua saída. Considerando essa situação, apenas os modos B, C e D podem entregar a potência necessária na saída. Dentre esses modos o que apresenta menor consumo de potência é o modo B: 1,58 W. Se comparado com o modo D, que também pode entregar a potência de 23 dBm na

FIGURA 29 - CONSUMO DE POTÊNCIA PDC EM FUNÇÃO DE POUT



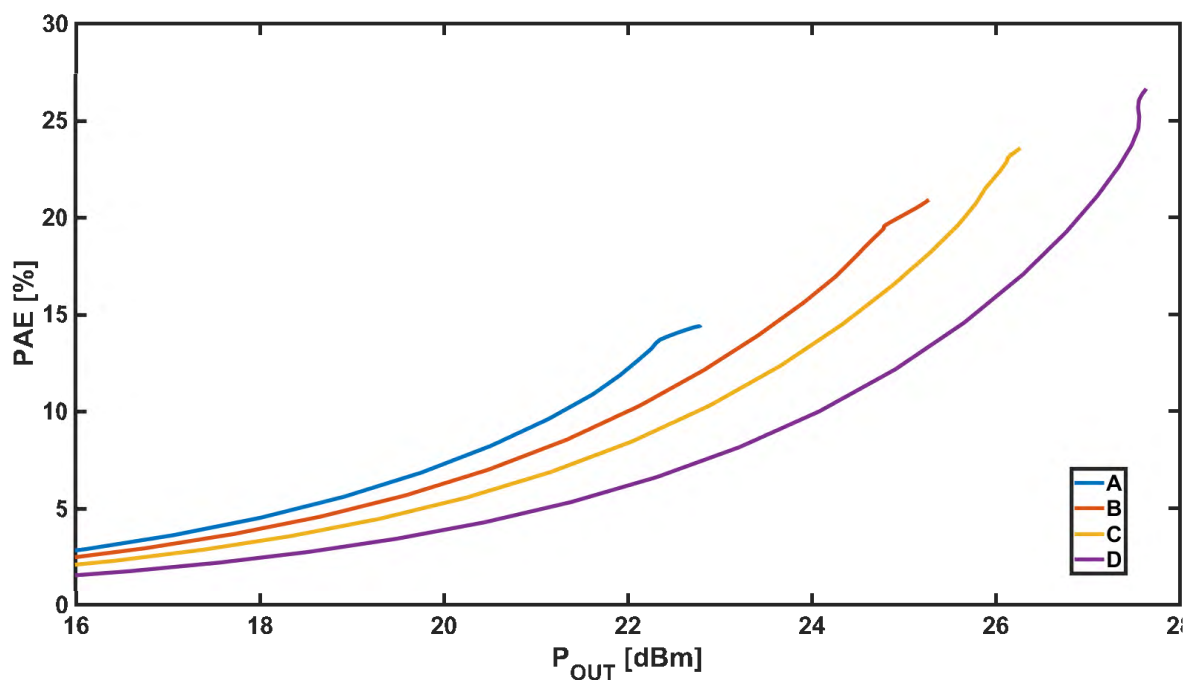
FONTE: O autor (2021)

LEGENDA: Gráfico que exemplifica uma situação de operação em potência de recuo na qual a troca entre modos de operação pode resultar em uma economia de energia.

saída, há uma economia de 991 mW no valor de PDC, o que resultaria em uma redução de aproximadamente 38,5% na potência DC consumida.

A FIGURA 30 representa o valor da PAE em função da potência de saída para cada um dos modos de operação. As curvas estão limitadas ao valor de P_{SAT} de cada um dos modos de operação. A TABELA 14 mostra os valores da PAE quando a saída do circuito é igual ao valor de OCP_{1dB} de cada um dos modos e a PAE máxima de cada um dos modos. Como P_{SAT} é consideravelmente maior que OCP_{1dB} para todos os modos e a potência consumida pelo circuito é menor quando a saída é igual a P_{SAT} , é esperado que a PAE máxima seja significativamente maior que a PAE quando a saída é igual a OCP_{1dB} , de 5% a 12% maior no caso do PA projetado.

FIGURA 30 - PAE EM FUNÇÃO DA POTÊNCIA DE SAÍDA



FONTE: O autor (2021)

LEGENDA: Gráfico com os valores de PAE em função da potência de saída para os quatro modos de operação.

TABELA 14 - COMPARAÇÃO DOS VALORES DE PAE

MODO	PAE @ OCP _{1dB}	PAE MÁXIMA
A	9,34%	14,4%
B	11,5%	20,8%
C	13,2%	23,6%
D	14,6%	26,6%

FONTE: O autor (2021)

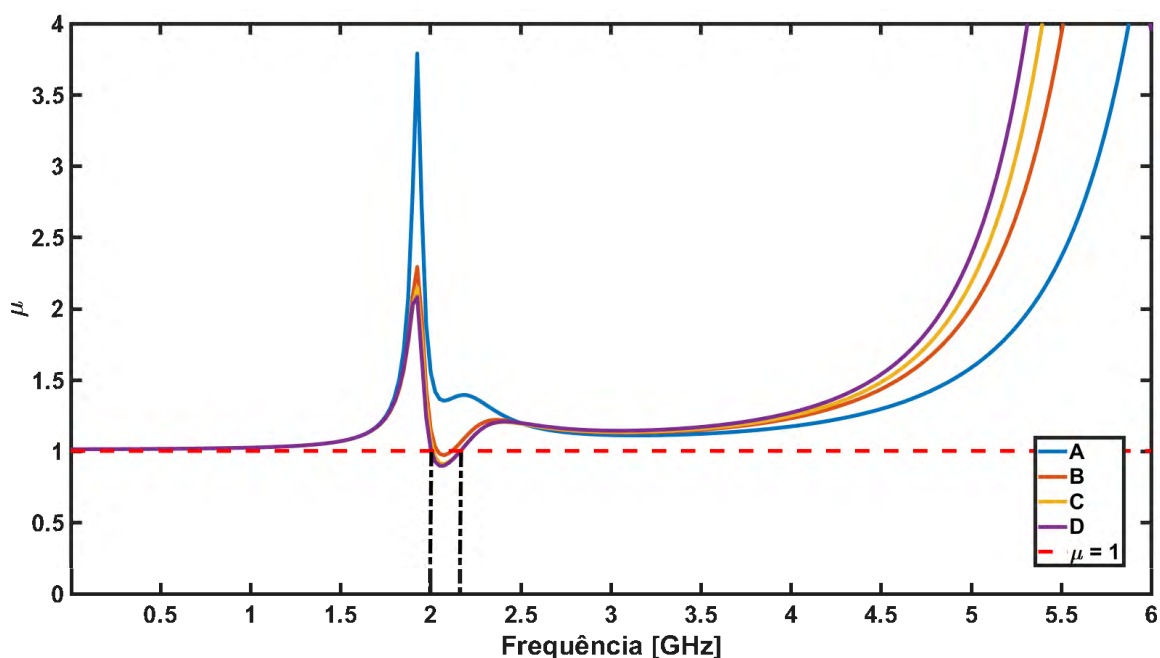
LEGENDA: Tabela comparativa entre os valores de PAE quando a saída do circuito é igual ao OCP_{1dB} e quando a saída é igual P_{SAT}.

4.3 RESULTADOS DAS SIMULAÇÕES DE PÓS LEIAUTE

Nas simulações utilizando-se a vista extraída de pós leiaute foram observadas as mesmas métricas que foram observadas nas simulações utilizando a vista de esquemático: parâmetro de estabilidade μ , S_{11} , S_{21} , OCP_{1dB} , P_{SAT} , PDC e PAE para os 4 modos de operação tanto da vista de esquemático. Além disso, foram observadas as variações nos resultados devido à variação de temperatura e os resultados devido às possíveis variações no processo de produção do circuito.

Observando-se a estabilidade do circuito através do parâmetro μ representado na FIGURA 31, não foi possível garantir a estabilidade incondicional do circuito para o intervalo de frequência para os modos selecionados. O parâmetro μ é inferior a 1 para a faixa de frequências de 2,00 GHz até 2,15 GHz. Dessa forma, para garantir que o circuito seja estável foram observados os círculos de estabilidade para esse intervalo de frequências entre 2,00 GHz e 2,15 GHz e notou-se que para esse intervalo o circuito é estável para a impedância de saída de 100 Ω , com exceção do modo B. Assim, o modo B é caracterizado como instável na vista pós-leiaute e não pode ser utilizado. Como mudanças para fazer com que o modo B seja estável, pode-

FIGURA 31 - PARÂMETRO DE ESTABILIDADE μ DA VISTA PÓS-LEIAUTE

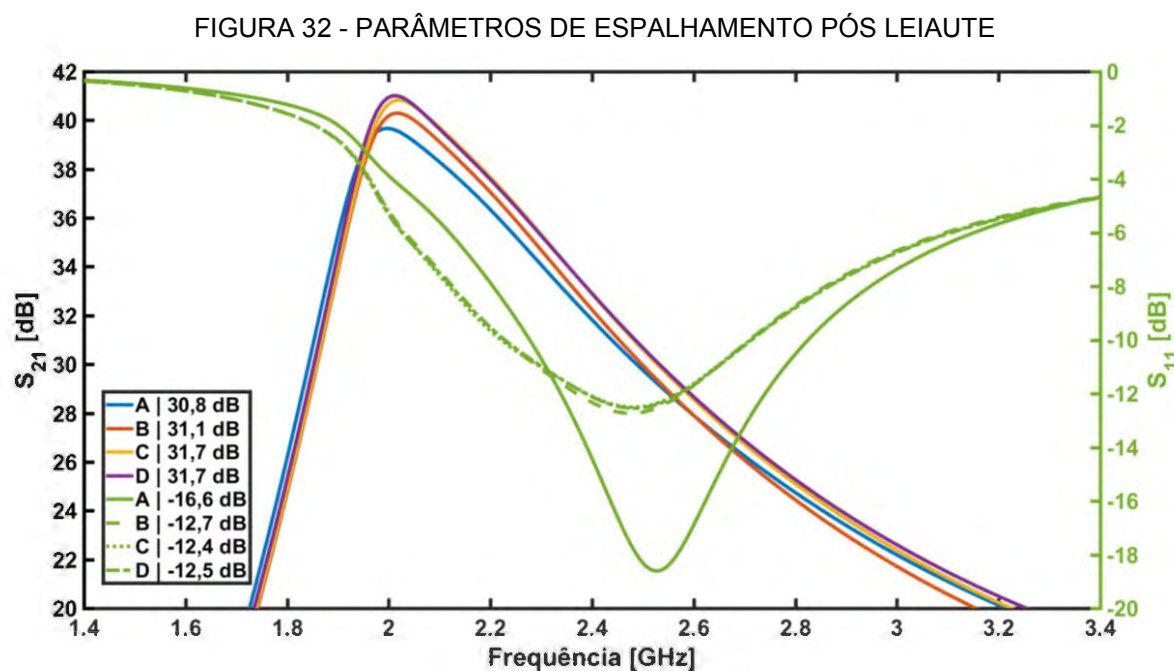


FONTE: O autor (2021)

LEGENDA: Gráfico representando os valores do parâmetro μ de 10 MHz à 6GHz. Os modos B, C e D apresentam valor de μ menor que um para a faixa de frequência entre 2,00 GHz e 2,15 GHz.

se redimensionar a rede de realimentação do modo de potência ou também alterar-se o estágio de ganho a fim de diminuir o ganho total do circuito, o que pode contribuir para a estabilidade de todos os modos. Portanto, manteve-se os resultados do modo B nesse documento visto que mesmo que não possa ser utilizado no momento, após revisões do circuito talvez esse modo possa ser utilizado com um comportamento próximo do que apresenta no momento. Os círculos de estabilidade estão nos ANEXOS 3 a 5. Como o modo de operação A tem o estágio extra do estágio de ganho ativo e é o único com a maior célula do estágio de potência desativada é esperado que apresente uma impedância mais diferente do que quando se comparada com a diferença de impedância entre os modos B, C e D. Isso explica por que o modo A é o único que é incondicionalmente estável. Pela vista pós leiaute incluir resistores e capacitores parasitas, as impedâncias do circuito se alteraram como um todo, o que é a principal razão pela diferença entre os resultados de estabilidade da vista de esquemático e vista pós-leiaute.

A FIGURA 32 representa os resultados da simulação de parâmetros de espalhamento pós leiaute. Pode-se observar em destaque na legenda os valores dos parâmetros S_{21} e S_{11} na frequência de 2,45 GHz. Em relação às simulações de

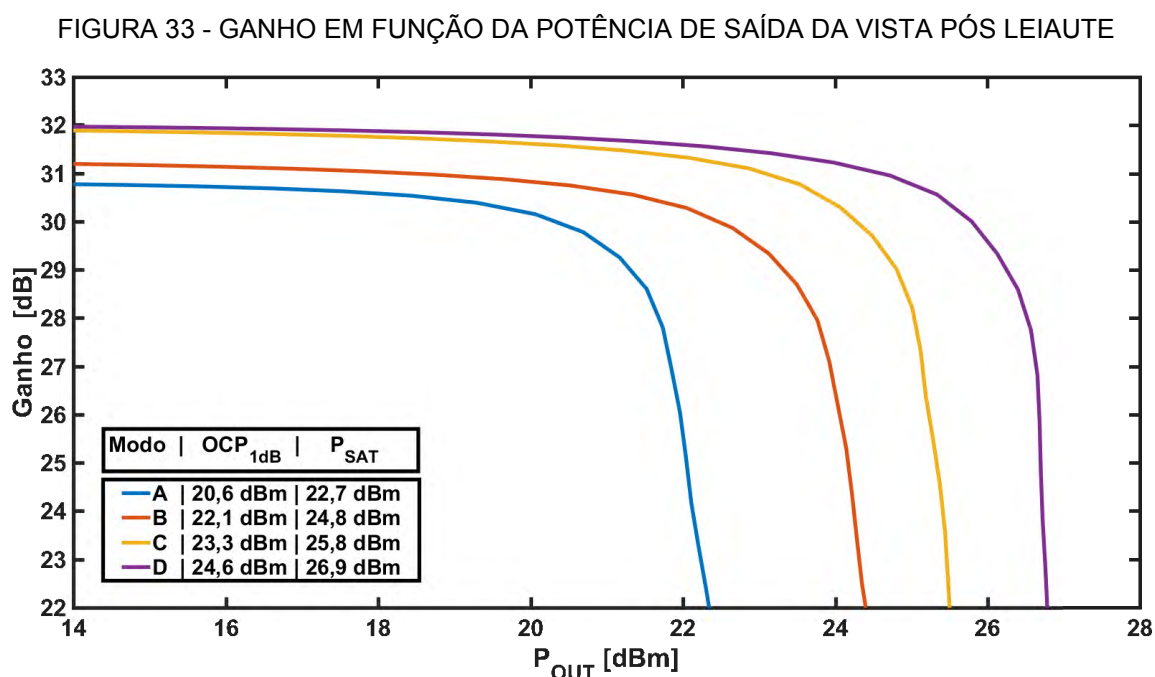


FONTE: O autor (2021)

LEGENDA: Gráfico com os valores de ganho direto em função da frequência utilizando a vista de pós leiaute. A variação máxima de ganho direto é de 0,9 dB entre os modos A e D na frequência de 2,45 GHz.

esquemático nota-se que a reflexão na entrada aumentou para os modos B, C e D e diminuiu para o modo A. Além disso também se observa um pequeno aumento do ganho direto nos modos de menor potência. Pela adição dos componentes parasitas adicionados na vista pós-leiaute, era esperado que o ganho e a reflexão piorassem, porém o ajuste de tensões para a simulação pós leiaute que incluiu o aumento da alimentação do estágio de ganho fez com que houvesse uma melhora nos resultados. Além disso, a maior diferença de ganho entre os modos de operação caiu para 0,9 dB o que é um bom resultado para os objetivos do circuito. Apesar do ganho máximo do circuito em frequências mais baixas passar de 40 dB, priorizou-se um melhor casamento de entrada e uma menor diferença no ganho direto entre os modos de operação.

Na FIGURA 33 pode-se observar a variação do ganho direto em função da potência de saída. Através do gráfico é possível identificar o OCP_{1dB} de cada um dos modos que está em destaque na legenda, bem como os valores de P_{SAT} . Em relação aos resultados obtidos de esquemático o OCP_{1dB} dos modos de operação diminuiu



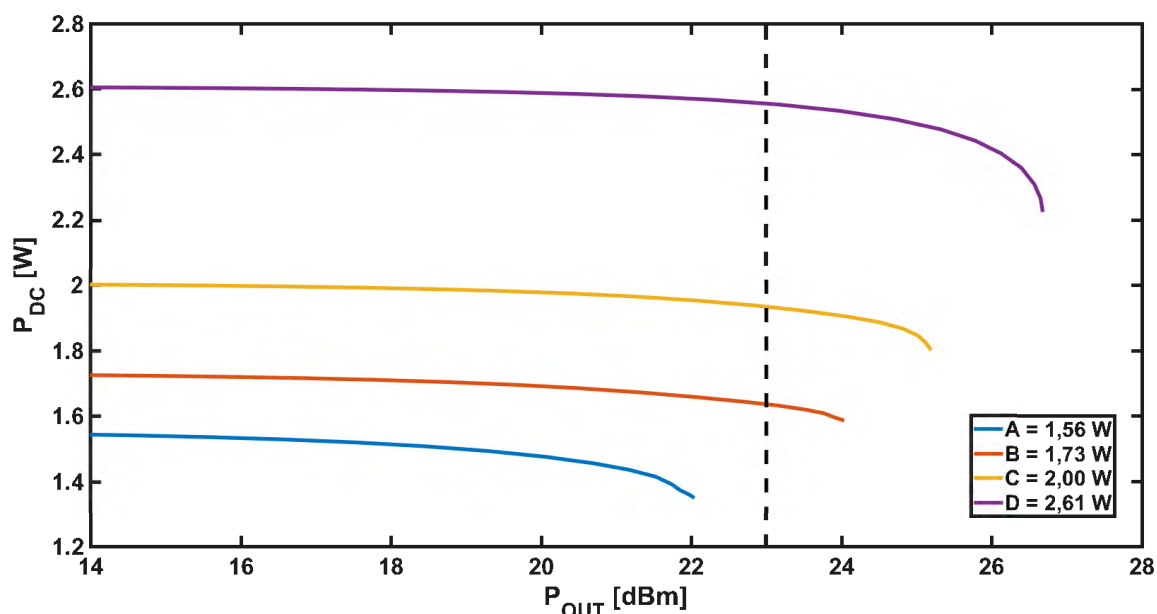
FONTE: O autor (2021)

LEGENDA: Gráfico da variação do ganho direto em função de P_{OUT} . No gráfico pode-se observar a compressão do ganho em função da potência de saída. Além disso, nota-se que a maior variação de OCP_{1dB} entre os modos de operação é de 4 dB.

cerca de 1 dB e os valores de P_{SAT} diminuíram em média 0,5 dB, uma diferença menor se comparado aos valores de OCP_{1dB} . Essa redução era esperada devido aos componentes parasitas adicionados no circuito após a construção do leiaute. A diferença nos valores de OCP_{1dB} é de 1,3 dB um pouco menor que a diferença obtida nos resultados com a vista de esquemático. A diferença entre os valores de OCP_{1dB} e P_{SAT} de cada um dos modos permaneceu semelhante à diferença obtida utilizando a vista de esquemático, em torno de 2,5 dB.

O ajuste de tensões realizado com o objetivo de compensar as perdas devidas aos componentes parasitas adicionados na vista de pós leiaute também fizeram com que a potência consumida em geral aumentasse no circuito. Apesar da potência consumida no modo de operação D não ter sido significativamente alterada, nos modos de menor potência pode-se observar o aumento de consumo como mostra a FIGURA 34. Apesar desse aumento de consumo, uma das principais características do circuito se manteve que é a economia de energia na operação em potências de recuo. Utilizando-se como exemplo a mesma situação da FIGURA 29, pode-se observar na FIGURA 34 que apenas os modos B, C e D podem entregar 23 dBm na saída. Apesar desse valor estar acima do OCP_{1dB} do modo B, a potência ainda pode

FIGURA 34 - POTÊNCIA CONSUMIDA EM FUNÇÃO DA POTÊNCIA DE SAÍDA NA VISTA PÓS LEIAUTE

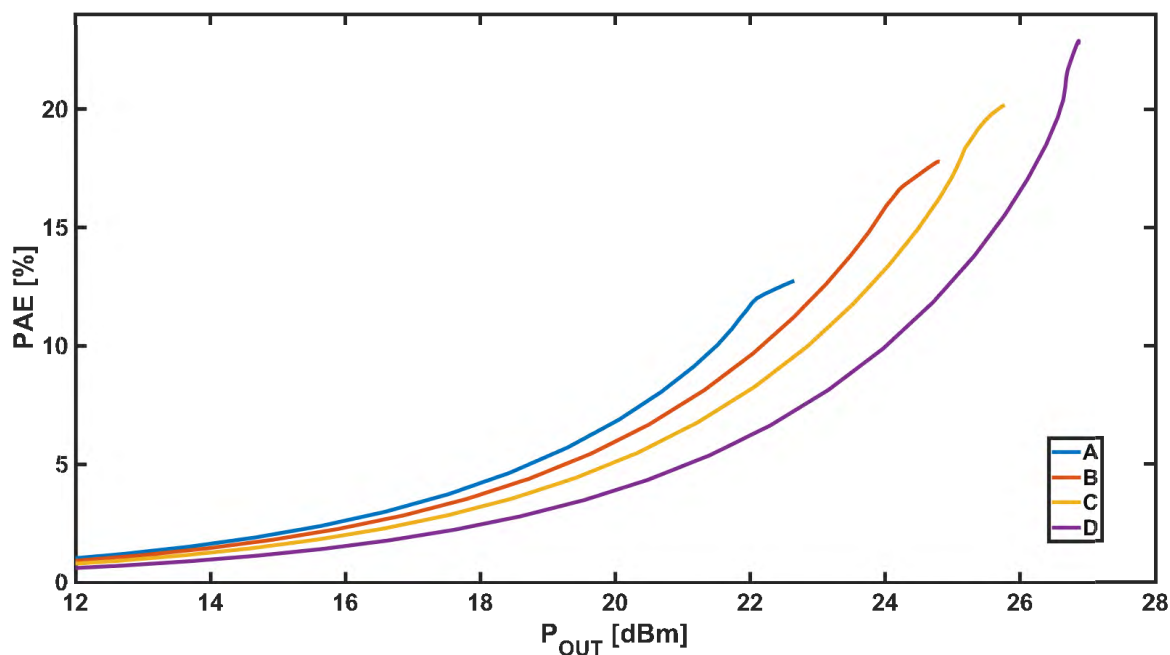


FONTE: O autor (2021)

LEGENDA: Gráfico do consumo de potência contínua em função da potência de saída. Na legenda tem-se em destaque a máxima potência consumida por cada modo de operação. A linha pontilhada representa uma potência de saída igual a 23 dBm.

ser entregue por esse modo com uma maior distorção. Nesse caso, o modo B consumiria 918 mW que o modo D, uma redução de 36% no consumo de potência. Ou, para se evitar uma distorção muito significativa no sinal de saída, poderia ser utilizado o modo C, o que resultaria num consumo 24% menor que o modo D.

FIGURA 35 - PAE EM FUNÇÃO DA POTÊNCIA DE SAÍDA NA VISTA PÓS LEIAUTE



FONTE: O autor (2021)

LEGENDA: Gráfico com os valores de PAE em função da potência de saída para os quatro modos de operação na vista de pós leiaute.

TABELA 15 - COMPARAÇÃO DOS VALORES DE PAE NA VISTA PÓS LEIAUTE

MODO	PAE @ OCP _{1dB}	PAE MÁXIMA
A	7,94%	12,7%
B	9,75%	17,8%
C	11,0%	20,1%
D	11,5%	22,8%

FONTE: O autor (2021)

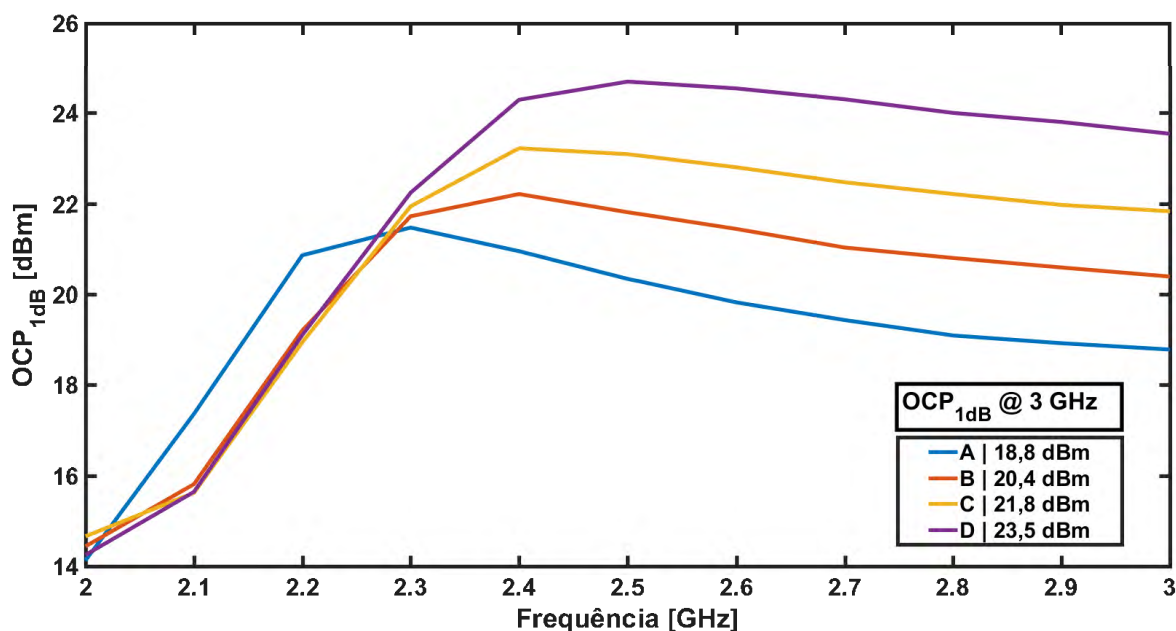
LEGENDA: Tabela comparativa entre os valores de PAE quando a saída do circuito é igual ao OCP_{1dB} e quando a saída é igual P_{SAT} na vista de pós leiaute.

Como visto anteriormente, comparando-se com os resultados de esquemático a potência de saída do circuito diminuiu, o ganho direto diminuiu e o consumo aumentou nos resultados de simulação pós leiaute o que resulta em uma menor eficiência, como pode-se observar na FIGURA 35. Na FIGURA 35 tem-se a PAE em função da potência de saída. O gráfico está limitado ao valor de P_{SAT} de cada um dos modos de operação. A TABELA 15 mostra os valores de PAE para cada um dos modos quando a potência de saída é igual a OCP_{1dB} e quando é igual a P_{SAT} .

Em comparação aos resultados de simulação da vista de esquemático, a PAE diminuiu mais significativamente no modo de maior potência e menos significativamente no modo de menor potência, tanto nos valores em OCP_{1dB} quanto nos valores máximos. Isso se deve às perdas nos componentes parasitas adicionados na vista pós leiaute. Como as correntes no modo de maior potência são maiores, as perdas acabam mais significativas do que em modos de menor potência, nos quais as correntes do circuito são menores.

Além das comparações com os resultados de esquemático, utilizando-se a vista de pós leiaute também foram realizadas simulações para observar a influência

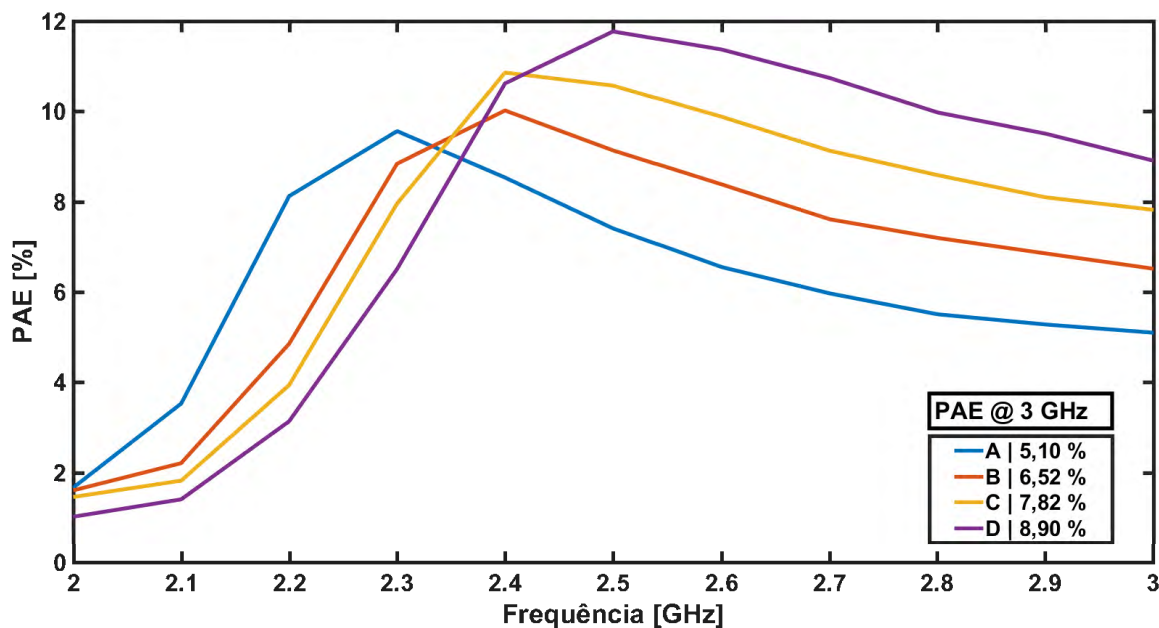
FIGURA 36 - VARIAÇÃO DE OCP_{1dB} EM FUNÇÃO DA FREQUÊNCIA



FONTE: O autor (2021)

LEGENDA: Gráfico da variação de OCP_{1dB} em função da frequência de operação do circuito. Observa-se que o modo A tem comportamento diferente na faixa antes da frequência de operação de 2,45 GHz e após essa frequência todos os modos se comportam de maneira semelhante. Em destaque na legenda tem-se os valores de OCP_{1dB} na frequência de 3 GHz.

FIGURA 37 - VARIACÃO DA PAE EM FUNÇÃO DA FREQUÊNCIA



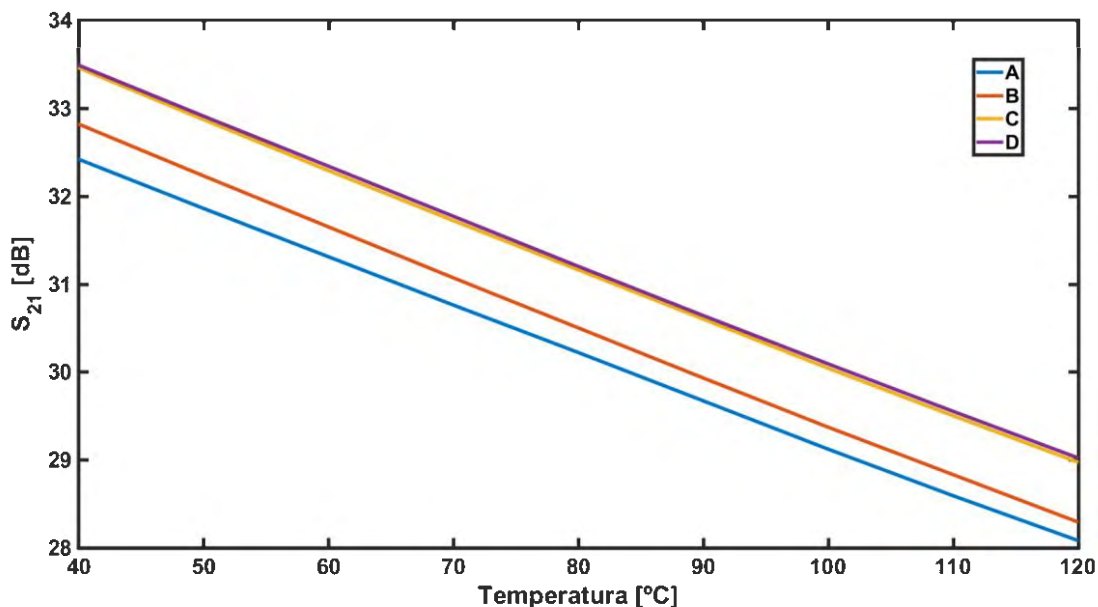
FONTE: O autor (2021)

LEGENDA: Gráfico da variação da PAE em função da frequência de operação do circuito. Observe-se que o modo A tem comportamento diferente na faixa antes da frequência de operação de 2,45 GHz e após essa frequência todos os modos se comportam de maneira semelhante. Em destaque na legenda tem-se os valores de PAE na frequência de 3 GHz.

de outros parâmetros nos resultados do circuito, como a frequência, a temperatura e as possíveis variações no processo de fabricação. A FIGURA 36 mostra a variação do valor de OCP_{1dB} quando é variada a frequência de operação do circuito. Como resultado interessante tem-se que o valor de OCP_{1dB} para o modo A é maior que dos outros modos para frequências abaixo de 2,3 GHz. Dessa forma, pode ser uma alternativa para situações em que o circuito está operando em frequências abaixo daquela para a qual foi projetado. Além disso, mostra-se que o projeto de PAs multimodos nos quais os modos se alternam dependendo da frequência de operação pode ser realizado tendo-se uma arquitetura semelhante à desse circuito como ponto de partida. À exemplo dos valores de OCP_{1dB} , os valores de PAE para o modo de operação A também são maiores que dos outros modos para frequências mais baixas como mostra a FIGURA 37. Como citado anteriormente, essas diferenças podem ser principalmente explicadas pelo modo de operação A apresentar mais diferenças quando comparado aos outros modos de operação. Mesmo com a alteração da frequência de operação, as características de multimodos se mantêm até 3 GHz, com cada modo apresentado OCP_{1dB} e PAE diferentes. Em 3 GHz OCP_{1dB} varia de

18,8 dBm a 23,5 dBm e a PAE de 5,1% a 8,9% como destacado nas legendas das figuras.

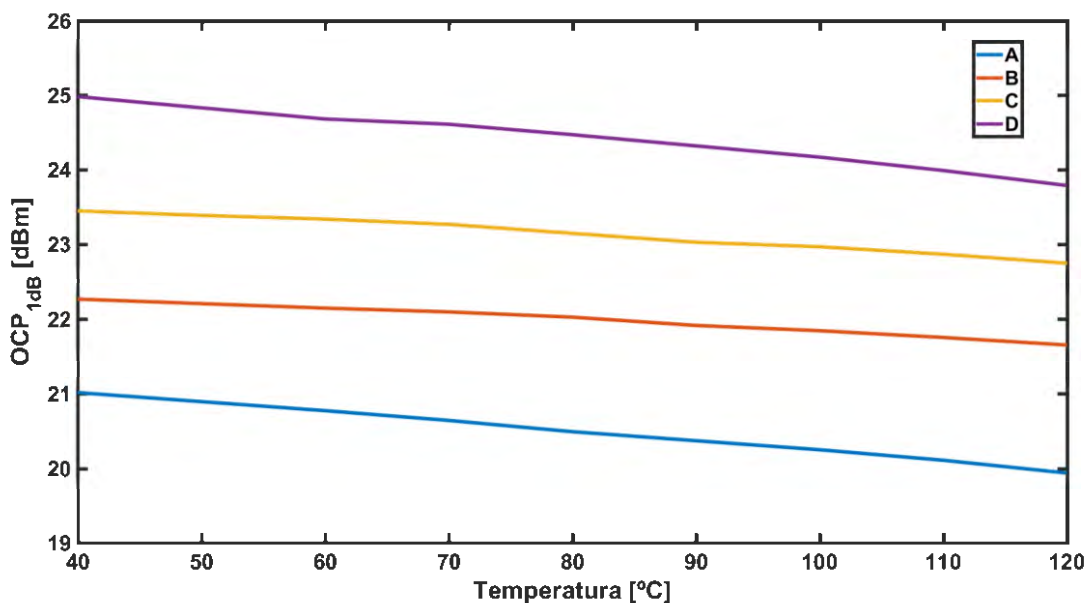
FIGURA 38 - VARIAÇÃO DO GANHO EM FUNÇÃO DA TEMPERATURA



FONTE: O autor (2021)

LEGENDA: Gráfico da variação do ganho direto em função da temperatura de operação. Pode-se observar que todos os modos de operação são afetados de forma semelhante.

FIGURA 39 - VARIAÇÃO DO OCP_{1dB} EM FUNÇÃO DA TEMPERATURA



FONTE: O autor (2021)

LEGENDA: Gráfico da variação do OCP_{1dB} em função da temperatura de operação. Pode-se observar que o OCP_{1dB} não é tão impactado pela variação de temperatura quanto o ganho direto.

As FIGURA 38 e FIGURA 39 representam a variação do valor de OCP_{1dB} e do ganho direto, respectivamente, para cada um dos modos de operação em função da temperatura. Primeiramente, pode-se observar que para ambas as métricas todos os modos de operação se comportam de forma linear com coeficiente semelhante às variações de temperatura. Além disso, também pode-se observar que o ganho direto é mais sensível à variação de temperatura do que o OCP_{1dB} . O ganho direto varia aproximadamente $-0,59 \text{ dB}/10^\circ \text{ C}$ enquanto o OCP_{1dB} varia $-0,14 \text{ dB}/10^\circ \text{ C}$.

Além das variações de temperatura, o processo de fabricação do circuito também pode sofrer variações que resultariam em alterações nos resultados esperados. Para se medir o quanto essas variações podem impactar os resultados é possível realizar uma simulação de cantos, a qual leva em consideração algumas dessas variações. Foram realizadas simulações de canto para os quatro modos de operação selecionados, os resultados completos estão no ANEXO 6. A TABELA 16 sumariza as principais variações nos resultados que foram observadas nas simulações de cantos. A exemplo do comportamento do circuito em relação à variação de temperatura, nas simulações de cantos também se observa que o ganho direto é mais impactado pelas variações do que os valores de OCP_{1dB} . Essas variações maiores no ganho do circuito podem ser explicadas pelo fato de que tanto o estágio de ganho quanto de potência tem papel significativo no ganho direto final do PA. O OCP_{1dB} também pode ser impactado pelo estágio de ganho do circuito, se a potência de saída desse estágio for baixa, porém esse não é o caso para o PA projetado. Sendo

TABELA 16 - VARIAÇÃO DOS RESULTADOS NAS SIMULAÇÕES DE CANTOS

MODO	OCP_{1dB} [dBm]	S_{21} [dB]	PAE @ OCP_{1dB}
A	19,5 – 21,5	28,9 – 31,9	6,91% – 8,53%
B	21,2 – 22,8	29,0 – 33,3	8,81% – 10,2%
C	22,5 – 23,7	29,7 – 33,9	10,2% – 11,0%
D	23,9 – 24,9	29,9 – 33,9	10,7% – 11,5%

FONTE: O autor (2021)

LEGENDA: Tabela que mostra as variações em algumas métricas obtidas nas simulações de cantos para cada um dos modos de operação.

assim, o valor de OCP_{1dB} é significativamente impactado pelas variações no estágio de potência apenas.

Nos resultados das simulações de cantos também se nota que a PAE não se altera tanto, o que se deve também às baixas variações nos valores de OCP_{1dB} . Apesar das variações significantes de ganho direto, o ganho permanece em valores suficientemente grandes, próximos dos 30 dB, para que a PAE não seja tão impactada pelas variações.

4.4 COMPARAÇÃO COM ESTADO DA ARTE

Foi realizada uma comparação com outros amplificadores de potência multimodos e de alta potência já publicados e citados anteriormente como referências para esse trabalho.

A tabela comparativa está representada na TABELA 17. A tabela apresenta resultados de medidas dos circuitos projetados, tanto como resultados de simulações pós-leiaute e os resultados das simulações de pós-leiaute do trabalho proposto. Comparando-se os resultados desse trabalho com os resultados de DOS SANTOS (2017), o PA proposto nesse trabalho apresenta valores de OCP_{1dB} maiores, um ganho direto na mesma faixa de grandeza. Se comparado aos resultados de SANTOS (2016), o circuito proposto apresenta também valores de OCP_{1dB} mais altos, como também valor de ganho direto. Os PAs propostos por mim em trabalho anterior TARUI (2018) e por TUFFERY (2015), o qual utiliza uma tecnologia diferente, são os circuitos o qual os resultados mais se aproximam do PA proposto nesse trabalho, tanto em modos de operação, OCP_{1dB} e PAE. A principal diferença entre TUFFERY (2015) e o circuito proposto é o ganho direto constante. Já se comparado com TARUI (2018) as principais diferenças estão nos valores de ganho direto, na melhoria da eficiência nos modos de menor potência e na simplicidade de controle, diminuindo de seis para três sinais de controle. Os circuitos propostos por AN (2009) e YOON (2010) apresentam altos valores de PAE se comparados ao PA proposto. No entanto, esses circuitos apresentam apenas dois diferentes modos de operação, o que pode limitar as vantagens advindas da alternância entre os modos de operação. A principal diferença entre o PA proposto nesse trabalho e os outros PAs estudados no estado da arte, é o ganho direto constante para os diferentes modos de operação.

Por fim, os PAs propostos por DASGUPTA (2019) e CHI (2010) são circuitos que utilizaram uma tecnologia semelhante à utilizada nesse projeto, porém utilizando-se de diferentes arquiteturas para se obter uma saída mais alta. DASGUPTA (2019) apresenta resultados semelhantes a esse trabalho, porém opera em uma frequência consideravelmente mais alta, de 39 GHz. Além disso, atingiu uma melhor PAE máxima, de 27%, se comparado ao nosso circuito que atingiu uma PAE máxima de 22,8%, porém o PA desse projeto obteve um valor de OCP_{1dB} consideravelmente maior. Já o PA proposto por CHI (2010) é um trabalho mais antigo, mas que utiliza a associação de cascodes, que apesar de não ser uma associação diferencial como proposto nesse trabalho, atingiu uma boa PAE máxima, apesar do baixo ganho e OCP_{1dB} .

De modo geral, o PA proposto nesse trabalho apresenta bons resultados quando comparado a outros circuitos semelhantes da literatura. Apesar dos resultados terem sido obtidos apenas através de simulações e não de uma medição, foram

TABELA 17 - COMPARAÇÃO COM PAS DA LITERATURA

REF.	TECNOLOGIA	NÚMERO DE MODOS	GANHO DIRETO (dB)	OCP_{1dB} (dBm)	PAE @ OCP_{1dB} (%)
DOS SANTOS, 2017	130 nm	6	22 – 31	14	13 – 15 ³
SANTOS, 2016¹	130 nm	7	13 – 21	6 - 18	2 - 17
TARUI, 2018²	130 nm	4	23 - 24	19 - 25	5 - 13
TUFFERY, 2015	65 nm	4	16 – 24 ³	17 - 26	5 – 12 ³
AN, 2009	180 nm	2	20 – 38	31	10 – 27 ³
YOON, 2010	180 nm	2	15 – 25	16 - 22	28 - 40
DASGUPTA, 2019	28 nm	1	38	22	27 ⁴
CHI, 2010	180 nm	1	15	18	26 ⁴
ESSE TRABALHO¹	130 nm	4	31 – 32	21 – 25	8 – 12

FONTE: O autor (2021)

LEGENDA: 1 – Resultados de simulação pós-leiaute, 2 – Resultados de simulação de esquemático, 3 – Valores estimados, 4 – Valores de pico.

utilizadas estratégias de simulação com o objetivo de aproximar os resultados dos resultados de um circuito real, como a inclusão de componentes parasitas na simulação pós-leiaute. Nesse trabalho foi possível associar estratégias de PAs de alta potência com circuitos multimodos para um melhor desempenho em operação em potência de recuo. Portanto, esse circuito se apresenta como uma boa alternativa para sistemas nos quais são necessários altos níveis de potência de saída, porém não a todo momento, sendo necessárias menores potências em algumas situações. Como a operação de um telefone celular, o qual necessita de maior potência na saída quando está longe de um ponto de recepção e menor potência na saída quando se está mais próximo do ponto de recepção. Assim, a alternância entre os modos de operação pode trazer economia à potência consumida no PA, se traduzindo numa maior eficiência e possível aumento da duração da fonte de energia de dispositivos móveis.

5 CONCLUSÃO

Nesse trabalho foi apresentado um circuito de um PA em que se uniu estratégias apresentadas na literatura para se obter altas potências na saída e múltiplos modos de operação para a faixa de 2,45 GHz. Foi utilizada a tecnologia CMOS de 130 nm no projeto desenvolvido na plataforma *Cadence Virtuoso*.

O circuito proposto baseou-se em trabalhos anteriores tentando alcançar uma melhora de resultados através da junção de diferentes técnicas também apresentadas na literatura além do teste de novas estratégias como o do estágio de polarização variável para incremento da eficiência. Durante o desenvolvimento do projeto focou-se bastante nas tensões máximas sobre os transistores e em explorar esses limites da tecnologia para poder entregar potências mais altas na saída do circuito, ao mesmo tempo que se observava a diferença de ganho entre os modos de operação e a eficiência de cada um deles.

Apesar do projeto não ter como resultado um circuito construído e limitar-se a simulações, o PA mostrou resultados interessantes atingindo uma P_{SAT} de 26,9 dBm, uma PAE máxima de 22,8% e uma baixa variação de ganho nas simulações preliminares de esquemático.

Outro resultado interessante atingido foi a economia de potência pela alternância entre os modos de operação, em situações de operação em potência de recuo, o que pode ser uma boa alternativa para a economia de energia. Junto com os resultados obtidos por outros circuitos da literatura, é possível mostrar que, apesar das desvantagens da tecnologia CMOS em circuitos de potência quando comparada a outras tecnologias, diferentes arquiteturas podem ser empregadas para se extrair mais potência desses circuitos.

Como trabalhos futuros, sugere-se o estudo de como o PA poderia se comportar utilizando uma arquitetura um pouco diferente, utilizando-se mais transistores empilhados ao invés das células cascode, o que poderia melhorar a eficiência do circuito que é métrica que mais pode ser melhorada. Além disso, pode ser interessante o estudo do comportamento do PA para diferentes protocolos de comunicação e qual seria a melhor forma de usá-lo. Dessa forma, por exemplo, ao invés de dividir os modos de operação pela potência pode-se dividi-los de acordo com diferentes protocolos de forma que cada modo de operação seja otimizado para um protocolo.

REFERÊNCIAS

- BOUCHRIKA, I. **Mobile vs Desktop Usage Statistics for 2020/2021**. Disponível em: <https://www.guide2research.com/research/mobile-vs-desktop-usage>. Acesso em 13 jul. 2021.
- F. MAHMOOD, E. PERRINS AND L. LIU. Modeling and Analysis of Energy Consumption for RF Transceivers in Wireless Cellular Systems. In: 2015 IEEE Global Communications Conference (GLOBECOM). 2015. **Proceedings...** p. 1-6.
- DENG J., LARSON L.E. **Multi-mode Power Amplifiers for Wireless Handset Applications**. In: Tasić A., Serdijn W.A., Larson L.E., Setti G. **Circuits and Systems for Future Generations of Wireless Communications. Series on Integrated Circuits and Systems**. Dordrecht: Springer, 2009.
- P. REYNAERT, M. STEYAERT. **RF Power Amplifiers for Mobile Communications**. 1 ed. New York: Springer, 2006.
- T. H. LEE. **The Design of CMOS Radio-Frequency Integrated Circuits**. 2 ed. Cambridge: Cambridge University Press. 2003.
- M. M. HELLA, M. ISMAIL. **RF CMOS Power Amplifiers: Theory, Design and Implementation**, 2002nd ed. New York: Springer. 2001.
- H. S. RUIZ AND R. B. PÉREZ. **Impact of PA on Integrated Transceivers, in Linear CMOS RF Power Amplifiers: a complete design workflow**. 1st ed. New York: Springer, 2014
- E. L. DOS SANTOS, M. A. RIOS, L. SCHUARTZ, B. LEITE, L. LOLIS, E. G. DE LIMA, A. A. MARIANO. A fully integrated CMOS power amplifier with discrete gain control for efficiency enhancement. **Microelectronics Journal**. Dez. 2017. V. 70. 2017. p 34-42.
- F. SANTOS, A. MARIANO AND B. LEITE. 2.4 GHz CMOS digitally programmable power amplifier for power back-off operation. In: 2016 IEEE 7th Latin American Symposium on Circuits & Systems (LASCAS). 2016. Florianópolis. **Proceedings...** p. 159-162.
- B. TARUI, B. LEITE. **PROJETO E SIMULAÇÃO DE AMPLIFICADOR DE POTÊNCIA MULTIMODOS EM TECNOLOGIA CMOS 130 NM PARA OPERAÇÃO NA BANDA DE FREQUÊNCIA DE 2,45 GHZ**. Monografia (Bacharelado em engenharia elétrica) – Setor de Tecnologia, Universidade Federal do Paraná, Curitiba, 2018.
- A. BANERJEE, L. DING AND R. HEZAR. A High Efficiency Multi-Mode Outphasing RF Power Amplifier With 31.6 dBm Peak Output Power in 45nm CMOS. In: **IEEE Transactions on Circuits and Systems I: Regular Papers**. Mar. 2020. V. 67, no. 3. p. 815-828.

A. TUFFERY, N. DELTIPLE, E. KERHERVÉ, V. KNOPIK AND P. CATHELIN. CMOS fully integrated reconfigurable power amplifier with efficiency enhancement for LTE applications. In: **Electronics Letters**. Jan. 2015. V. 51, no. 2. p. 181-183.

K. H. AN, D. H. LEE, O. LEE, H. KIM, J. HAN, W. KIM, C. H. LEE, H. KIM AND J. LASKAR. A 2.4 GHz fully integrated linear CMOS power amplifier with discrete power control. In: **IEEE Microwave and Wireless Components Letters**. Jul. 2009. V. 19, No. 7. p. 479-481.

Y. YOON, H. KIM, K. H. AN, J. KIM, C. LEE, AND J. LASKAR. A Fully-Integrated Dual-Mode Tunable CMOS RF Power Amplifier with Enhanced Low-Power Efficiency. In: 40th European Microwave Conference. 2010. Paris. **Proceedings...** p. 982-985.

M. NIKNEJAD, D. CHOWDHURY AND J. CHEN. Design of CMOS Power Amplifiers. In: **IEEE Transactions on Microwave Theory and Techniques**. Jun. 2021. V. 60, no. 6. p 1784-1796.

T. JOHANSSON AND J. FRITZIN. A Review of Watt-Level CMOS RF Power Amplifiers. In: **IEEE Transactions on Microwave Theory and Techniques**. Jan. 2014. V. 62, no. 1. p. 111-124.

S. HU, S. KOUSAI, J. S. PARK, O. L. CHLIEH AND H. WANG. A +27.3dBm transformer-based digital Doherty polar power amplifier fully integrated in bulk CMOS. In: 2014 IEEE Radio Frequency Integrated Circuits Symposium. 2014. Tampa. **Proceedings...** p. 235-238

K. DASGUPTA, S. DANESHGAR, C. THAKKAR, J. JAUSSE AND B. CASPER. A 26 dBm 39 GHz Power Amplifier with 26.6% PAE for 5G Applications in 28nm bulk CMOS. In: 2019 IEEE Radio Frequency Integrated Circuits Symposium (RFIC). 2019. Boston. **Proceedings...** p. 235-238.

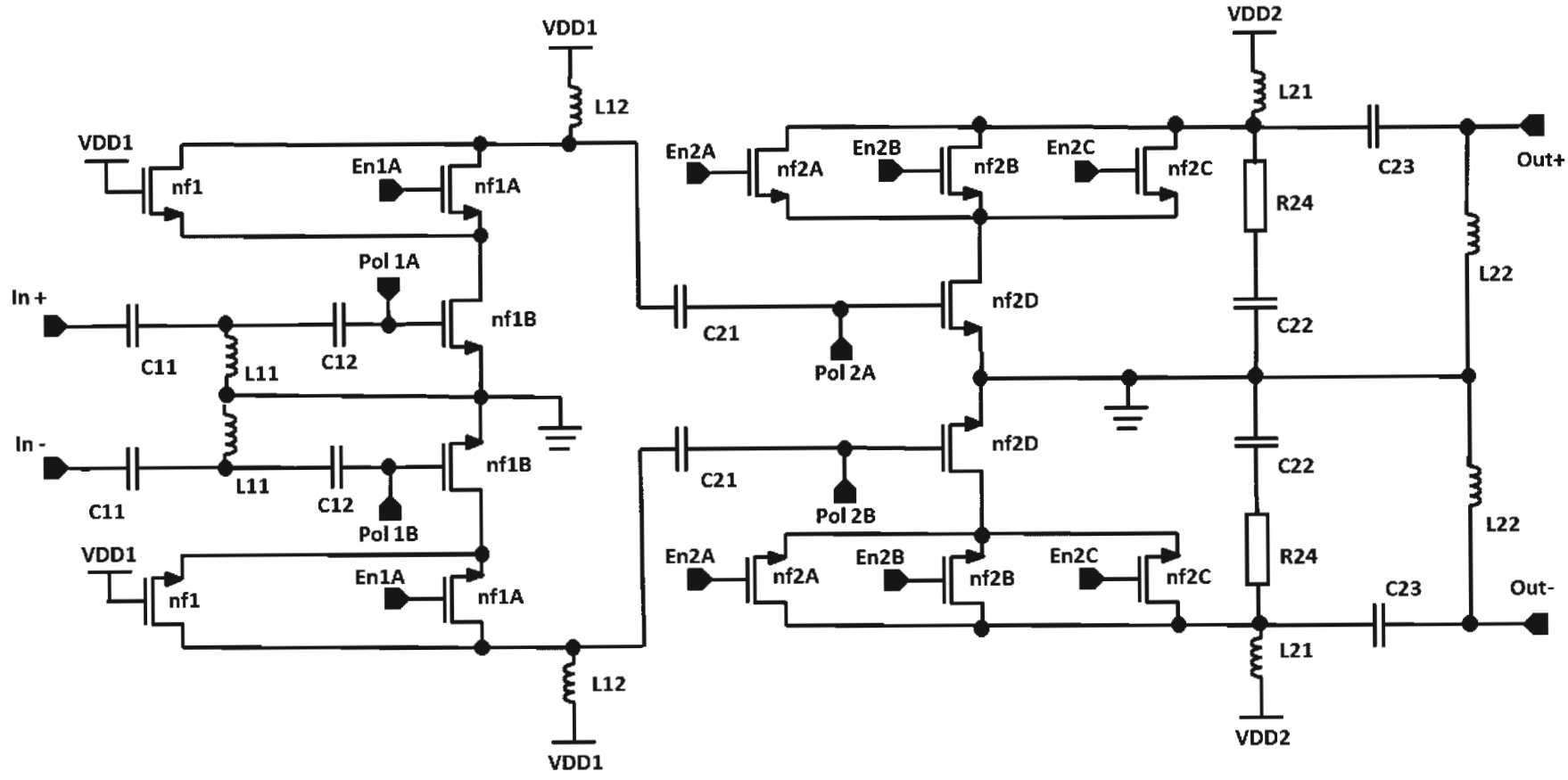
N. ROSTOMYAN, J. A. JAYAMON AND P. ASBECK. 15 GHz 25 dBm multigate-cell stacked CMOS power amplifier with 32 % PAE and ≥ 30 dB gain for 5G applications. In: 2016 11th European Microwave Integrated Circuits Conference (EuMIC). 2016. London. **Proceedings...** p. 265-268.

P. CHI, Z. TSAI, J. KUO, K. LIN AND H. WANG. An X-band, 23.8-dBm fully integrated power amplifier with 25.8% PAE in 0.18- μm CMOS technology. In: The 5th European Microwave Integrated Circuits Conference. 2010. Paris. **Proceedings...** p. 436-439.

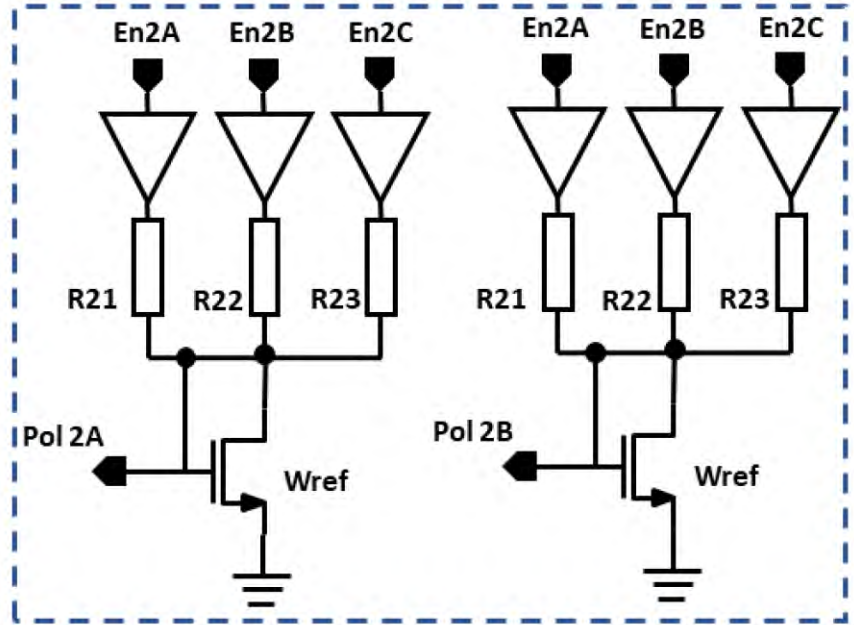
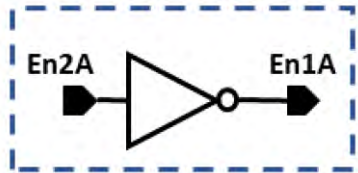
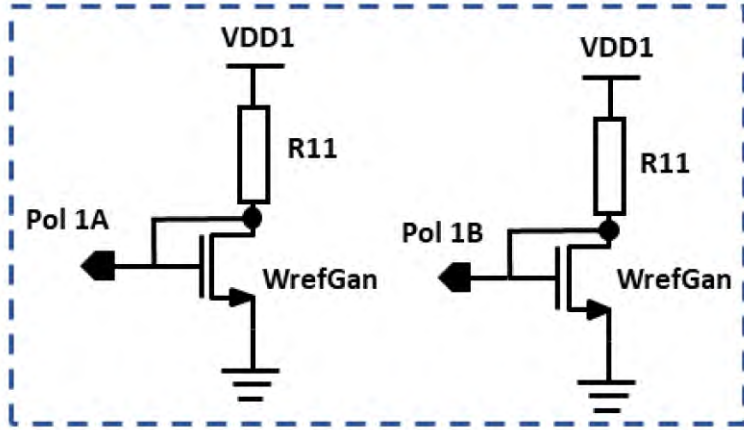
M. KHORSHIDIAN AND H. KRISHNASWAMY. A Fully-Integrated 2.6GHz Stacked Switching Power Amplifier in 45nm SOI CMOS with $>2\text{W}$ Output Power and 43.5% Efficiency. In: 2019 IEEE MTT-S International Microwave Symposium (IMS). 2019. Boston. **Proceedings...** p. 323-326.

EEWeb. **L-match impedance match calculator**. Disponível em: <https://www.eeweb.com/tools/l-match/>. Acesso em 13 jul. 2021.

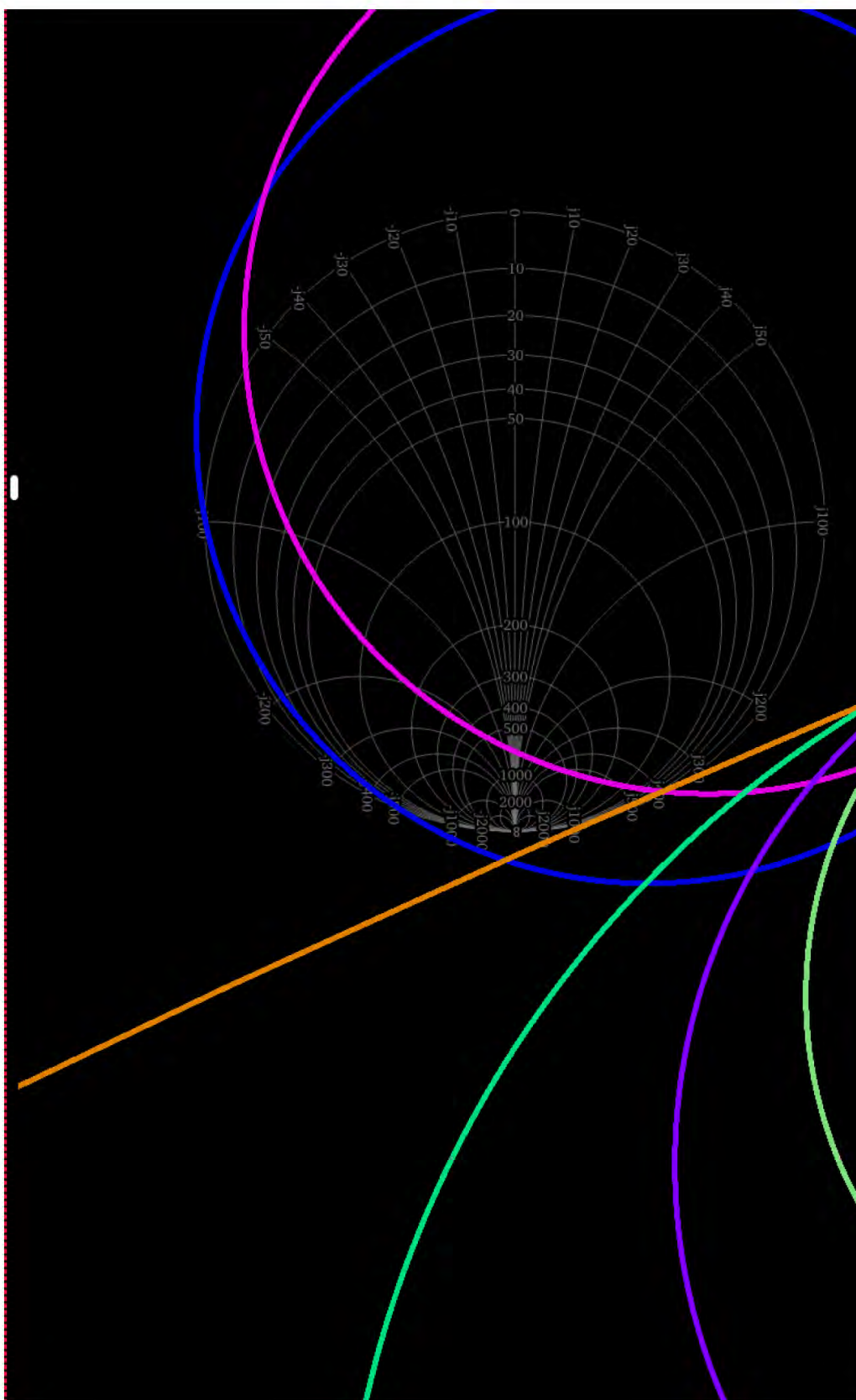
ANEXO 1 – ESQUEMÁTICO COMPLETO DO CIRCUITO



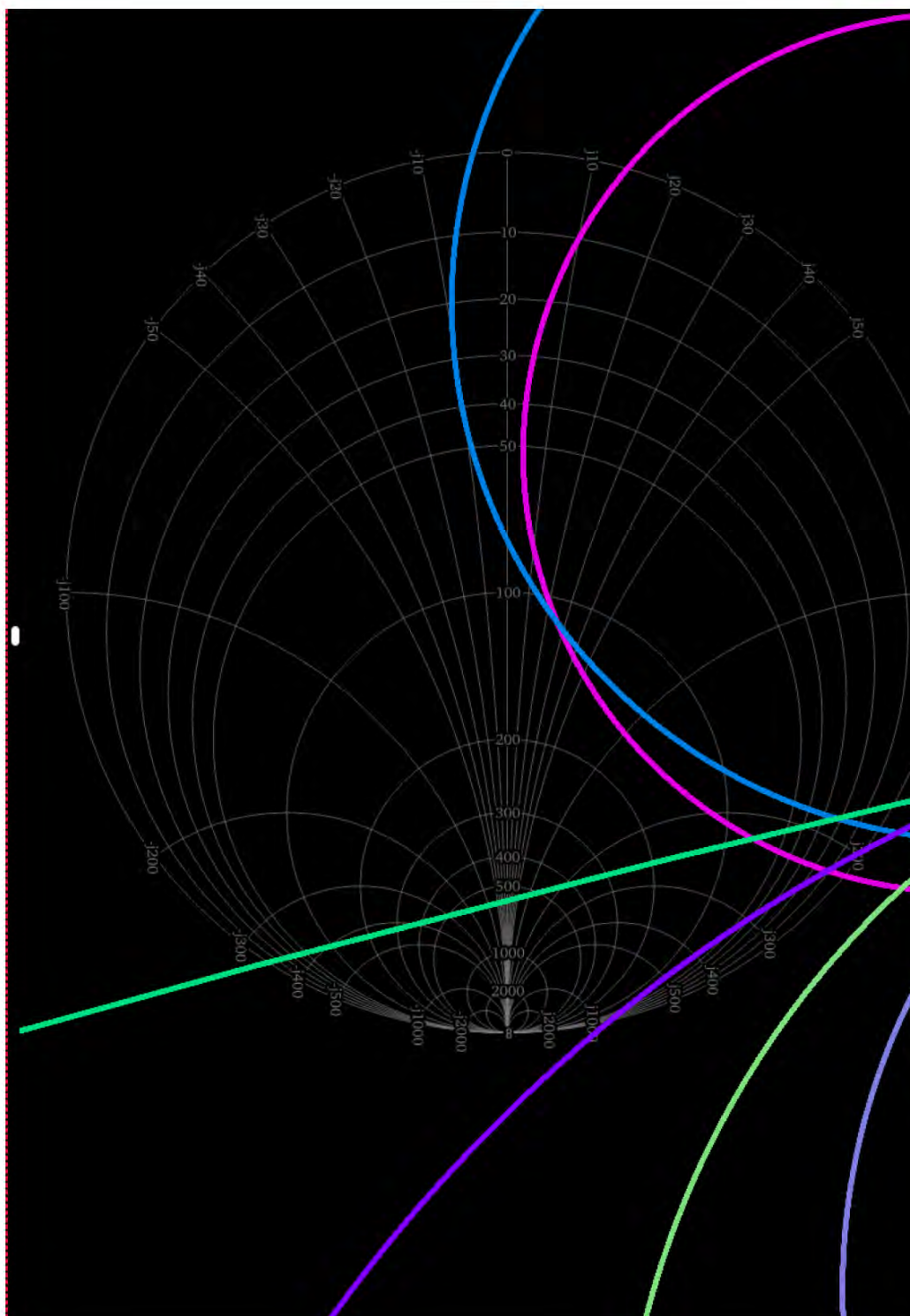
ANEXO 2 – ESQUEMÁTICOS DOS CIRCUITOS AUXILIARES



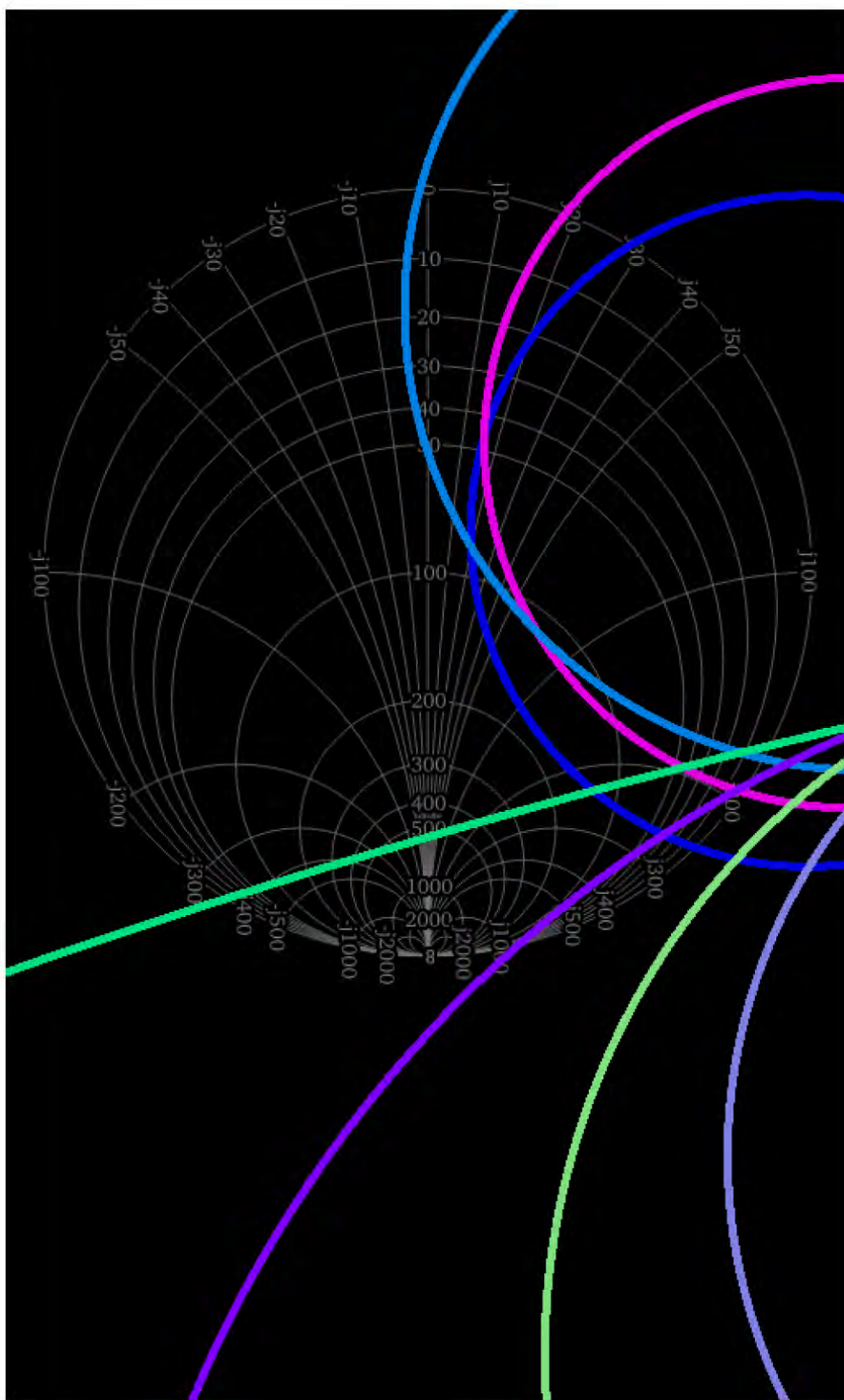
ANEXO 3 – CÍRCULOS DE ESTABILIDADE DO MODO B



ANEXO 4 – CÍRCULOS DE ESTABILIDADE DO MODO C



ANEXO 5 – CÍRCULOS DE ESTABILIDADE DO MODO D



ANEXO 6 – RESULTADOS DAS SIMULAÇÕES DE CANTOS DOS MODOS A AO D

MODO A	NOMINAL	FF	FFF	FS	SF	SS	SSF
OCP_{1dB} [dBm]	20.64	21.23	21.5	20.95	20.2	19.97	19.52
S₂₁@2.45G [dB]	30.76	31.24	31.89	32.77	28.9	29.68	28.87
S₁₁@2.45G [dB]	-16.59	-15.63	-15.17	-15.59	-17.74	-17.61	-18.25
PAE@OCP_{1dB} [%]	7.936	8.317	8.529	8.283	7.465	7.335	6.91
PDC [W]	1.559	1.709	1.775	1.603	1.5	1.441	1.38
V_{OUT} [V]	4.106	4.153	4.175	4.135	4.062	4.054	4.019
V_{OUT-A} [V]	2.253	2.23	2.223	2.225	2.32	2.283	2.302
A-IN [V]	2.127	2.248	2.301	2.185	2.1	2.026	1.978
A [V]	2.647	2.72	2.749	2.671	2.593	2.574	2.531

MODO B	NOMINAL	FF	FFF	FS	SF	SS	SSF
OCP_{1dB} [dBm]	22.09	22.6	22.81	22.11	21.84	21.47	21.15
S₂₁@2.45G [dB]	31.07	31.86	32.21	33.25	29.03	29.95	29.05
S₁₁@2.45G [dB]	-12.69	-11.94	-11.58	-12.2	-13.11	-13.48	-13.91
PAE@OCP_{1dB} [%]	9.749	10.07	10.19	9.576	9.087	9.087	8.806
PDC [W]	1.733	1.893	1.963	1.775	1.606	1.606	1.538
V_{OUT} [V]	4.214	4.275	4.3	4.221	4.154	4.154	4.119
V_{OUT-A} [V]	2.161	2.162	2.156	2.135	2.175	2.175	2.202
A-IN [V]	2.103	2.227	2.279	2.073	1.996	1.996	1.936
A [V]	2.637	2.716	2.753	2.656	2.571	2.571	2.553

MODO C	NOMINAL	FF	FFF	FS	SF	SS	SSF
OCP_{1dB} [dBm]	24.61	24.75	24.86	24.45	24.48	24.19	23.88
S₂₁@2.45G [dB]	31.77	32.45	32.79	33.87	29.8	30.74	29.89
S₁₁@2.45G [dB]	-12.47	-11.76	-11.4	-11.98	-12.92	-13.24	-13.68
PAE@ OCP_{1dB} [%]	11.5	11.09	11.06	10.85	11.52	11.09	10.66
PDC [W]	2.607	2.781	2.858	2.655	2.539	-2.463	2.383
V_{OUT} [V]	4.631	4.712	4.755	4.632	4.604	4.543	4.494
V_{OUT-A} [V]	2.436	2.433	2.434	2.38	2.535	2.473	2.49
A-IN [V]	1.953	2.043	2.098	1.867	1.95	1.844	1.787
A [V]	2.685	2.747	2.785	2.7	2.707	2.607	2.577

MODO D	NOMINAL	FF	FFF	FS	SF	SS	SSF
OCP_{1dB} [dBm]	24.61	24.75	24.86	24.45	24.48	24.19	23.88
S₂₁@2.45G [dB]	31.77	32.45	32.79	33.87	29.8	30.74	29.89
S₁₁@2.45G [dB]	-12.47	-11.76	-11.4	-11.98	-12.92	-13.24	-13.68
PAE@ OCP_{1dB} [%]	11.5	11.09	11.06	10.85	11.52	11.09	10.66
PDC [W]	2.607	2.781	2.858	2.655	2.539	-2.463	2.383
V_{OUT} [V]	4.631	4.712	4.755	4.632	4.604	4.543	4.494
V_{OUT-A} [V]	2.436	2.433	2.434	2.38	2.535	2.473	2.49
A-IN [V]	1.953	2.043	2.098	1.867	1.95	1.844	1.787
A [V]	2.685	2.747	2.785	2.7	2.707	2.607	2.577