

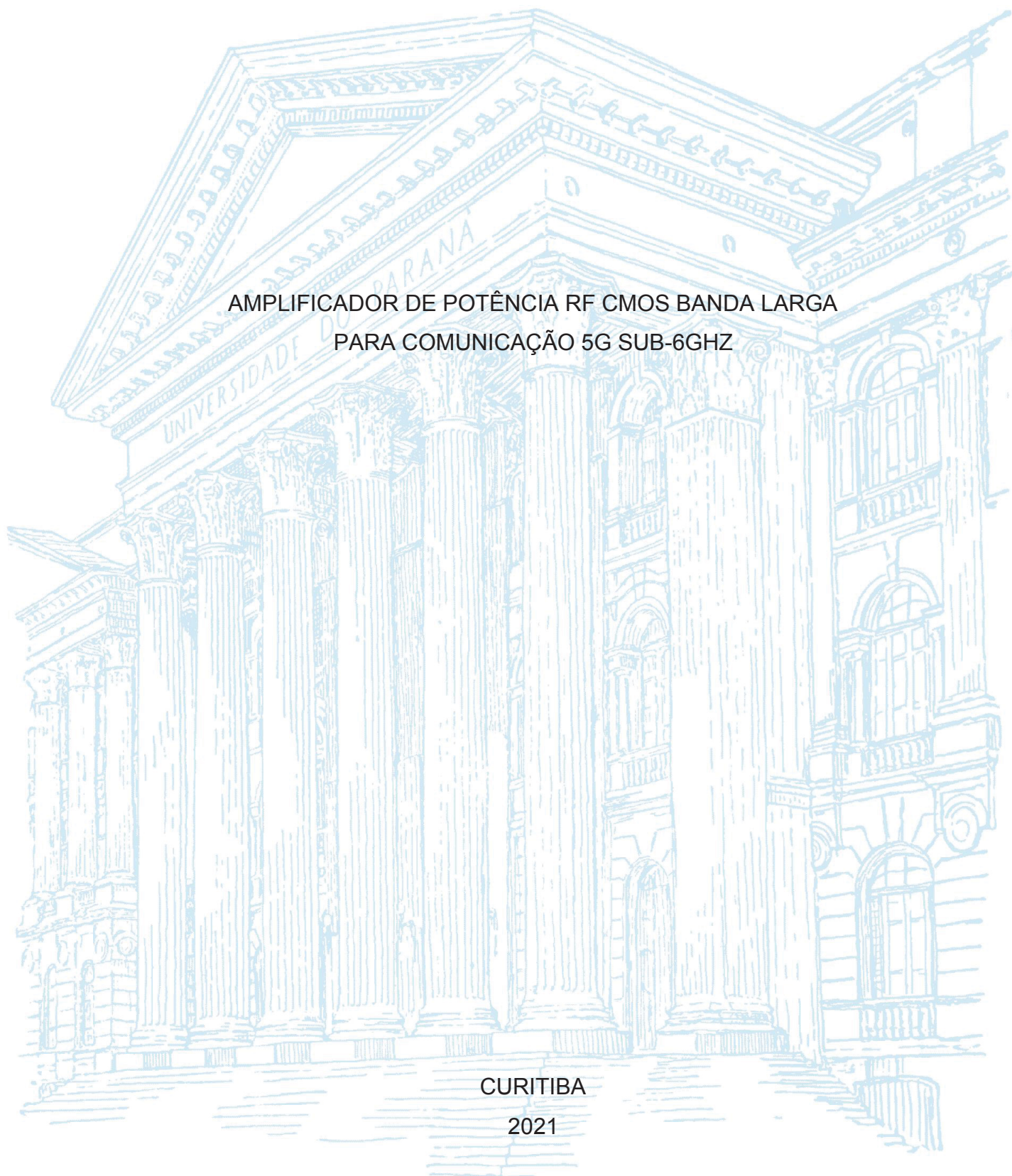
UNIVERSIDADE FEDERAL DO PARANÁ

ARTUR TSUGUIYOSHI HARA

AMPLIFICADOR DE POTÊNCIA RF CMOS BANDA LARGA
PARA COMUNICAÇÃO 5G SUB-6GHZ

CURITIBA

2021



ARTUR TSUGUIYOSHI HARA

AMPLIFICADOR DE POTÊNCIA RF CMOS BANDA LARGA
PARA COMUNICAÇÃO 5G SUB-6GHZ

Tese apresentada ao curso de Pós-Graduação em Engenharia Elétrica, Setor de Tecnologia, Universidade Federal do Paraná, como requisito parcial à obtenção do título de Doutor em Engenharia Elétrica.

Orientador: Prof. Dr. André A. Mariano

Coorientador: Prof. Dr. Bernardo R. B. A. Leite

CURITIBA

2021

Catálogo na Fonte: Sistema de Bibliotecas, UFPR
Biblioteca de Ciência e Tecnologia

H254a Hara, Artur Tsuguiyoshi
Amplificador de potência RF CMOS banda larga para
comunicação 5G sub-6GHz [recurso eletrônico] / Artur Tsuguiyoshi
Hara – Curitiba, 2021.

Tese - Universidade Federal do Paraná, Setor de Tecnologia,
Programa de Pós-graduação em Engenharia Elétrica.
Orientador: Prof. Dr. André Augusto Mariano
Coorientador: Prof. Dr. Bernardo R. B. A. Leite

1. Amplificadores de potência. 2. Semicondutores. 3. 5G
(Sistema de comunicação de quinta geração). I. Universidade
Federal do Paraná. II. Mariano, André Augusto. III. Leite, Bernardo
R. B. A. IV. Título.

CDD: 621.044

Bibliotecária: Roseny Rivelini Morciani CRB-9/1585

TERMO DE APROVAÇÃO

Os membros da Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em ENGENHARIA ELÉTRICA da Universidade Federal do Paraná foram convocados para realizar a arguição da tese de Doutorado de **ARTUR TSUGUIYOSHI HARA** intitulada: **AMPLIFICADOR DE POTÊNCIA RF CMOS BANDA LARGA PARA COMUNICAÇÃO 5G SUB-6GHZ**, sob orientação do Prof. Dr. ANDRÉ AUGUSTO MARIANO, que após terem inquirido o aluno e realizada a avaliação do trabalho, são de parecer pela sua APROVAÇÃO no rito de defesa.

A outorga do título de doutor está sujeita à homologação pelo colegiado, ao atendimento de todas as indicações e correções solicitadas pela banca e ao pleno atendimento das demandas regimentais do Programa de Pós-Graduação.

CURITIBA, 03 de Fevereiro de 2021.

Assinatura Eletrônica

04/02/2021 10:18:56.0

ANDRÉ AUGUSTO MARIANO

Presidente da Banca Examinadora

Assinatura Eletrônica

04/02/2021 10:42:21.0

GLAUBER GOMES DE OLIVEIRA BRANTE

Avaliador Externo (UNIVERSIDADE TECNOLÓGICA FEDERAL DO PARANÁ)

Assinatura Eletrônica

05/02/2021 09:41:55.0

LUIS HENRIQUE ASSUMPÇÃO LOLIS

Avaliador Interno (UNIVERSIDADE FEDERAL DO PARANÁ)

Assinatura Eletrônica

04/02/2021 23:07:39.0

DEAN BICUDO KAROLAK

Avaliador Externo (UNIVERSIDADE FEDERAL DE ITAJUBÁ)

AGRADECIMENTOS

Certamente se fosse incluir todas as pessoas que fizeram parte dessa importante fase de minha vida, faltariam páginas para tal, e certamente poderia omitir alguns nomes. Portanto, desde já, a todas essas, podem estar certas de que fazem parte do meu pensamento e da minha gratidão.

Agradeço ao meu orientador Prof. Dr. André A. Mariano, e também ao Prof. Dr. Bernardo Leite pela paciência e sabedoria com que me guiaram nesta trajetória.

Ao prof. Dr. Eduardo G. Lima e sua equipe pelo apoio no desenvolvimento dos artigos, e ao colega Luis Schuartz pela edição e submissão dos mesmos.

À Secretaria do Curso, pelo suporte e cooperação.

Gostaria de deixar registrado também, o meu reconhecimento à meus pais, minha família, pois acredito que sem o apoio dela seria muito difícil vencer esse desafio.

Enfim, a todos os que por algum motivo contribuíram para a realização desta pesquisa.

... cerra as palavras e sela o livro, até o fim do tempo; muitos correrão de uma parte a outra, e a ciência se multiplicará (Dn. 12:4). Agradeço a Deus que me deu forças para concluir este projeto de forma satisfatória.

RESUMO

O 5G é um sistema de comunicação completo, abrangendo muitos padrões de comunicação de rádio, dentro de seus dispositivos vários circuitos integrados atendem a diversos padrões de camada física das redes de comunicação 5G, como sub-6 GHz, IEEE Std 802.11n-2009, IEEE Std 802.11ac-2013, Bluetooth e UWB. Existe a necessidade de um componente de amplificação de potência (PA) RF flexível e adaptável para se evitar a repetição de PAs, usando frequências distintas, em um dispositivo 5G, bem como a repetição de blocos construtivos, também de frequências distintas, dentro de um circuito integrado (CI) de PA. Neste trabalho, é proposta uma metodologia para projeto e desenvolvimento de um PA banda larga com um único modo de operação, capaz de transmitir em diferentes padrões de comunicação. Comparado com o estado da arte, este PA terá uma boa linearidade em toda a banda projetada, em vez de pontos ideais em determinada frequência, conforme encontrado na literatura. O PA desenvolvido possui dois estágios: um estágio de pré-amplificação que usa uma técnica de reutilização de corrente; e um estágio de potência em cascode. Inicialmente, os estágios foram projetados com transistores convencionais de dedo único, posteriormente a multiplicidade desses transistores foi alterada para melhorar os parâmetros de desempenho e linearidade. Os testes foram realizados substituindo-se transistores convencionais por tipo *triple-well* para um controle mais preciso da tensão de limiar. O casamento de impedância foi feito em banda estreita, tanto na entrada quanto na saída, com redes-L fixas, mas manteve-se o comportamento banda-larga. O PA foi validado com testes de sinal modulado em três padrões de comunicação e simulações pós-layout. O PA projetado é da classe AB e opera na faixa 2 GHz a 5 GHz, com as simulações teve-se o seguinte desempenho: um ganho de potência de 16 dB a 20,9 dB, uma potência de saturação de saída de 19,1 dBm a 21,7 dBm, um ponto de compressão de 15,8 dBm a 20,4 dBm e uma eficiência de potência adicionada de 9,28% a 22,4%. Embora não se tenha medidas do CI do PA, os dados de desempenho obtidos por simulações pós-layout e os resultados dos testes de sinal modulado em três bandas corroboram o potencial da metodologia proposta, para o projeto de PAs de banda larga. O PA também foi modelo físico para modelagem comportamental de projetos que implementem a linearização de PAs por pré-distorção digital, com transmissão de sinais multi-banda.

Palavras-chave: Amplificador de potência. RF. CMOS. Banda larga. 5G.

ABSTRACT

The 5G is a complete communication system, covering many radio communication standards, within its devices several integrated components meet a variety of standards for physical layer of the 5G communication networks: sub-6 GHz, IEEE Std 802.11n-2009, IEEE Std 802.11ac-2013, Bluetooth and UWB. There is a need for a flexible and adaptable RF power amplifier (PA) component to avoid the repetition of amplifiers, using different frequencies, in a 5G device, as well as the repetition of building blocks, also of different frequencies, within an PA integrated circuit (IC). In this work, a methodology is proposed for the design and development of a wideband PA with a single mode of operation, capable of transmitting in different communication standards. Compared with the state of the art, this PA will have good linearity across the projected band, instead of a sweet spot at a given frequency, as found in the literature. The PA IC developed has two stages: a PPA pre-amplification stage that uses a current reuse technique and a cascode power stage. Initially, the stages were designed using conventional transistors, later the multiplicity of transistors was changed to improve the performance and linearity parameters. Tests were carried out replacing conventional transistors with triple-well type for an accurate control of the threshold voltage. A narrow band impedance matching was made, both at the input and at the output but the wideband behavior was maintained. The PA was validated with modulated signal tests in three communication standards and post-layout simulations. The designed PA is a class AB and operates in the 2-5 GHz range. The results of the simulations: a power gain of 16-20.9 dB, an output saturation power of 19.1-21.7 dBm, a compression point of 15.8-20.4 dBm and a power added efficiency of 9.28-22.4%. Although there are no measurements of the PA IC, the performance data obtained by post-layout simulations and the results of the three-band modulated signal tests corroborate the potential of the proposed methodology for the design of wideband PA. The PA was also a physical model for behavioral modeling of projects that implement the linearization of PAs by digital pre-distortion, with transmission of multi-band signals.

Keywords: Power Amplifier. RF. CMOS. Wideband. 5G.

LISTA DE FIGURAS

Figura 1-1 – Utilização do 5G funcional (Europa, 2015).....	1
Figura 1-2 – Detalhe de (a) placa PCB auxiliar, visão (b) frente e (c) verso da placa principal, com indicação dos componentes de RF de interesse (Ifixit, 2019).	3
Figura 1-3 – Encapsulamento 32 pinos QFN dos CIs compondo o PA de multi-banda descrito por Kim et al (2014b).	5
Figura 1-4 – Microfotografia do PA desenvolvido por Aoki et al (2008).....	5
Figura 1-5 – Encapsulamento BGA dos CIs com detalhe do PA dua-band CMOS descrito por Tsai et al (2017).....	6
Figura 2-1 – Quadripolo, ou rede de duas portas.....	11
Figura 2-2 – Curva de amplificação com detalhe de joelho e linhas de referência de saída e de entrada, adaptado de Ellinger (2007) e Cripps (2006).....	12
Figura 2-3 – Eficiência por classe de amplificador (Electronics-tutorials, 2020).....	14
Figura 2-4 – Pontos de constelação ideais e reais, localização entre o fasor de referência e o fasor medido respectivamente (Alvarado, 2019).	16
Figura 2-5 – Gráfico PSD mostrando o espectro do sinal de saída do PA projetado.	17
Figura 2-6 – Princípio de operação DPD com PA (Li, 2012).	18
Figura 2-7 – Sinal modulado LTE 3,5 GHz com múltiplas portadoras e envoltória variável.....	20
Figura 2-8 – Estudo da variação de V_{th} alterando-se o valor da tensão aplicada no corpo V_{body} em transistores triple-well.	30
Figura 3-1 – Fluxograma da Metodologia, passos iniciais.....	36
Figura 3-2 – Fluxograma da Metodologia, passos intermediários.....	37
Figura 3-3 – Fluxograma da Metodologia, passos finais.	38
Figura 3-4 – O PA deste trabalho e a possibilidade de amplificar múltiplos padrões de comunicação que fazem parte do sistema 5G.	40
Figura 3-5 – Curvas $I_d \times V_{gs}$ conforme W , do estudo de um transistor NFET RF.	43
Figura 3-6 – Esquemático do PPA com bloco de entorno do transistor M4 e modelo do reuso de corrente.	46
Figura 3-7 – Esquemático da rede de entrada <i>L-match</i>	47
Figura 3-8 – Gráfico do ganho G de potência e PAE obtidos por simulação <i>load-pull</i>	48
Figura 3-9 – Gráfico de P_{sat} e OCP_1 obtidos por simulação <i>load-pull</i>	49

Figura 3-10 – Gráfico para análise da resistência de entrada R_{in}	50
Figura 3-11 – Gráfico para análise do isolamento de entrada dado por S_{11}	51
Figura 3-12 – Gráfico para análise da estabilidade u	52
Figura 3-13 – Gráfico para análise do ganho máximo de potência dado por S_{21}	52
Figura 3-14 – Análise da variação de V_{th} alterando-se o valor da tensão aplicada no corpo V_{body} dos transistores <i>triple-well</i> M3 e M4 do estágio PPA na frequência de 3,5 GHz.....	54
Figura 3-15 – Análise de <i>sweet-spot</i> para determinar V_{body} conforme os <i>trade-offs</i> entre os parâmetros de desempenho PAE, ganho, P_{sat} e OCP_1 na frequência de 3,5 GHz	55
Figura 3-16 – Esquemático do estágio de potência.	56
Figura 3-17 – Gráfico para análise da resistência de entrada R_{in}	57
Figura 3-18 – Gráfico para análise da estabilidade u	57
Figura 3-19 – Gráfico para análise do isolamento de entrada dado por S_{11}	58
Figura 3-20 – Gráfico para análise do ganho máximo de potência dado por S_{21}	58
Figura 3-21 – Gráfico do ganho e PAE obtidos por simulação <i>load-pull</i> antes do casamento de saída.	59
Figura 3-22 – Gráfico de P_{sat} e OCP_1 obtidos por simulação <i>load-pull</i> antes do casamento de saída.	59
Figura 3-23 – Exemplo de carta de Smith gerada pelo simulador.....	61
Figura 3-24 – Gráfico do ganho e PAE após o casamento inicial em 6 GHz.	61
Figura 3-25 – Gráfico de P_{sat} e OCP_1 após o casamento inicial em 6 GHz.....	62
Figura 3-26 – Análise de <i>sweet-spot</i> de V_{dd1} , com tensão $V_{dd2} = 1,8$ V.....	64
Figura 3-27 – Análise de <i>sweet-spot</i> de V_{dd1} , com tensão $V_{dd2} = 2$ V.	64
Figura 3-28 – Curvas ganho por potência de saída aplicando-se $V_{dd1} = 1,6$ V.	65
Figura 3-29 – Curvas de ganho G e PAE com picos em 2 GHz.....	66
Figura 3-30 – Curvas de potência P_{sat} e OCP_1 com pico em torno dos 2 GHz.	66
Figura 3-31 – Esquemático do estágio de potência com a rede de <i>feedback</i>	67
Figura 3-32 – Circuito finalizado da etapa de esquemático.....	69
Figura 3-33 – Gráfico do parâmetro de espalhamento S_{11} em termos de layout.	71
Figura 3-34 – Esquemático de filtro Butterworth projetado e componentes com os valores reais disponíveis.	72
Figura 3-35 – Esquemático do PA após ajustes no layout.	73
Figura 3-36 – Layout de CI do PA projetado.	73

Figura 4-1 – Gráfico do parâmetro de espalhamento S_{11} em termos de esquemático.	74
Figura 4-2 – Gráfico da estabilidade u em termos de esquemático.	75
Figura 4-3 – Valores de PAE e ganho máximo de potência em termos de esquemático.	75
Figura 4-4 – Valores de potência P_{sat} e OCP_1 em termos de esquemático.	76
Figura 4-5 – Isolamento de entrada analisado em termos de parâmetro S_{11} .	77
Figura 4-6 – Valores de PAE e ganho máximo de potência em pós-layout.	77
Figura 4-7 – Valores de potência P_{sat} e OCP_1 em termos de pós-layout.	78
Figura 4-8 – Comparativo para PAE e ganho entre simulação esquemático e de pós-layout.	79
Figura 4-9 – Comparativo para potência P_{sat} e OCP_1 entre simulação esquemático e de pós-layout.	79
Figura 4-10 – Densidade espectral de potência com sinal LTE.	82
Figura 4-11 – Constelação do sinal de saída do PA em LTE.	82
Figura 4-12 – Densidade espectral de potência com sinal IEEE Std 802.11n-2009 2.4 GHz.	83
Figura 4-13 – Constelação do sinal de saída do PA em IEEE Std 802.11n-2009 2.4 GHz.	83
Figura 4-14 – Densidade espectral de potência com sinal IEEE Std 802.11ac-2013 5 GHz.	84
Figura 4-15 – Constelação do sinal de saída do PA em IEEE Std 802.11ac-2013 5 GHz.	84
Figura 4-16 – Função de transferência instantânea Amplitude de Entrada x Amplitude de Saída para um sinal em LTE 3,5 GHz.	87
Figura 4-17 – Função de transferência instantânea Amplitude de Entrada x Fase de Saída para um sinal em LTE 3,5 GHz.	87

LISTA DE ABREVIATURAS

5G – sistema de comunicação de quinta geração

ACPR – *adjacent channel power ratio*, razão de potência do canal adjacente

ANATEL – Agência Nacional de Telecomunicações

ASIC – *application specific integrated circuit*

CI – circuito integrado

CMOS – *complementary metal-oxide semiconductor*, semicondutor metal-óxido complementar

DPD – *digital pre-distortion*, pré-distorsão digital

EDGE – *Enhanced Data Rates For GSM Evolution*, taxas de dados ampliadas para a evolução do GSM

EVM – *error vector magnitude*, magnitude do vetor de erro

GaAs – transistor de arseneto de gálio

GaN HEMT – transistor de nitrito de gálio

GSM – *global system for mobile communications*, sistema global para comunicações móveis

GPRS – *general packet radio services*, serviços gerais de pacotes por rádio

HB – *harmonic balance*, balanço harmônico

LTE – *Long Term Evolution*, padrão de comunicação móvel do 4G

OCP – *output compression point*, ponto de compressão referenciado à saída

PA – *power amplifier*, amplificador de potência

PAE – *power added efficiency*, eficiência de potência adicionada

PCB – *printed circuit board*, placa de circuito impresso

PPA – estágio de pré-amplificação

PSD – *power spectral density*, densidade espectral de potência

RF – Radiofrequência

SiGe – Transistores bipolares de Silício Germânio

Sub-6 GHz – faixa de frequência abaixo dos 6 GHz usada pelo 5G

UWB – *Ultra Wideband*, banda ultralarga

WCDMA – *wideband code-division multiple access*

W_{eff} – largura de canal efetivo, produto de largura de canal de cada transistor vezes sua multiplicidade

SUMÁRIO

1	INTRODUÇÃO	1
1.1	MOTIVAÇÃO	1
1.2	OBJETIVOS E CONTRIBUIÇÕES	8
1.3	ORGANIZAÇÃO DOS DEMAIS CONTEÚDOS	9
2	DEFINIÇÃO DE CONCEITOS	10
2.1	MÉTRICAS DO PA.....	10
2.1.1	Parâmetros S.....	10
2.1.2	Linearidade e Técnicas de Linearização	11
2.1.3	Classes de amplificadores.....	13
2.1.4	Casamento de impedância	14
2.1.5	EVM e ACPR.....	15
2.1.6	DPD e Modelagem Comportamental.....	17
2.2	LEVANTAMENTO DO ESTADO DA ARTE	20
2.2.1	Tecnologias	21
2.2.2	Faixas de frequência	22
2.2.3	Desempenhos alcançados em PAs no Estado da Arte	23
2.2.4	Relações de compromisso (<i>trade-offs</i>).....	27
2.2.5	Apresentação de curvas de linearidade.....	28
2.2.6	Tipos de transistores e Multiplicidade.....	29
2.2.7	Topologia.....	31
2.2.8	Padrões de comunicação	31
3	METODOLOGIA E DESENVOLVIMENTO	34
3.1	ESPECIFICAÇÃO	39
3.2	ARQUITETURA DO PA	41
3.3	DIMENSIONAMENTO.....	42
3.4	SIMULAÇÕES E OTIMIZAÇÕES.....	44
3.5	ESTÁGIO DE PRÉ-AMPLIFICAÇÃO	45

3.6	ESTUDO DO EFEITO DA MULTIPLICIDADE	49
3.7	QUANDO USAR TRANSISTORES TRIPLE-WELL	53
3.8	ESTÁGIO DE POTÊNCIA.....	55
3.9	JUNÇÃO DOS ESTÁGIOS E FINALIZAÇÃO DO ESQUEMÁTICO	62
3.9.1	Realimentação.....	65
3.10	LAYOUT.....	69
4	RESULTADOS E DISCUSSÕES	74
4.1	SIMULAÇÕES DE ESQUEMÁTICO	74
4.2	SIMULAÇÕES DE PÓS-LAYOUT.....	76
4.3	COMPARATIVOS	78
4.4	TESTES COM SINAL MODULADO	80
4.5	DPD E MODELAGEM COMPORTAMENTAL.....	85
4.6	DAS DISCUSSÕES	88
5	CONCLUSÃO	91
5.1	TRABALHOS FUTUROS	92
5.2	ARTIGOS PUBLICADOS	93
	REFERÊNCIAS.....	94

1 INTRODUÇÃO

1.1 MOTIVAÇÃO

O sistema de comunicação de quinta geração 5G tem um amplo uso. Atua no cotidiano dos usuários e empresas de telecomunicação como mostrado na Figura 1-1. Suprindo as seguintes necessidades: direção assistida em sistemas de tráfego urbano; atendimento de saúde on-line (*eHealth*) para haver socorro e cuidados à distância; monitoramento a distância de sensores de qualidade da água (*water quality*); automação residencial (domótica); conexão de *smartgrids* para monitoramento e controle da distribuição de energia elétrica; além de sistemas de segurança e vigilância (European Commission, 2015).



Figura 1-1 – Utilização do 5G funcional (Europa, 2015).

A quinta geração de sistemas de comunicação expandiu a Internet com novos serviços, novos negócios, Internet das Coisas, bem como comunicações móveis, automotivas e industriais. Por consequência, a procura de serviços comuns de banda larga móvel continuamente aumenta, levando também à necessidade de uma capacidade de dados que opere de forma onipresente (IEEE 5G, 2017). Ao mesmo tempo, a demanda por sistemas de transmissão altamente lineares e altamente eficientes é muito desafiadora para o projetista de amplificadores de potência (PA) (Bhushan et al, 2014) (Raychaudhuri et al, 2012).

O PA para RF é um componente da cadeia de transmissão de um sistema de comunicação RF. Normalmente é um PA em CI, projetado para fornecer a máxima

potência na saída para uma situação específica do sinal de entrada. Componente vital para transmissão do sinal de RF usado pelo sistema de comunicação celular, tanto na estação rádio-base como nos smartphones, pois amplifica o sinal modulado contendo as informações a serem transmitidas pela antena (Cripps, 2006).

O projeto de um PA que atenda os sistemas sem-fio se torna um grande desafio, porque o uso cotidiano de smartphones impõe requisitos de economia de energia, para se aumentar o tempo de duração da carga da bateria.

Algumas características do PA de potência como tecnologia do CI, classe de amplificação, configurações e topologia de transistores como o cascode, linearidade e polarização (Jeon et al, 2010) influenciam no desempenho final. São características que devem ser ajustadas de modo a se ter a maior eficiência possível para ajudar na conservação de energia da bateria.

O 4G usa o padrão *Long Term Evolution* (LTE), que é para comunicação móvel usando uma transmissão com alta taxa de dados. Em comparação com o 4G LTE abundante no Brasil, as redes de acesso de rádio da quinta geração precisam suportar requisitos muito mais diversificados, com uma ampla gama de recursos combinados com compatibilidade retroativa, reutilização de infraestrutura e disponibilidade de espectro de frequência, como a faixa sub-6 GHz para rádio celular. Sendo o 5G um sistema de comunicação, é composto da interconexão de diversas redes de comunicação, mantendo compatibilidade com o sistema anterior 4G.

Segundo o contexto do 5G podemos iniciar a formular hipóteses:

H1. Existe a necessidade de um dispositivo do sistema de comunicação 5G comutar a comunicação entre diversos padrões de comunicação da camada física.

H2. Existe potencialmente repetição de componentes, embora de frequências diferentes.

H3. Considerando o caso da hipótese H2, esses diferentes PAs tem blocos construtivos semelhantes e repetidos, mas de frequências diferentes.

Para a Hipótese H1, analisando o 5G em nível de rede, se observa que pode ser desdobrado no modelo OSI de camadas de rede. Deste desdobramento, segundo (Maeder et al, 2016) o 5G não é somente uma rede de rádio celular, mas diversos tipos de comunicação sem-fio. A camada física pode ter comunicação à rede via 5G celular (sub-6 GHz e ondas milimétricas), LTE, IEEE Std 802.11n-2009 e IEEE Std

802.11ac-2013. Ainda se observa o atendimento da necessidade de compatibilidade retroativa à geração anterior de sistema de comunicação.

Para a Hipótese H2, com a análise de uma evidência real, um dispositivo 5G, poderemos obter mais dados sobre as interfaces que estão na camada física. Tal objeto de estudo é um smartphone modelo Galaxy Note 10+ 5G (Samsung, 2019) que tem comunicação por 5G sub-6GHz e ondas milimétricas, 4G LTE, IEEE Std 802.11n-2009, IEEE Std 802.11ac-2013, e Bluetooth.

Ifixit (2019) apresenta as placas internas para auxiliar na manutenção desse smartphone, que é de última geração lançado em agosto de 2019 segundo Gsmarena (2019). As placas de circuito impresso PCBs são mostradas na Figura 1-2, as antenas para 5G e a placa da câmera foram retiradas na fase de desmontagem e não são mostradas. Outras antenas estão desenhadas de forma a se incorporarem na PCB.

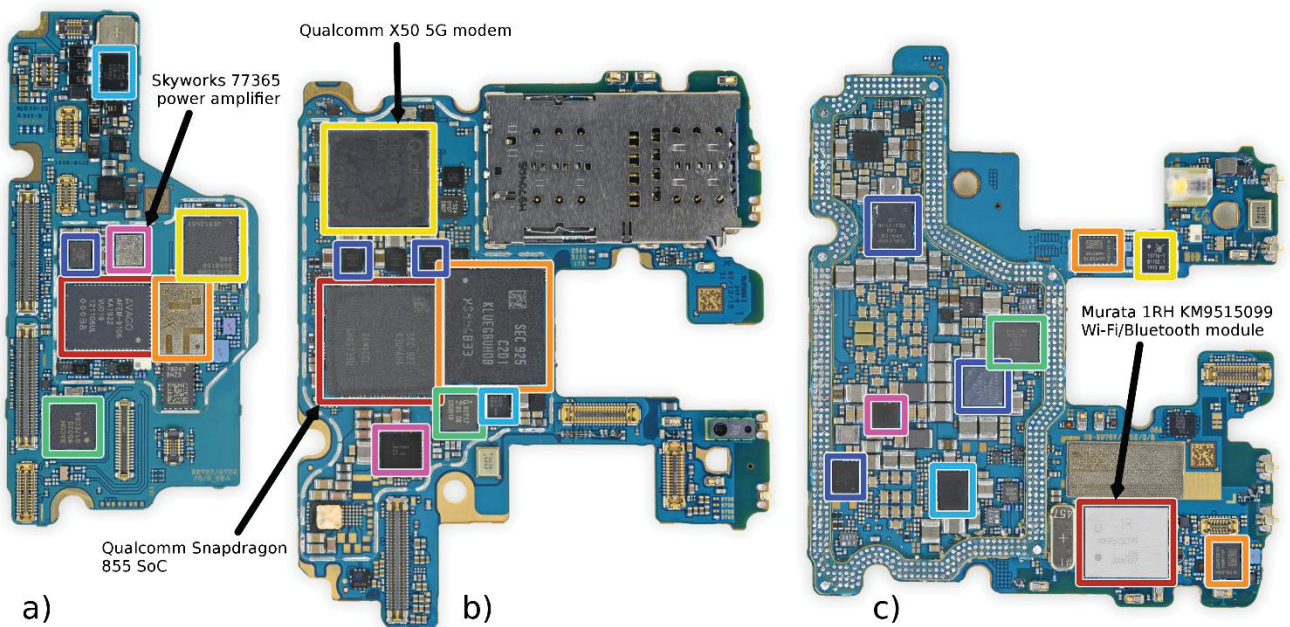


Figura 1-2 – Detalhe de (a) placa PCB auxiliar, visão (b) frente e (c) verso da placa principal, com indicação dos componentes de RF de interesse (Ifixit, 2019).

O que limita a redução da PCB são os circuitos integrados (CIs). Pela Figura 1-2 que apresenta as PCBs do smartphone objeto em estudo, observou-se a quantidade de CIs relacionados às interfaces de rede da camada física do modelo OSI – a parte analógica da recepção de sinais de radiofrequência (RF), ora da rede de celular, ora do sistema de IEEE Std 802.11n-2009 e IEEE Std 802.11ac-2013, e também Bluetooth. A Tabela 1-1 lista os CIs para aplicações específicas ASICs utilizados para operacionalizar as funções de comunicação via RF do objeto em

estudo. Também auxilia a comprovar a Hipótese H1, de que existem várias interfaces de camada física, de vários padrões de comunicação, atuando no dispositivo 5G.

Como reflexão para a Hipótese H2 onde se afirma que diferentes PAs tem blocos construtivos semelhantes e repetidos, mas de frequências diferentes, se apenas um CI pudesse englobar os circuitos RF de padrões diferentes, se conseguiria uma economia nas dimensões da PCB, mas principalmente de custo. Poderia se economizar a área relativa aos PAs de cada padrão, agrupando-se em apenas um PA de banda larga com potência e eficiência razoáveis, substituindo dois ou mais PAs.

Para estudar sobre a Hipótese H3, onde se afirma que diferentes PAs tem blocos construtivos semelhantes e repetidos, mas de frequências diferentes, é necessário fazer a engenharia reversa dos CIs. Como temos a limitação de não poder fazer isso, de desencapsular os CIs da Tabela 1-1, temos de possibilitar uma análise com CIs baseados em trabalhos acadêmicos de PAs multi-banda. As folhas de dados dos componentes destacados na Tabela 1-1 também não apresentaram detalhes construtivos internos, nem os *building-blocks* dos CIs.

CI	Padrão de comunicação	Faixa de frequência
Snapdragon X50 5G	5G	Ondas milimétricas ¹ Sub-6 GHz ²
Skyworks 77365	GSM GPRS EDGE 4G LTE	Quad-Band ³ 700 MHz a 2,6 GHz
Murata 1RH KM9515099	IEEE Std 802.11n-2009 e IEEE Std 802.11ac-2013 Bluetooth	2,4 GHz e 5 GHz 2,4-2,5 GHz

Tabela 1-1– Quadro resumo dos ASICs de RF encontrados no objeto de estudo.

Assim, iniciando com os trabalhos de Kim et al (2014b) que apresenta um PA multi-banda, neste caso um de banda quádrupla (*quad-band*) se observa a união de dois *building-blocks* distintos de amplificação em banda estreita, um para as frequências HB (1700 / 1800 MHz) e outro para as frequências LB (800 / 850 MHz), a ser utilizada em GSM, além de operar na frequência do padrão EDGE (*Enhanced Data*

¹ Ondas milimétricas (28-71 GHz)

² Sub-6 GHz (600 MHz a 6 GHz)

³ Quad-Band (850 / 900 / 1800 / 1900 Mhz)

Rates For GSM Evolution). Possui um circuito para controle para o componente comutar entre os dois padrões referidos. O casamento de impedância de saída é feito mediante CIs adicionais. A Figura 1-3 apresenta o encapsulamento unindo os CIs necessários para se ter o funcionamento do PA projetado, que utilizou tecnologia CMOS 180 nm. Também é mostrada a repetição dos *building-blocks* citados, embora de frequências diferentes, que contém circuitos semelhantes sintonizados à frequências distintas. A área apresentada do PA é de 2,8 mm x 1,1 mm que não é a área efetiva que deve incluir os CIs de casamento de saída cujas áreas não são indicadas naquela figura.

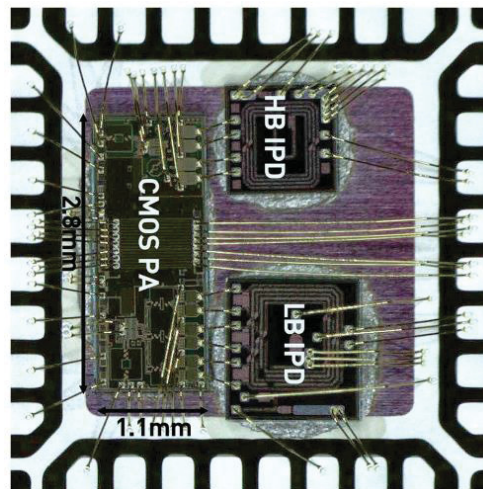


Figura 1-3 – Encapsulamento 32 pinos QFN dos CIs compondo o PA de multi-banda descrito por Kim et al (2014b).

Outro PA *quad-band* é apresentado por Aoki et al (2008), que opera no padrão GSM/GPRS, foi confeccionado na tecnologia CMOS 130 nm. A sua área é de 2,8 mm x 1,5 mm. Internamente, o CI segue a linha da repetição de *building blocks*, embora de frequências distintas, feita por Kim et al (2014b), contendo os mesmos dois *building-blocks*, mas com os circuitos de casamento de saída internos ao CI. Isto pode ser visto na Figura 1-4.

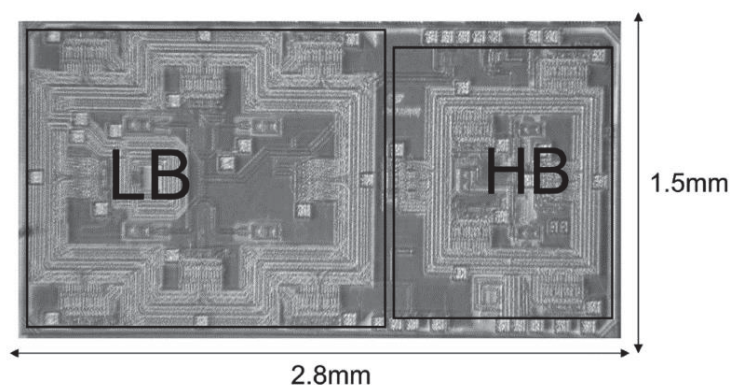


Figura 1-4 – Microfotografia do PA desenvolvido por Aoki et al (2008).

Continuando o estudo, agora com o PA de potência de banda dual projetado por Tsai et al (2017), desenvolvido em tecnologia CMOS 153 nm 1P6M CMOS (um padrão não-convencional) com área de 1,38 mm x 2,1 mm. Como no caso anterior, também se verifica que o *building-block* do PA na verdade é a união de dois *building-blocks* distintos, um para cada banda a ser utilizada.

Existe um casamento de impedância de entrada separado para cada um dos blocos, e o casamento de saída é feito em outro bloco de um CI separado fisicamente e unido dentro de um encapsulamento que também une outros CIs. A Figura 1-5 mostra o detalhe do encapsulamento que une os CIs e pode-se ver o *building-block* do PA com a junção dos amplificadores de cada banda em que atua.

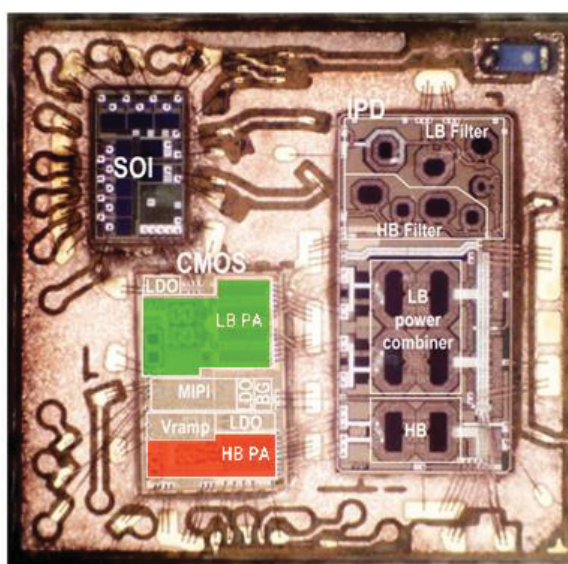


Figura 1-5 – Encapsulamento BGA dos CIs com detalhe do PA dua-band CMOS descrito por Tsai et al (2017).

Cada bloco também opera como um PA banda estreita, conseguindo valores maiores de potência, melhor eficiência, ganho, e o artigo informa que consegue uma boa linearidade no padrão LTE somente, nos outros padrões não é informado a linearidade.

Caso se implementasse um PA em banda larga poderia ser otimizado a sua área ocupada, assim como diminuir a área do *building-block* do CI que faz o casamento de saída.

Outro trabalho em banda dual realizado por Choi et al (2018) relata um PA com entrada única e casamento de entrada otimizado para operar simultaneamente nas duas bandas, e o casamento de saída também simultâneo para duas bandas. Como

a tecnologia usada é GaN HEMT (Plextek, 2015), os resultados de potência de saída, eficiência, ganho e banda serão melhores do que em qualquer boa implementação equivalente usando-se tecnologia CMOS (Huber et al, 2017). Mesmo assim, nota-se a utilização de uma área grande no CI pelo *building-block* do PA, tendo as medidas de área 1,95 mm x 2,75 mm.

A Hipótese H2 afirma que existe potencialmente repetição de componentes, embora de frequências diferentes é confirmada: porque se apenas um CI pudesse englobar o circuito de RF de padrões diferente se conseguiria uma economia nas dimensões da PCB e uma menor área. Como exemplo poderia se economizar a área relativa aos PAs de cada padrão, tentando manter os mesmos níveis de potência e eficiência, com capacidade de banda larga para substituir dois ou mais componentes. Após o término dos trabalhos desta tese, com os resultados será reforçada esta hipótese se demonstrando que um único CI banda larga terá uma área menor que um contendo múltiplos PAs de banda estreita.

A Hipótese H3 afirma que diferentes PAs tem blocos construtivos semelhantes e repetidos, mas de frequências diferentes é satisfeita, i.e. nos CIs dos PAs de múltiplas bandas mostrados ocorre uma repetição de blocos construtivos, embora de frequências distintas. Para cada banda operada é construído um PA distinto que depois é integrado numa só peça, aumentando-se a área total do CI e do encapsulamento.

1.2 OBJETIVOS E CONTRIBUIÇÕES

Este trabalho tem como objetivo principal o projeto e desenvolvimento em pós-layout de um PA com as seguintes características:

- Banda-larga capaz de operar na faixa de frequência de 2 GHz a 5 GHz, compreendida dentro das faixas sub-6 GHz do sistema de comunicação celular 5G;
- Conseguir prover amplificação eficiente na transmissão de dados nos outros padrões de comunicação presente nas camadas físicas de rede 5G como o IEEE Std 802.11n-2009 e IEEE Std 802.11ac-2013;
- Possuir boa linearidade, onde OCP_1 tenha um valor próximo da potência máxima de saturação na saída, em grande parte de sua banda de 2 GHz a 5 GHz.

Como objetivos específicos tem-se:

- Desenvolver e validar uma metodologia que busca a linearidade sistematicamente ao longo da frequência por toda a banda, em cada estágio do PA. Inicialmente, foca-se no estágio de pré-amplificação PPA que delinea o comportamento banda larga. Então parte-se para o estágio de potência como amplificação complementar;
- Explorar o uso de multiplicidade de transistores e o uso de transistores *triple-well* pela capacidade de ajustar sua tensão de corpo, com a finalidade de melhorar: o comportamento banda larga do PA, o ganho de potência, a PAE e a sua linearidade;
- Fazer layout e simulações pós-layout;
- Validar o PA com simulações de transmissão de sinal modulado;
- Comparar os resultados obtidos com o estado da arte;
- Apresentar um estudo de caso, mostrando que o PA é base para se construir modelos comportamentais que serão utilizados em linearização DPD.

Como contribuições são listados:

- Com a metodologia proposta, resolver o caso de CIs repetidos, de frequências distintas, nas placas de dispositivos 5G e blocos construtivos paralelos nos PAs;
- Um PA que possibilite uma boa linearidade em uma faixa de frequência, não apenas *sweet-spots* em frequências pontuais;

- Um PA que viabilize uma arquitetura multi-padrão, visto que possui uma rede de entrada que funciona em banda larga;
- Um PA base para se construir modelos comportamentais que serão utilizados em linearização DPD.

1.3 ORGANIZAÇÃO DOS DEMAIS CONTEÚDOS

O capítulo 2 apresenta as definições de conceitos, o levantamento do estado da arte, os parâmetros quantitativos e qualitativos dos PAs encontrados, e argumentações no contexto da literatura sobre as tecnologias, as faixas de frequência, os parâmetros de desempenho, as relações de compromisso, as curvas de desempenho, tipos de transistores, multiplicidade, otimização de indutores, topologias, padrões de comunicação.

O capítulo 3 aborda a metodologia e o desenvolvimento do PA proposto neste trabalho. Da análise do estado da arte, chegou-se à especificação do PA e sua arquitetura. Foram feitos estudos sobre os tipos de transistores e multiplicidade. Realizou-se o desenvolvimento do esquemático e do layout.

O capítulo 4 analisa os resultados das simulações pós-layout, dos testes de sinal modulado, e apresenta uma modelagem comportamental usando o PA desenvolvido como modelo físico. Isto mostrou a contribuição do PA em termos de uma boa linearidade em toda a banda projetada com um bom ganho e uma boa eficiência que não se encontra facilmente na literatura. Finalmente, o capítulo 5 apresenta as conclusões dos trabalhos.

2 DEFINIÇÃO DE CONCEITOS

2.1 MÉTRICAS DO PA

As métricas do PA, também conhecidas como parâmetros de desempenho, podem ser utilizados em análise para pequenos sinais e para grandes sinais. As métricas de pequenos sinais que consideram a região linear do circuito, excluindo-se o efeito de ruídos, podem ser obtidas por simulações de software durante a fase de projeto de esquemático do CI proposto, um exemplo de métricas de pequeno sinal seriam os parâmetros S e o fator de estabilidade μ .

A métricas de grandes sinais são baseadas no comportamento dos grandes sinais oriundos do circuito onde são observados os efeitos da saturação do PA, e são obtidas mediante simulação computacional.

Nessa família de parâmetros de desempenho, se encontram a potência de saída saturada P_{sat} , a potência em corrente contínua consumida P_{dc} , o ponto de compressão referenciado à saída OCP_1 que indica a linearidade, e o cálculo da eficiência de potência adicionada (PAE) (Kenington, 2000).

Tal eficiência é dada em percentagem, e envolve o ganho de potência do PA. Isto implica que esta medida informa o quanto de potência é adicionado à potência de entrada P_{in} , em relação à potência da fonte, sendo representada pela Equação (2.1). Sendo que P_{dc} é a potência fornecida pela fonte de tensão CC do PA e P_{out} é a sua potência de saída.

$$PAE = \frac{P_{out} - P_{in}}{P_{DC}} \quad (2.1)$$

2.1.1 Parâmetros S

Os parâmetros S podem caracterizar um dispositivo em termos de pequenos sinais, excetuando o efeito de ruídos. Se baseia na relação entre os sinais de entrada e de saída de um quadripolo, visto na Figura 2-1. Esta caracterização foi amplamente divulgada pelo artigo de Kaneyuki Kurokawa (1965) chamado de "*Power Waves and the Scattering Matrix*". Esses parâmetros tratam as impedâncias que servem como terminação e facilitam a análise em altas frequências, podendo ser medidas em termos de potência.



Figura 2-1 – Quadripolo, ou rede de duas portas.

Os parâmetros S são obtidos dos elementos de uma matriz (2.2) de espalhamento, modelando o dispositivo de duas portas, um quadripolo. Tal matriz pode ser expandida para ordens maiores para se modelar redes mais complexas.

$$\begin{pmatrix} b_1 \\ b_2 \end{pmatrix} = \begin{pmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{pmatrix} \cdot \begin{pmatrix} a_1 \\ a_2 \end{pmatrix} \quad (2.2)$$

Na matriz mais simples temos uma relação entre o sinal de entrada e o sinal de saída. O coeficiente de reflexão na entrada é denominado de S_{11} . O parâmetro de isolamento reverso S_{12} determina o nível de retorno da saída do dispositivo para a entrada. O ganho direto é denominado S_{21} . O coeficiente de reflexão na saída é denominado de S_{22} .

O parâmetro S_{11} vai determinar se o PA possui um bom isolamento de entrada. Se o PA tiver um isolamento perfeito entre a entrada e a saída S_{12} indicará zero. Na prática, PAs possuem um isolamento finito, assim uma carga ligada à saída influencia a entrada do PA.

Os parâmetros S variam ao longo da frequência, por isso se plotam gráficos onde são analisados numa grande faixa de frequência, e.g. 0,1 GHz a 10 GHz. Isto auxilia a entender o comportamento do circuito durante o projeto do PA, onde o circuito é simulado e ajustado de modo a otimizar o resultado desses parâmetros.

2.1.2 Linearidade e Técnicas de Linearização

Para o caso de uma curva de amplificação do MOSFET onde se mostra a potência de entrada P_{in} pela potência de saída P_{out} , pode-se observar na Figura 2-2. que existe um joelho ou ponto compressão de ganho de 1 dB, também conhecido como OCP_1 . Ele, indica o nível de potência de entrada para o qual o ganho de saída é 1dB menor do que seria normalmente. Após esse nível de compressão de 1dB, não há um aumento significativo da potência de saída, como consequência começa uma redução do ganho. Além disso, quando ultrapassado esse limiar, o PA entra em uma

região de não-linearidade, o que provoca severas distorções, interferência intersimbólica (ISI) e harmônicos no sinal a ser transmitido.

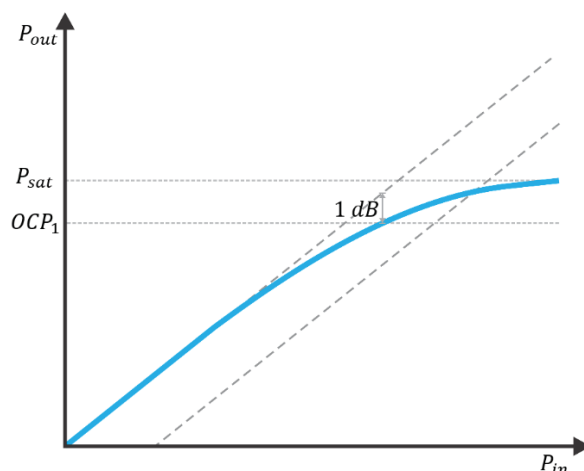


Figura 2-2 – Curva de amplificação com detalhe de Joelho e linhas de referência de saída e de entrada, adaptado de Ellinger (2007) e Cripps (2006).

À medida que se aumenta a potência de entrada, chega-se a um ponto após OCP_1 em que a potência de saída não aumenta apesar do valor de ganho do PA. Isto é a potência de saturação do PA, indicada por P_{sat} , que apresenta os problemas de não-linearidade anteriormente citados. Neste contexto, quanto menor o tamanho do Joelho implica em melhor linearidade. A busca de métodos para melhorar a linearidade tem sido o foco de grandes investimentos em pesquisa, tanto nas indústrias como nas universidades ao redor do mundo (Kousai et al, 2012) (Jin et al, 2014).

Muitas publicações têm sido dedicadas a busca da linearidade, citando o uso de métodos como linearização por pré-distorção digital (DPD) (Cho et al, 2014), técnicas de realimentação (Jeon et al, 2010) (Shi et al, 1999), arquitetura Doherty (Wongkomet et al, 2006), modulação polar (Raynaert et al, 2005), e tratamento de envoltória (Hassan et al, 2012) (Kim et al, 2011) (Kim et al, 2014a). Os quais têm demonstrado bons resultados para resolver o problema de linearidade em circuitos portáteis com comunicação sem fio.

Os métodos e arquiteturas citados anteriormente, costumam usar o contorno das amplitudes do sinal de entrada do PA, chamado de envoltória. Então é feita uma análise sobre essa amplitude e a fase desse sinal, e fazem-se comparações com a saída. E assim geram-se correções de ajuste. A correção, aplicada na entrada ou na saída, são os dois métodos de linearização mais utilizados atualmente (Cripps, 2006).

2.1.3 Classes de amplificadores

A eficiência é uma característica importante dos amplificadores, ela quantifica o quanto de potência fornecida pela fonte de tensão CC P_{dc} é convertida em potência de saída P_{out} , sendo representada por η na Equação (2.3).

$$\eta = \frac{P_{out}}{P_{DC}} \quad (2.3)$$

A Figura 2-3 fornecida por Electronics-tutorials (2020) mostra algumas classes de amplificadores. Para amplificadores classe A, todo o sinal de entrada é apresentado na saída, com 100% da excursão do sinal, e com uma linearidade excelente, possuindo um ângulo de condução de 360° .

Embora tenha uma eficiência máxima de 50%, segundo Cripps (2006) o consenso é que sendo um amplificador classe A, este seja sinônimo de linearidade, o que é reforçado quando se trata de PA RF.

A principal limitação do amplificador de classe A é que, devido ao seu ângulo de condução de 360° , o dispositivo ativo dissipa energia significativa em comparação com a potência de saída de pico de RF. A dissipação de energia pode ser reduzida pela polarização do dispositivo ativo, de modo que ele conduza a corrente por menos de um ciclo de RF completo, e o dispositivo é acionado apenas em uma parte do ciclo de RF.

As classes B e AB ainda apresentam na saída uma grande parte da excursão de sinal de entrada, com um ângulo de condução entre 180° e 360° , com uma boa linearidade, e a eficiência chegando a 79%. Quando um dispositivo é polarizado como um amplificador de potência classe B, ele conduz a corrente em apenas metade do ciclo de RF. Conseqüentemente, a corrente terá um conteúdo espectral significativo em frequências diferentes da fundamental.

O amplificador de potência classe B permite uma troca entre eficiência e linearidade. No entanto, pode ser desejável ter um amplificador com melhor eficiência do que o amplificador classe A, e melhor linearidade do que o amplificador de classe B. O amplificador que atende a essas especificações é o amplificador classe AB. Tal amplificador opera com um ângulo de condução entre 180° e 360° .

A classe C possui pouca linearidade, com ângulo de condução menor que 180° , mas com uma eficiência acima de 80%. A partir da classe C, a linearidade se torna menor que em relação à classe B, i.e. amplificam apenas uma parte da excursão do

sinal de entrada, com ângulo de condução menor ou igual a 180° . Mas, em casos em que o sistema de RF não necessite especificamente de um amplificador linear (quando a modulação de envoltória constante é usada) um amplificador de classe C pode ser aplicado para se obter eficiências mais altas, alcançando estes, valores maiores do que o amplificador de classe B.

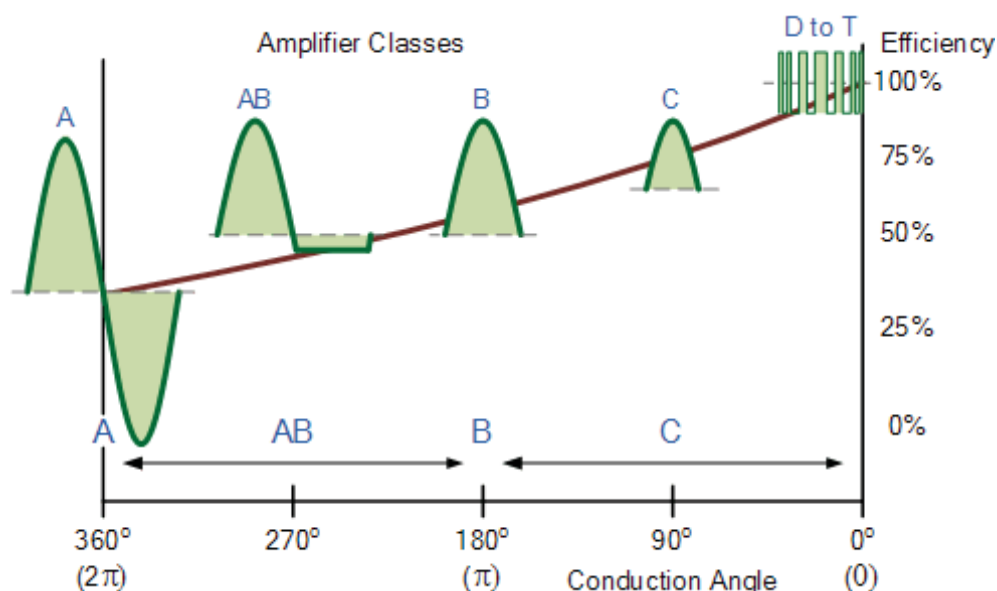


Figura 2-3 – Eficiência por classe de amplificador (Electronics-tutorials, 2020).

2.1.4 Casamento de impedância

Segundo Ellinger (2007) um PA mais linear pode ser concebido conforme sua classe, caso se utilize o de casamento de impedância aplicado para o modelo de pequenos sinais. Uma impedância tem parte real e imaginária, e o casamento de impedância é feito ao se aplicar um valor de impedância com complexo conjugado entre fonte e carga.

Além disso, o projeto de PAs pode utilizar o conhecimento obtido para se projetar o casamento de impedâncias em LNAs, que neste caso tem como objetivo conseguir o menor ruído possível na recepção do sinal do dispositivo que o utiliza. Para a entrada do PA, será feito um casamento com rede *L-match* que é de banda estreita, sintonizada na frequência inicial da banda, fazendo uma analogia com um filtro passa-alta. Por meio de simulação com análise de balanço harmônico (*harmonic balance*) HB serão obtidas as curvas de resistência de entrada e impedância de entrada versus frequência, escolhem-se os valores referentes àquela frequência para se projetar os componentes da rede *L-match*.

Outro detalhe que difere do LNA é que o PA precisa ter um casamento de potência na saída de forma a extrair a máxima potência desse dispositivo. Para se melhorar o casamento na saída do PA, serão testadas as frequências que estão dentro da banda pretendida, de um em um GHz. Para cada frequência, é feita uma simulação *load-pull* para se obter uma impedância de casamento ideal em banda estreita, monta-se uma rede *L-match* com o valor conjugado dessa impedância, então novamente simula-se em *load-pull* neste momento para toda a banda, i.e. onde se verificam as curvas dos parâmetros de desempenho ao longo da banda do PA. Então adota-se a configuração de rede *L-match* que teve melhor desempenho, ou seja, que resultou nas melhores curvas de parâmetros.

2.1.5 EVM e ACPR

O PA introduz certa distorção ao transmitir, quando a potência de saída está próxima da potência de saturação. Isto pode ser observado em um diagrama de constelação, que é uma representação de um sinal modulado por meio de um esquema de modulação digital como *phase-shift keying* (PSK), *frequency-shift keying* (FSK) ou *quadrature amplitude modulation* (QAM). As tecnologias de modulação têm por objetivo converter um sinal portador em formato analógico para um formato discreto, de tal maneira que o sinal digital possa ser transmitido analogicamente pelo canal. Como indicado acima, quando o PA alcança a região de saturação seus símbolos no diagrama de constelação, que representam a taxa de bits transmitidos para um sinal modulado, estão posicionados desigualmente aos símbolos do sinal de origem (ideal) e, a razão disto é a natureza não-linear dos PAs. Como consequência dessa não-linearidade, o sinal de saída apresentará ruído, distorções, sinais espúrios e ruídos de fase que afetam o sinal a ser transmitido pelo PA.

Portanto, uma métrica adequada para se verificar a distorção é a magnitude do vetor de erro (EVM). Métrica de muita importância porque com ela é possível quantificar o desempenho do sistema em ambos os componentes transmissor e receptor. EVM é definido como a diferença vetorial entre um sinal transmitido, ou seja, ideal e, um sinal recebido, real, permitindo indicar o quão longe estão os símbolos de constelação das coordenadas ideais (Humphreys & Dickerson, 2007). Considerado um sistema em que a potência de saída está próxima de P_{sat} , EVM consiste em normalizar a distância quadrática média entre os pontos de constelação original e os resultantes na saída do PA.

A EVM é calculada por meio da Equação (2.4):

$$EVM = \sqrt{\frac{P_{error}}{P_{reference}}} * 100\% \quad (2.4)$$

onde:

P_{error} é a média da potência de vetor de erro.

$P_{reference}$ é a potência média do vetor de referência ideal.

A Figura 2-4 representa a diferença entre as posições do vetor ideal e o vetor real.

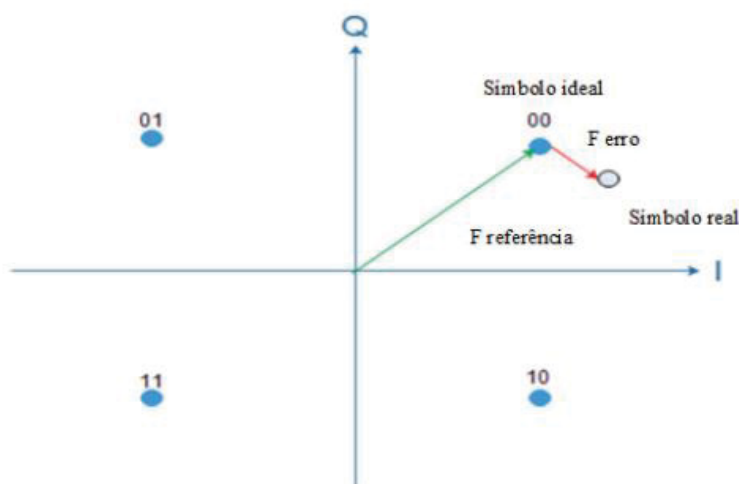


Figura 2-4 – Pontos de constelação ideais e reais, localização entre o fasor de referência e o fasor medido respectivamente (Alvarado, 2019).

O impacto da não-linearidade do PA ocorre também na transmissão RF, aparece também como interferências em canais adjacentes. Pode-se perder energia dessa forma, mas não é tão significativa e.g. em guias de onda, mas no ar, a potência inserida fora da banda de interesse pode ser significativa para outras transmissões.

A Figura 2-5 mostra o gráfico de densidade espectral de potência (PSD) do sinal de saída do PA projetado, quando se injeta um sinal de entrada de -15 dBm modulado no padrão LTE, a uma frequência principal de 3,5 GHz. O centro do eixo das abscissas representa a banda principal. À esquerda do centro fica a frequência do canal adjacente inferior. À direita do centro fica a a frequência do canal adjacente superior.

Neste contexto, a quantidade de vazamento de energia em canais adjacentes precisa ser avaliada. Quando a potência transmitida é considerada, a quantidade de potência indesejada é padronizada como uma razão de potência do canal adjacente

(ACPR). A máscara do padrão LTE é indicada na cor azul e delimita a amplitude dos canais adjacentes, caso a ultrapassem, implica que a ACPR do padrão foi excedida.

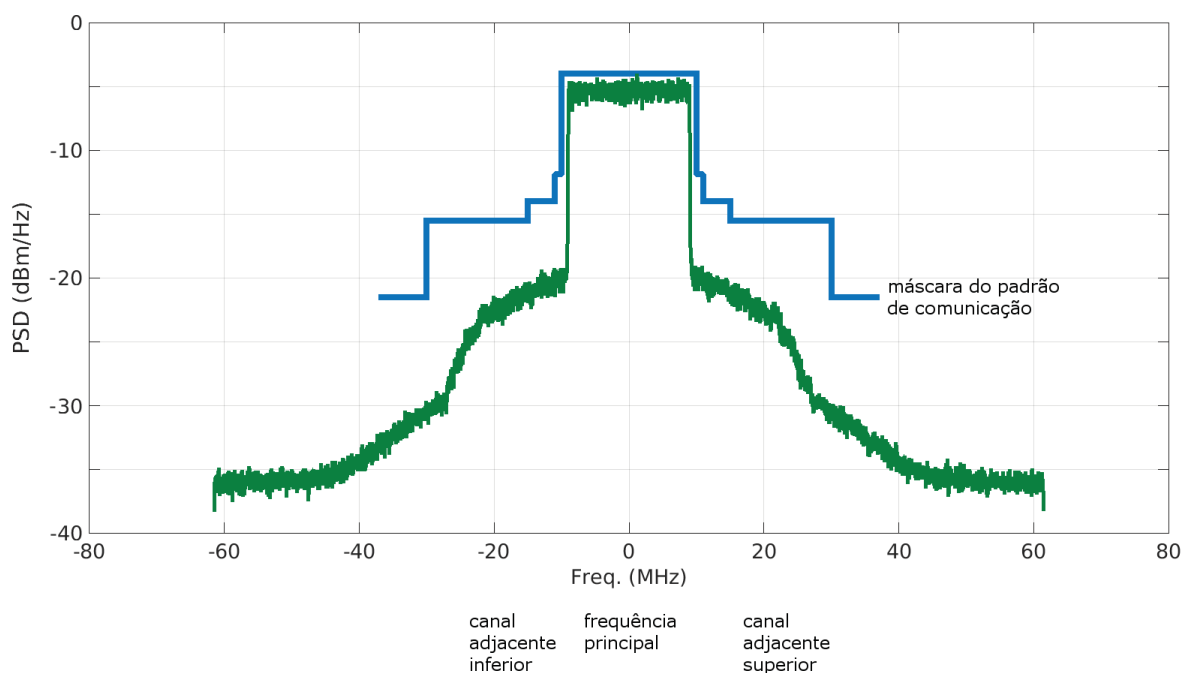


Figura 2-5 – Gráfico PSD mostrando o espectro do sinal de saída do PA projetado.

Ela pode ser definida como a razão entre a potência total integrada do canal adjacente pela potência útil da banda principal, em outras palavras, a razão entre a potência na faixa de interesse e os canais adjacentes (Carvalho & Pedro, 1999). Além do mais, ACPR é amplamente utilizada para determinar o limite máximo de distorção que é permitido nos canais adjacentes, também chamados de sinal de intermodulação. Esta métrica pode ser expressa por meio da Equação (2.5):

$$ACPR = \frac{\text{Potência no canal adjacente}}{\text{Potência rms no canal principal}} \quad (2.5)$$

2.1.6 DPD e Modelagem Comportamental

O DPD é um método para se resolver o problema da perda de linearidade que é fruto da distorção não-linear no PA, também é uma técnica de linearização com uma boa relação desempenho por complexidade. Utiliza processamento digital que tem como vantagens flexibilidade, repetitividade, precisão e não sofre as condições de um componente físico (Abdelhafiz et al, 2014).

O DPD como indicado anteriormente é, um método eficaz de pré-distorção digital em banda base, que baseia seu funcionamento na capacidade de distorcer de forma proposital um sinal RF antes de ele ser amplificado. Conseqüentemente, o sinal de saída amplificado pelo PA será uma réplica em escala linear e em atraso do sinal original (Lima et al., 2009). Importante ressaltar que um PA pode ser obrigado a funcionar em uma região de alto *back-off*, para evitar um comportamento não linear do mesmo. Um alto *back-off* significa que o PA irá trabalhar naquela porção linear da sua curva de operação, que tem como consequência uma eficiência muito baixa em torno de 10% (Cripps, 2006). O restante 90% da potência de corrente contínua (CC) que alimenta o PA é perdida em forma de calor.

Podemos dizer então, que a linearização do PA é um aspecto crítico que permite aprimorar a eficiência deste dispositivo sem prejudicar sua linearidade. O esquema DPD auxilia neste processo, conseguindo reduzir a região de *back-off* do PA, além de satisfazer o cumprimento de normas de linearidade. Importante citar que deveria existir nos PAs, um *trade-off* entre eficiência e linearidade que possa permitir ótima operação; como seria por exemplo, um PA não linear de alta eficiência associado a uma técnica de linearização (DPD) que compense suas distorções (Alvarado, 2019).

A Figura 2-6 ilustra o princípio de funcionamento de um módulo de pré-distorção digital em cascata com um PA. Esse sistema irá criar as características linear, sendo importante determinar a distorção do sinal $e(nT)$ no bloco DPD, que também seria a entrada para o bloco PA. Onde $x(nT)$ representa o sinal de entrada, G representa a característica não linear do PA, F é o comportamento de DPD que é a inversa do PA e, $G(F)$ o ganho linear obtido no final da arquitetura.

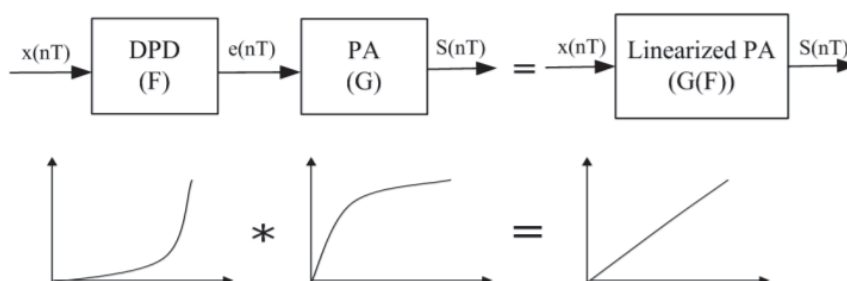


Figura 2-6 – Princípio de operação DPD com PA (Li, 2012).

Como desafios para o bom funcionamento da técnica e.g. o sinal LTE possui uma variação da envoltória de seu sinal (Belabad et al, 2017), quando este é

amplificado gera distorções que resultam em produtos de intermodulação (IPs) que interferem nos canais adjacentes e no próprio sinal a ser transmitido, somado ao comportamento não-linear do PA (Peng et al, 2018).

Como citado anteriormente, a distorção causada pela envoltória variante de um sinal, somada às características não-lineares de um PA irão criar produtos de intermodulação que são os principais degradadores do desempenho de todo sistema de comunicação (Kenney & Fedorenko, 2006). As distorções por IPs dentro da banda levam a uma deterioração da qualidade do sinal em termos por exemplo, à precisão da modulação medida por meio do EVM, fazendo com que surjam novas frequências na banda.

A Figura 2-7 ilustra um sinal modulado LTE de 3,5 GHz de envoltória variável e de múltiplas subportadoras. A variação da amplitude da envoltória no domínio do tempo produz altos picos que somado às múltiplas subportadoras no sinal, geram um alto valor da razão da potência pico pela potência média (PAPR). Aqui é importante ressaltar que a eficiência em um PA também pode ser afetada parcialmente pela razão da potência pico pela potência média (PAPR) de um sinal modulado de entrada (Chatelain & Gagnon, 2004). Um alto PAPR resulta em baixa eficiência e alto grau de distorção por produtos de intermodulação. Podemos dizer que um elevado PAPR é um valor indesejado e, portanto, existem técnicas eficientes que ajudam a reduzir a PAPR de um sinal, antes dele entrar no PA. Isto traz grande melhoria no tratamento desse sinal efetuado pelo PA. Algumas técnicas que podem ser citadas, porque contribuem na eficiente redução do PAPR e, portanto do nível das distorções de intermodulação são: filtros de cosseno elevado (RRC) no sinal modulado, redução de fator de crista (CRF) sendo uma técnica distorciva que em geral é acompanhada em cascata por diversos tipos de filtros, e métodos estatísticos não-distorcivos como *Selective Mapping Technique* (SLM) e *Partial Transmit Sequences* (PTS).

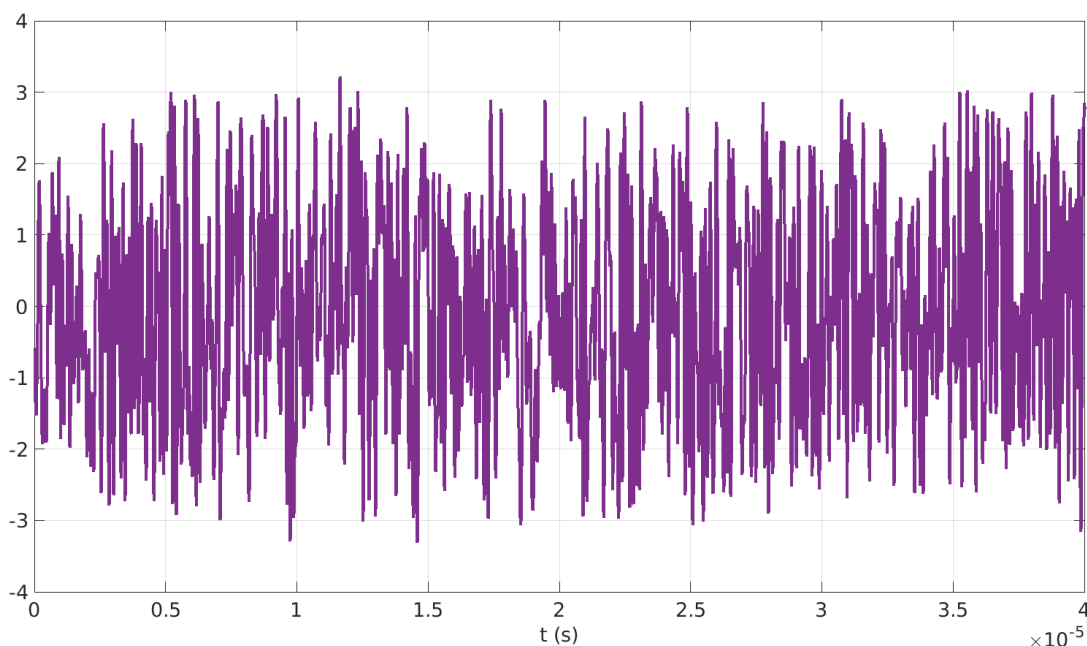


Figura 2-7 – Sinal modulado LTE 3,5 GHz com múltiplas portadoras e envoltória variável.

2.2 LEVANTAMENTO DO ESTADO DA ARTE

Para esta etapa foi feita uma pesquisa na literatura disponível no acervo da IEEE e repositórios de jornais e revistas Springer, Elsevier, e de instituições focadas em PAs de RF.

Com os PAs do período compreendido entre 2005 a 2020, com frequência de operação até 6 GHz, foi possível visualizar as tecnologias e seus limites. Comparou-se os seguintes parâmetros de desempenho: faixa de frequência, potência de saturação, tensão de alimentação, percentual máximo de PAE, e ganho máximo de potência.

A Tabela 2-2 foi montada com aspectos qualitativos dos artigos como a apresentação de curva de amplificação por frequência, utilização de transistores *triple-well*, aplicação de multiplicidade de transistores, otimização de indutores, topologia do PA, e quantidade de padrões de comunicação que o PA poderia operar.

As Tabelas 2-1 e 2-2 auxiliaram a fundamentar e justificar os direcionamentos do projeto, que serão desdobrados e estudados nos itens a seguir, de 2.2.1 a 2.2.8, contribuindo também para continuar o processo de formular mais hipóteses:

H4. Os PAs dos artigos encontrados são dedicados e testados para somente um padrão de comunicação, e.g. não há casos em que o PA projetado seja usado para rádio celular e WLAN.

H5. A multiplicidade de transistores ou a quantidade de dedos (*fingers*) não é muito utilizada ou não é informada nos artigos.

H6. PAs usando transistores *triple-well* CMOS não são comuns na literatura. Embora estes transistores sejam conhecidos, do universo de artigo de PAs buscados de 2005 a 2020, pouco foi encontrado.

H7. Faltam PAs com boa linearidade por toda a faixa de frequência em que operam.

H8. Há escassez de trabalhos na banda 5G sub-6 GHz. Foi realizada uma busca intensiva por artigos de PAs CMOS sub-6 GHz e até o momento da escrita da tese, foram encontrados apenas para tecnologias como SiGe, GaN e GaAs.

Com o detalhamento dos aspectos quantitativos e qualitativos dos PAs encontrados na literatura, poderemos tratar estas últimas hipóteses formuladas e encontrar uma resolução para elas.

2.2.1 Tecnologias

A maioria dos artigos vistos na Tabela 2-1 do levantamento do estado da arte utilizaram a tecnologia CMOS. Pelo avanço na miniaturização de integração, verificou-se que a tecnologia usada em PAs tem o tamanho entre 28 nm a 180 nm, conseguindo atender frequências do sub-6 GHz até acima de 20 GHz, de ondas milimétricas.

Os exemplos utilizando tecnologia CMOS 180 nm podem ser melhorados ao serem reprojatados para a tecnologia de 130 nm. Um tamanho menor permite aumentar a frequência original ou aumentar a banda do PA. Mas existem limitações da tecnologia CMOS descritas por Rogers et al (2010), que são a baixa relação entre a transcondutância g_m com a corrente de dreno I_d , ruído alto e tensões de ruptura (*breakdown*) baixos que precisam ser superadas.

A tecnologia de fabricação CMOS que possui baixo custo de produção comparado com SiGe e GaN citado por Ellinger (2007) e Lie et al (2016). Embora exista uma distância entre SiGe e CMOS em termos de desempenho, o fato de que num sistema de RF, o restante dos CIs são em CMOS, utilizando esta tecnologia poderia se ter um *System on-Chip* SoC..

Assim a tecnologia escolhida para a confecção do PA foi a CMOS baseada no padrão de indústria IBM 130 nm CMOS RF, para que se tenham dispositivos isolados por trincheiras rasas (0,35 μm de profundidade no silício, nominalmente), FETs de

óxido fino, *triple-well*, indutores em série ou paralelos colocados em metais superiores e capacitores metal-isolante-metal. Esta tecnologia também possui seu próprio *Process Design Kit* PDK (CMRF8SF), i.e. os dispositivos e passivos e suas respectivas bibliotecas estão prontos para uso, os arquivos de regras elétricas e de design já estão configurados e a extração de parasitas está disponível. A indústria que efetivará os processos de fabricação GF (Global Foundry) possui parceria para a confecção de Cis com a UFPR e utiliza o mesmo padrão da tecnologia.

2.2.2 Faixas de frequência

O tipo de PA, quanto a faixa de frequência, foi em sua maioria com comportamento em banda larga, seguido pelos com comportamento banda estreita. As frequências atendidas pelos PAs desenvolvidos iniciaram na faixa dos sub-6 GHz chegando até a faixa das ondas milimétricas acima de 20 GHz. Os PAs UWB apresentam um comportamento banda larga, e tem uma banda de frequência próxima a 6 GHz. Estes extremos são denotados em Sapawi et al (2011), Murad et al (2010b) e Chung et al (2008).

A Huawei (2015) mapeou as frequências disponíveis para 5G, onde delimitou duas faixas, aquelas abaixo de 6 GHz e as que compreendem as ondas milimétricas, acima de 20 GHz.

Tais frequências disponíveis também estão relatadas em documentos de regulamentação de ITU (2015), e coincidentemente são almejadas pelas grandes empresas do mercado, como Ericsson (2015) e Nokia (2014). Estes *players* situam as frequências abaixo de 6 GHz como um modo de se manter a compatibilidade retroativa com o padrão 4G LTE.

Se o PA a ser desenvolvido contemplar frequências nesta faixa, seriam atendidas pela tecnologia CMOS 130 nm, possibilitando a realização de simulações com as bibliotecas de comunicação 4G, visto que a biblioteca 5G de simulações não estava disponível para aquela tecnologia.

Por ser um PA de banda larga, há mais opções de frequências de transmissão, não ficando restrita a uma pequena região próxima à frequência fundamental dos PAs de banda estreita. Uma banda maior que 3 GHz permitiria atender uma gama de frequências razoável, e dentro desta gama poderia se acertar uma frequência que seria normatizada em 5G no futuro.

2.2.3 Desempenhos alcançados em PAs no Estado da Arte

Os PAs da tecnologia CMOS do tipo banda larga foram os selecionados para os estudos deste item. Aqueles que operam no padrão UWB listados na Tabela 2-1, em geral possuem uma baixa potência de saída, i.e. devido a aplicações em dispositivos para uso interno, ou ambientes fechados, tais como prédios. A potência de saída referida nos artigos, muitas vezes representa a potência de saturação P_{sat} , quanto a esta potência, o trabalho de Chang et al (2015) apresenta o menor valor de 15,1 dBm e Wang et al (2010), o maior valor 25,2 dBm.

Para se observar a linearidade, o parâmetro $P_{1\text{dB}}$ é informado em alguns artigos, junto com o valor de P_{sat} . No trabalho de Wang et al (2010) tem-se um P_{sat} de 25,2 dBm para um valor de $P_{1\text{dB}}$ de 22,6 dBm. No artigo de Chen et al (2013) tem-se um P_{sat} de 21,7 dBm para um valor de $P_{1\text{dB}}$ de 18,5 dBm. A diferença entre P_{sat} e $P_{1\text{dB}}$ em ambos os casos fica abaixo de 3 dBm, demonstrando uma boa linearidade, conforme abordado no item 2.1.2 sobre linearidade e técnicas de linearização.

A alimentação por fontes externas para os PAs estudados, forneceu valores de tensão na faixa de 1 V no trabalho de Sapawi et al (2013) a 4,5 V no desenvolvimento de Chen et al (2013).

O tipo de polarização mais adotado foi o auto polarizado. Em segundo aquele por fonte de polarização fixa, sendo que o circuito de polarização por tensão drenofonte V_{ds} fixa foi o mais utilizado nos trabalhos, em seguida o de polarização por fonte externa.

Foi observado que os valores de eficiência PAE relatados estavam na faixa de 14,4% no artigo de Chung et al (2008) a 40,5% no PA de Murad et al (2010), se considerarmos aqueles PAs que não atuam em ondas milimétricas. Então, para este caso, os valores de PAE em torno de 20% representam os valores mais comumente listados na Tabela 2-1.

O parâmetro de ganho de potência dos PAs teve como valor mínimo aquele mostrado no trabalho de Chung et al (2008) de 8,5 dB, um valor próximo ao de Tianzuo et al (2010) de 9,1 dB. O maior valor chegou a um pico de 70 dB em um PA de 12 estágios demonstrado por Vu et al (2011), mas a maioria dos valores ficou abaixo de 19 dB como no exemplo mostrado em Jose et al (2005).

Os limites de potência em banda larga (*wideband*) de PAs CMOS RF, dados pela potência de saturação P_{sat} máxima obtidas dos artigos estudados, apresentaram uma variação de 4,5 dBm a 26,5 dBm, que são referenciados por Zhang et al (2010) e Ju et al (2010) respectivamente. A potência de saída P_{sat} é um parâmetro importante

de desempenho que também servirá para se determinar a corrente de dreno I_d que passa pelos transistores de potência do circuito do PA a ser desenvolvido.

Joshi et al (2017) relata em seu artigo sobre potências efetivas de saída para transmissão em padrão 4G, que foram medidas em smartphones. Estes geraram um universo de amostras de medidas de potência de saída em comunicação celular, para áreas urbanas e rurais, e os dados compilados em curvas de distribuição acumulada.

Tal artigo observou que os valores obtidos estavam dentro da tolerância de saúde do usuário de smartphones, quanto a exposição à energia RF dissipada. Pela distribuição estatística desses valores obtidos, os valores menores ficaram em torno de 15 dBm, e os valores de pico chegaram a 23 dBm. Para este projeto então podemos adotar o valor intermediário dos extremos, que seria acima de 17 dBm para a potência de saída P_{sat} .

Para se ter uma fonte com tensão de alimentação de baixo consumo (*low-power*), uma faixa de tensão entre 1,2 V e 3 V seria o meio termo entre os extremos de valores encontrados na Tabela 2-1. Conforme Lee et al (2007) o valor de 3 V é amplamente utilizado em aplicações de baixo consumo, e também é a tensão máxima aceita nos transistores CMOS NFET convencionais. Se estipularmos uma potência máxima DC de 900 mW utilizando esta tensão, teríamos uma corrente DC máxima de 300 mA.

Um valor inicial de tensão de alimentação para projeto de 1,8 V poderia permitir uma redução de consumo esperado no projeto e evitar uma queima de componente, por estar com valor menor que o máximo de 3 V já citado.

Referência	Tec.	η_m	Faixa de Frequência (GHz)	Potência de Saída (dBm)	OCP ₁ (dBm)	V _{dc} (V)	PAE máximo (%)	S ₂₁ máximo (dB)	Padrões Comunic.
Jose et al, 2005	CMOS	180	3.1-4.8		21,7	1,8		19	UWB
Aoki et al, 2008	CMOS	130	Quad-Band ⁴	---	---	2,9-5,5	---	---	GSM
Chung et al, 2008	CMOS	18	6-10	---	5	1,5	14,4	8,5	UWB
Leuschner et al, 2010	CMOS	65	Low-Band ⁵	28	---	3,6	69,9	18	GSM
Tianzuo et al, 2010	CMOS	180	3-5	---	8,5	1,8	21	9,1	UWB
Wang et al, 2010	CMOS	90	5,2-13	25,2	5	---	21,6	---	Genérico
Jeon et al, 2010	CMOS	180	1,92	25	23,5	3,4	40	26	WCDMA
Murad et al, 2010	CMOS	180	2,6-5	---	8	---	40,5	10,3	UWB
Zhang et al, 2010	SiGe	130	117-148	4,5	2,5		4,1	7	Genérico
Sapawi et al, 2011	CMOS	180	3,1-7,5	---	7,8	1,2	---	11,4	UWB
Vu et al, 2011	CMOS	90	3,1-10,6	---	59,7	1,2	---	70	UWB
Kousai et al, 2012	CMOS	130	1,88	30,1	29	3	36	28,3	WCDMA
Zhao et al, 2012	SiGe	130	62	20,1	19,7	1,8	18	27	Genérico
Sapawi et al, 2013	CMOS	180	3,1-10,6	---	7,8	1	---	12,4	UWB
Golestaneh et al, 2013	GaN	---	0,73-0,98	44	---	---	53	15,5	WCDMA
Chen et al, 2013	CMOS	45	6-26	21,7	18,5	4,5	20,5	---	Genérico
Kim et al, 2014b	CMOS	180	Quad-Band ⁴	28,5	---	---	22	---	GSM
Patil et al, 2015	CMOS	180	2,4	14,1	10	1,8	37	15,91	Wi-Fi ⁶
Moreira et al, 2015	CMOS	65	---	26	---	---	23,8	---	3G
Larrie et al, 2015	CMOS	28	61	18,9	15	1	17,7	35	Wi-Gig ⁷
Chang et al, 2015	CMOS	65	50,8-79,6	15,1	12,9	1,25	18,9	14,5	UWB
Ali et al, 2017	CMOS	65	28	14,4	13,9	1,1	40,1	8,9	Genérico
Ju et al, 2018	SiGe	130	8.6-11.2	26,5	---	3	53,4	16,1	Genérico
Dasgupta et al, 2019	CMOS	28	39	26	21,5	2,2	26,6	38	5G
Lindstrand et al, 2020	CMOS	65	0.7-5.9	22,8	---	3	22,4	21,4	5G

Tabela 2-1 – Parâmetros Quantitativos

⁴ Quad-Band (850 / 900 / 1800 / 1900 Mhz)⁵ Low-Band (850 / 900 MHz)⁶ IEEE Std 802.11n-2009 e IEEE Std 802.11ac-2013⁷ IEEE Std 802.11ad

Referência	Banda Larga	Curva (P_{sat} , OCP ₁) x Frequência	Transistor triple-well	Multip.	Topologia	Opera somente um padrão
Jose et al, 2005	Sim	Não	Não	Não	Cascode	Sim
Aoki et al, 2008	Não	Não	Não	Não	Cascode	Sim
Chung et al, 2008	Sim	Sim	Não	Não	Common-Gate	Sim
Leuschner et al, 2010	Não	Não	Sim	Não	Cascode	Sim
Tianzuo et al, 2010	Sim	Não	Não	Não	Cascode	Sim
Wang et al, 2010	Sim	Sim	Não	Não	Cascode	Sim
Jeon et al, 2010	Não	Não	Não	Não	Cascode	Sim
Murad et al, 2010	Sim	Não	Não	Não	Cascode	Sim
Zhang et al, 2010	Sim	Não	Não	Não	Cascode	Sim
Sapawi et al, 2013	Sim	Não	Não	Não	Cascode	Sim
Vu et al, 2011	Sim	Não	Não	Não	Cascode	Sim
Kousai et al, 2012	Não	Não	Não	Não	Cascode	Sim
Zhao et al, 2012	Não	Sim	Não	Não	Common-Base	Sim
Sapawi et al, 2011	Sim	Não	Não	Não	Common-Gate	Sim
Golestaneh et al, 2013	Sim	Sim	Não	Não	Common-Source	Sim
Chen et al, 2013	Sim	Sim	Não	Não	Common-Source /Cascode	Sim
Kim et al, 2014b	Não	Não	Não	Não	Cascode	Sim
Patil et al, 2015	Não	Não	Não	Não	Cascode	Sim
Moreira et al, 2015	Não	Não	Não	Não	Cascode	Sim
Larie et al, 2015	Não	Sim	Não	Não	Common-Source	Sim
Chang et al, 2015	Sim	Não	Não	Não	Common-Source	Sim
Ali et al, 2017	Não	Não	Não	Sim	Common-Source	Sim
Ju et al, 2018	Sim	Não	Não	Não	Cascode	Sim
Dasgupta et al, 2019	Não	Não	Sim	Não	Cascode	Sim
Lindstrand et al, 2020	Sim	Não	Não	Sim	Cascode	Sim

Tabela 2-2 – Parâmetros Qualitativos

Se compararmos os resultados citados de PAs banda estreita versus PAs banda larga, notamos que estes últimos apresentam os resultados em forma pontual como os de banda estreita, i.e. a PAE percentual e o ganho máximo de potência em uma certa frequência onde se obtiveram os melhores desempenhos para cada um desses parâmetros. Em banda larga, os valores de ganho máximo de potência ficaram abaixo de 15 dB, valores maiores foram obtidos usando-se tecnologias alternativas, como GaN do trabalho de Golestaneh et al (2013) com valor de PAE de 53% e 15,5 dB de ganho.

Para a tecnologia CMOS, os PAs banda-larga apresentam valores menores de ganho máximo, mas atingem picos de PAE maiores, e não superam as tecnologias alternativas citadas. Murad et al (2010) projeta um PA com PAE de 40,5%, com ganho de 10,3 dB. Os valores listados na Tabela 2-1 referentes ao ganho máximo intuem que há uma certa dificuldade em se obter ganhos na faixa dos 20 dB para PAs em banda larga. Quando o PAE percentual é ajustado para ser o maior possível, há um sacrifício no valor de ganho máximo.

Outros PAs com valores menores de PAE e ganho são vistos em Chung et al (2008) com 14,4% e 8,5 dB, Tianzuo et al (2010) de 21% e 9,1 dB e Chang et al (2015) com valores de PAE de 18,9% e ganho de 14,5 dB. O que ressalta o fato de que uma PAE percentual maior com um ganho menor, mostrar-se como uma relação de compromisso: aumenta-se um e diminui-se outro.

Do que foi observado nos valores de ganho máximo de potência da Tabela 2-1, percebeu-se também que há uma relação de compromisso entre ganho e banda de frequência. Os exemplos que têm um ganho alto são os PAs de banda estreita, como o apresentado por Kousai et al (2012), com frequência central de 1,88 GHz. Outro exemplo seria o trabalho de Larie et al (2015) com ótimo ganho a 61 GHz. Ou possuem alto ganho com baixa potência DC, como visto em Vu (2011).

2.2.5 Apresentação de curvas de linearidade

Relacionando com a Hipótese H7 do levantamento do estado da arte, onde se observou que faltam PAs com boa linearidade por toda a faixa de frequência em que operam. Poucos artigos apresentaram um PA com sua curva de potência de saturação P_{sat} ao longo da frequência; e sua curva de ponto de compressão OCP_1 também ao longo da frequência. Que essas curvas demonstrassem uma linearidade banda larga, com um desempenho favorável ao longo de toda a sua banda. Uma linearidade que fosse mantida sistematicamente. A maior parte da literatura relatou apenas *sweet-*

spots de valores máximos de P_{sat} e OCP_1 , em uma certa frequência em que tal ponto foi obtido.

Exceto pelos trabalhos de Chung et al (2008), Wang et al (2010) e Chen et al (2013), os outros artigos pesquisados não apresentaram uma curva de P_{sat} e OCP_1 em banda larga, não mostrando os resultados de análise em grandes sinais.

Há essa falta de valores de desempenho em grandes sinais, mas tem-se uma abundância de curvas mostrando análises de pequenos sinais, curvas de parâmetros de espalhamento. Assim aquela hipótese é válida.

2.2.6 Tipos de transistores e Multiplicidade

Para a Hipótese H6, do levantamento do estado da arte exposto na Tabela 2-2, afirma-se que PAs usando transistores triple-well CMOS não são comuns na literatura. Somente dois trabalhos adotaram o transistor NFET *triple-well* RF para o PA de potência, Leuschner et al (2010) e Dasgupta et al (2019). Este transistor é amplamente utilizado em componentes digitais. Mas eles também são usados em eletrônica analógica, como amplificadores de baixo ruído (LNA), porque têm bom isolamento e proporciona melhora da figura de ruído.

Eles podem ser usados como PA, por sua propriedade de permitir uma aplicação de tensão no poço interno (tipo P) chamado de corpo. Assim, cargas negativas podem ser injetadas no corpo, aumentando a largura e a depleção do canal MOSFET e, conseqüentemente, aumentando o fluxo de corrente e o ganho de potência.

Da literatura pesquisada, notou-se que os PAs utilizaram transistores NFET RF convencionais na grande maioria. Isto pode representar uma oportunidade de contribuição, porque a capacidade de se ajustar a tensão no corpo pode levar a melhorias nos parâmetros de desempenho do PA e serão abordados no item 3.7, que faz um estudo sobre quando usar transistores triple-well, para validar aquela hipótese.

Bhuiyan (2016) relata que na tecnologia CMOS, uma flutuação do substrato pode degradar o desempenho do PA, devido ao substrato ter uma baixa resistividade. Para resolver este problema, transistores NFET *triple-well* são usados por terem em sua estrutura, um poço tipo P que é incorporado em um poço tipo N profundo, para se criar um corpo isolado do substrato do tipo P.

Isso além de separar o corpo do substrato, oferece uma polarização de corpo do transistor e do poço profundo tipo N separadamente. Assim, se tem mais um grau de liberdade no projeto.

A Figura 2-8 apresenta um estudo sobre o transistor NFET RF *triple-well*, usando uma simulação HB no Cadence ADE-XL onde se aplica uma tensão ao corpo (V_{body}), para observar as alterações que por consequência ocorrerão na tensão de limiar (V_{th}). Conclui-se que é possível controlar a tensão de limiar de forma precisa, esta varia de forma inversa ao valor de V_{body} . Isto auxilia na polarização do PA, fazendo-o operar em inversão forte, e também melhorar o ajuste da classe de amplificação (Niranjan, 2013) para a classe AB.

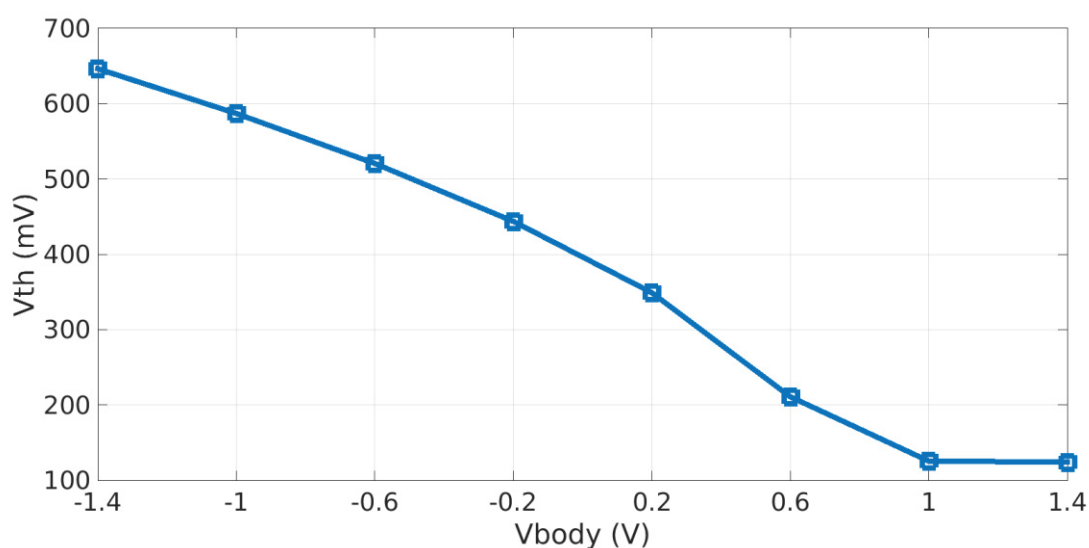


Figura 2-8 – Estudo da variação de V_{th} alterando-se o valor da tensão aplicada no corpo V_{body} em transistores *triple-well*.

Para a Hipótese H5 que aponta a multiplicidade de transistores ou a quantidade de dedos (*fingers*) não ser informada nos artigos, mas que é uma necessidade para se aumentar a corrente suportada por um único transistor, o que também aumenta a densidade de corrente nesse transistor. Mesmo configurações de multiplicidade, com paralelismo de transistores não foram informadas. Somente um exemplo de PA empregando *fingers* foi explicitado em Ali et al (2017) constante na Tabela 2-2.

Além da técnica de substituir os tipos de transistores de convencional para *triple-well* a serem utilizados no PA desta tese, adotou-se uma configuração de multiplicidade, onde os transistores estão em paralelo, e pode-se reduzir a impedância de entrada do PA, segundo Bhuiyan et al (2016). Isto permitirá testar essa hipótese durante o desenvolvimento referido no item 3.6, onde é feito um estudo do efeito da multiplicidade.

2.2.7 Topologia

Os tipos de PAs quanto ao funcionamento, utilizam a construção tipo Doherty, tratamento de envoltória, pré-distorção digital, e técnicas de reuso de corrente. Segundo Daryabari (2019), esta última técnica é definida como uma combinação do transistor *common-gate*, que provê casamento em banda larga, com um transistor empilhado *common-source* para se aumentar o ganho na condição de banda larga.

Verificando-se as topologias levantadas da literatura, listadas na Tabela 2-2, a maioria dos PAs desenvolvidos escolheram a topologia do tipo cascode. Um amplificador cascode consiste em um transistor *common-gate* carregado pela fonte de um transistor *common-gate* empilhado. A tensão de alimentação é dividida entre os transistores, assim a tensão sobre os terminais de dreno e *gate* é menor e é possível proteger os transistores.

Como vantagens aumenta-se a largura de banda para aplicações de PAs, tem um alto ganho, uma impedância de entrada razoavelmente alta, e uma impedância de saída alta. Por isso tem melhor isolamento para a saída do que os amplificadores *common-source*, implicando em maior resistência de saída e aumentando o ganho de potência do amplificador, além de reduzir o efeito Miller (Rogers et al, 2010). Esta topologia permite superar as limitações da tecnologia CMOS, como a baixa tensão de ruptura (*breakdown*), baixa impedância de saída, componentes parasitas, e pequena potência de saída. Por isso foi a topologia cascode escolhida para se implementar os estágios do PA desta tese.

Ainda no levantamento do estado da arte, os tipos de PAs encontrados na literatura foram – classe A, B, e AB. A classe de amplificação mais utilizada para os PAs foi a classe AB, e será a classe definida para este projeto por possuir vantagens em relação às classes A e B: sacrifica-se alguma eficiência em relação à classe B em favor de uma boa linearidade, e é muito mais eficiente do que a classe A.

2.2.8 Padrões de comunicação

Em relação à Hipótese H4 sobre os PAs dos artigos encontrados no levantamento de estado da arte serem dedicados e testados para somente um padrão de comunicação, observando-se os padrões informados nos artigos, temos que as aplicações abrangeram os padrões UWB para redes domésticas, comunicação celular por GSM, 3G e WCDMA, IEEE Std 802.11n-2009 e IEEE Std 802.11ac-2013, e Wi-Gig, além de exemplos de uso genérico para comunicação via rádio em frequência específica.

As aplicações UWB utilizam banda larga em grande parte dos trabalhos listados na Tabela 2-1, com apenas dois trabalhos usando o padrão em banda estreita (*narrow-band*). Para este padrão os valores de ganho máximo de potência ficam abaixo de 19 dB, o suficiente para redes internas a prédios. Este padrão está em alta no mercado novamente, segundo Sedlacek et al (2019), pela grande capacidade de transmissão de dados, 480 Mbps em tempos curtos (rajadas) com alcance máximo de 10 m, apropriado para uso interno. Empresas como Apple e Samsung o estão utilizando para transmissão de dados, com conexão segura e menor risco de sofrer interferências de outros dispositivos se comunicando em outros padrões (Schmidt et al, 2020).

Contudo, em termos de padrão, cada PA observado era específico para o único padrão em que foi projetado, não se informando o seu funcionamento em mais de um padrão de comunicação.

Para contemplar a Hipótese H8 que afirma haver escassez de trabalhos na banda 5G sub-6 GHz, a busca por atualizações na literatura foi realizada durante a redação da tese, mas pouquíssimos trabalhos relacionados a 5G sub-6 GHz foram encontrados. Como exemplo desta busca, pode ser visto em Lindstrand et al (2020) que apresenta um PA banda larga.

Segundo Maeder et al (2016), o sistema de comunicação 5G é completo e abrangente, inclui todas as camadas físicas com protocolos de comunicação atualmente existentes que operam nos smartphones e nas estações rádio-base. Os protocolos de alto nível das camadas de rede superiores farão a comutação necessária, atuando nos níveis físicos e de enlace de dados, conforme a necessidade de acesso do smartphone do usuário, no momento e no local em que esteja, seja um ambiente interno ou externo.

Como rádio celular, o padrão sub-6 GHz com as frequências já normatizadas pela ANATEL (2019) irão ser disponibilizadas para que as operadora e fabricantes de dispositivos as utilizem. Há a necessidade de uma compatibilidade retroativa com os padrões vigentes 4G LTE, IEEE Std 802.11n-2009 e IEEE Std 802.11ac-2013, formando uma arquitetura escalável e flexível de uma rede de acesso via rádio. Mesmo o padrão UWB voltou a ser utilizado por grandes fabricantes de dispositivos.

Assim, espera-se que o PA a ser projetado poderá ser capaz de utilizar mais de um padrão de comunicação, usando uma frequência de transmissão do momento, ou simultaneamente utilizar duas frequências, com dois padrões distintos. Estando os

padrões vigentes citados com frequências abaixo dos 6 GHz, seria um PA banda larga útil para se transmitir em diversas frequências compreendidas entre 2 GHz e 5 GHz.

3 METODOLOGIA E DESENVOLVIMENTO

A metodologia de projeto é apresentada em forma de fluxogramas conforme as Figuras 3-1 a 3-3, contendo as etapas e atividades. Como passos iniciais, na etapa de especificação os parâmetros do PA foram delineados por normas de comunicação e pelo levantamento do estado da arte, e baseado nas normas.

Nas condições iniciais de projeto foi especificado que inicialmente se utilizará uma tensão única de 1,8 V para os dois estágios do PA, esperando que no decorrer do desenvolvimento, quando for necessário ajustar esta tensão, seja menor que 3 V por causa do enfoque *low-power* encontrado no estado da arte. As tensões de polarização serão separadas por estágio. Os transistores NFET RF convencionais serão adotados a princípio nos dois estágios.

Na etapa de dimensionamento serão calculados os tamanhos de canal dos transistores dos estágios. Serão feitos os esquemáticos dos estágios, primeiro o estágio de banda larga chamado de PPA com a premissa de que possa ter um bom desempenho e não necessite de um estágio adicional. De qualquer forma, em segundo, o estágio de potência será implementado como um estágio complementar visando estender a amplificação do final da banda de frequência.

Em todo o desenvolvimento irão ocorrer laços de projeto, isto foi observado por projetistas de LNA que em várias fases de projeto, o processo pode parar por dificuldades em se ter o desempenho especificado (*dead-end* ou beco sem saída). Então é necessária imaginação e criatividade para otimizar o circuito de forma a se conseguir superar essas dificuldades. Nesses passos intermediários são mostrados os laços de projeto do esquemático para cada estágio, atividades iterativas indicadas pelos itens (a) e (b). Para o primeiro item, constantemente se otimizará os valores de componentes dos estágios em desenvolvimento para se obter o desempenho especificado, como aumento do ganho de potência, banda, eficiência e linearidade; para isto fazendo-se simulações HB e parâmetros S, análise de pequenos sinais e grandes sinais. O segundo item é projetar o casamento de impedância, então a entrada do estágio PPA seria calculada em banda estreita com rede *L-match*, mas com comportamento banda larga. A saída do estágio de potência também seria calculada em banda estreita com rede *L-match*. Esta é recalculada e remontada para cada frequência testada, dentro da banda pretendida para operação do PA, faz-se a simulação *load-pull* a fim de se encontrar a frequência de casamento que traga melhor

linearidade para o PA em toda a banda, e fazer uma segunda iteração em *load-pull* para ajuste fino do casamento.

Quando se encontrar uma situação de *dead-end* em que não se consiga mais melhorar o desempenho durante as iterações do desenvolvimento em (a) e (b), se buscará a saída utilizando as seguintes técnicas:

- Ajuste da largura do canal;
- Multiplicidade de transistores;
- Substituição dos transistores NFET RF convencionais usados inicialmente por NFET RF *triple-well*.

O laço é finalizado quando os valores dos parâmetros de desempenho do PA atingem o que foi especificado ou sejam satisfatórios.

Na etapa da junção dos dois estágios que foram desenvolvidos separadamente, continua-se a atividade de iterativamente a otimizar os valores de componentes do esquemático.

Com o esquemático do PA estabilizado, a tensão única de alimentação é separada por estágio, as tensões de alimentação dos respectivos estágios agora se tornam V_{dd1} e V_{dd2} . Então faz-se uma análise de sensibilidade, aumentando ou reduzindo essas tensões. Caso seja necessário, serão usadas redes de realimentação para melhorar o casamento de entrada do estágio de potência e atenuar picos de ganho.

Em seguida, parte-se para a etapa de layout, onde se descrevem as atividades: o roteamento das trilhas ligando os componentes. Em seguida fazem-se a extração de componentes parasitas e as simulações pós-layout; há atualizações no desenho do esquemático até se atingir a configuração final, com as devidas correções devido ao efeito dos componentes parasitas.

Então são descritos os laços de projeto do layout. As atividades iterativas em (a) são feitas de modo a se observar as perdas de desempenho do PA, e são: refazer o esquemático para compensar as perdas, rotear novamente, extrair componentes parasitas, simular em pós-layout (HB, parâmetros S e *load-pull*). Desenhar o circuito esquemático com a correção. Em (b) temos as técnicas para se resolver os *dead-ends* desta etapa que são:

- Ajustar as tensões de alimentação de cada estágio, indicado por V_{dd1} e V_{dd2} .

O laço é finalizado quando se atingem os valores dos parâmetros de desempenho que foram especificados ou que sejam satisfatórios, então o layout está terminado.

Então segue-se para a etapa final onde serão feitos os testes de sinal modulado da transmissão por simulação de envoltória.

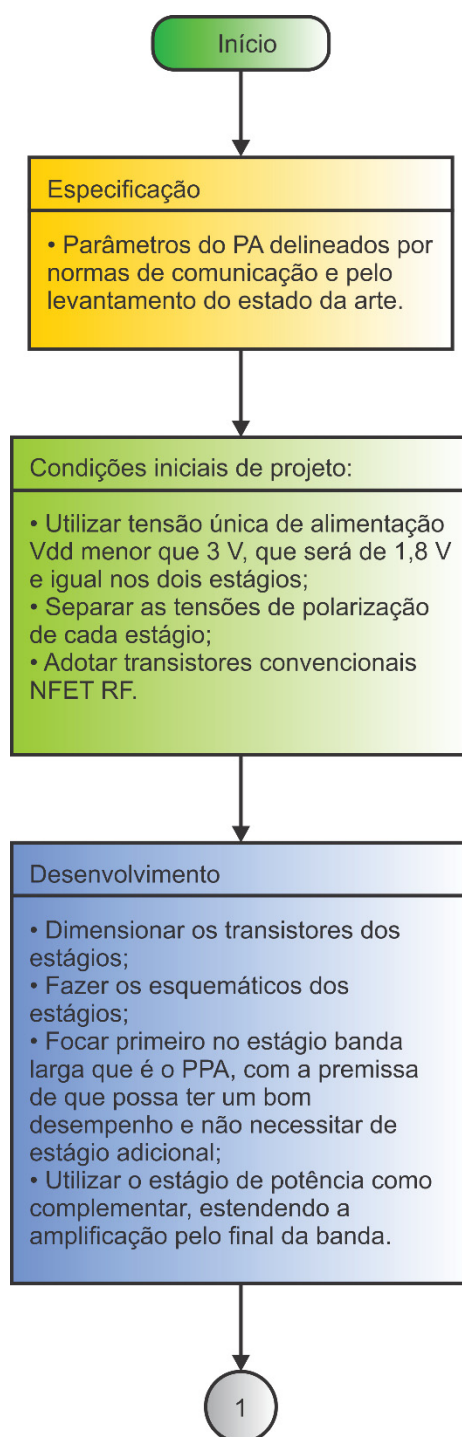


Figura 3-1 – Fluxograma da Metodologia, passos iniciais.

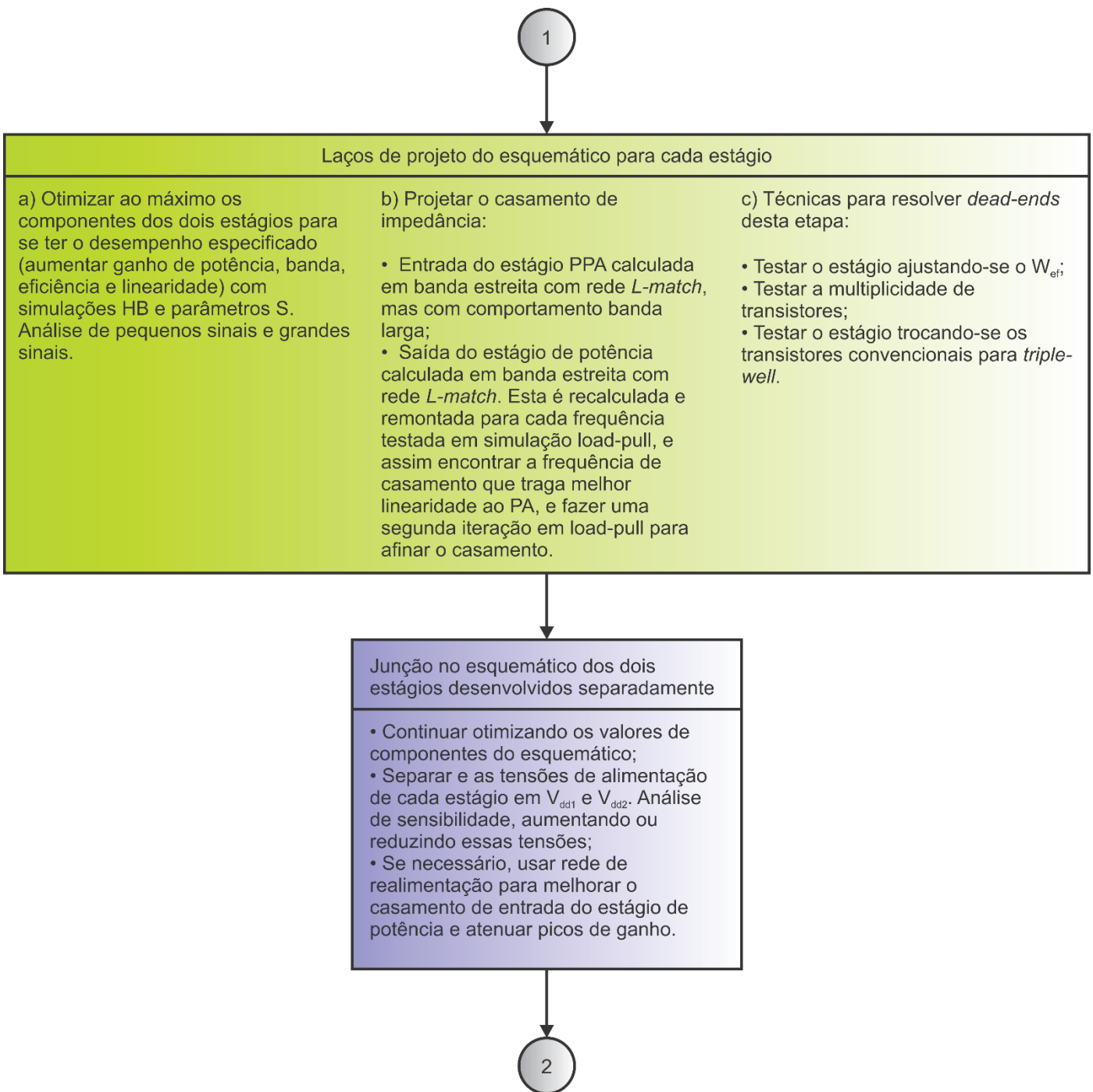


Figura 3-2 – Fluxograma da Metodologia, passos intermediários.

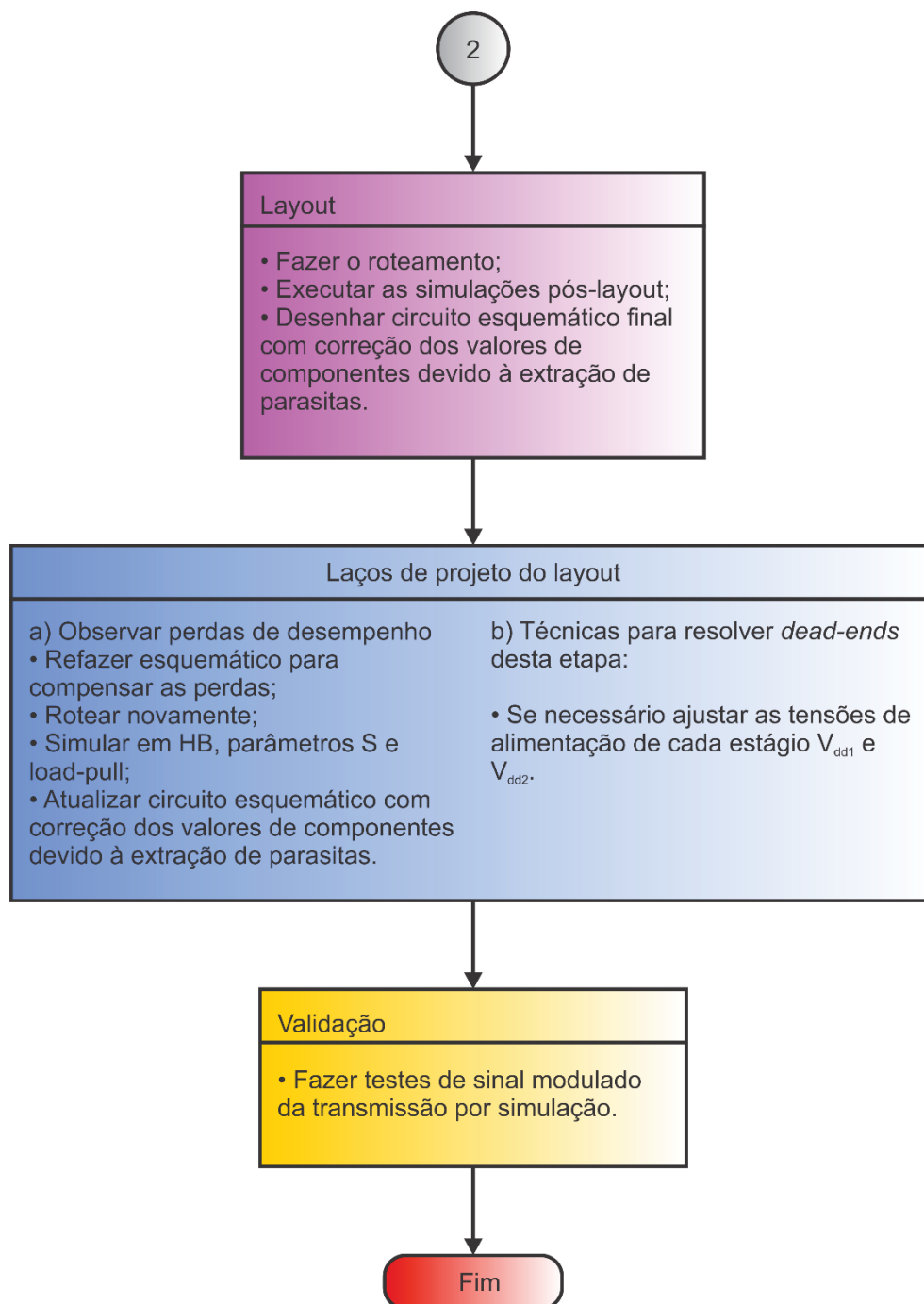


Figura 3-3 – Fluxograma da Metodologia, passos finais.

3.1 ESPECIFICAÇÃO

O levantamento do estado da arte realizado no capítulo anterior permitiu analisar de forma quantitativa os PAs disponíveis da literatura, e observar os valores de parâmetros de desempenho. Estes valores foram importantes para se definir os parâmetros-alvo do projeto e também obedecerão as normas dos padrões utilizados.

O desenvolvimento do esquemático, simulações e layout serão feitos por meio da ferramenta de projeto de CIs Virtuoso da Cadence (2020), disponível na universidade, com editor de esquemáticos de circuitos, simuladores de parâmetros de desempenho ADE-XL e Spectre, editor de layout e verificação de roteamento.

Como já comentado, os PAs listados na Tabela 2-1, tem uma baixa potência de saída enfocando o baixo consumo. Considerando o padrão IEEE Std 802.11n-2009, a potência máxima de saída no transmissor é de 20 dBm para condições de um sinal OFDM com modulação de 64-QAM. Para a banda larga em 5G, como garantia de que seja funcional em várias situações, se adotaram os valores de potência alvo de OCP_1 e P_{sat} na ordem de 17 dBm, que é um valor de potência mínima para a transmissão de sinal LTE segundo o estudo de Joshi et al (2017), apontando para um valor compatível para se manter a saúde do usuário do dispositivo celular.

Os ganhos de potência máxima abordados no item 2.2.3, onde se observou o desempenho alcançado pelos PAs estado da arte, foram em sua maioria menores do que 20 dB, o que torna uma marca interessante de ser superada. Como há um *trade-off* entre ganho e banda de frequência, torna-se um desafio conseguir um alto ganho de potência com uma banda larga. Por isso se estabeleceu um ganho máximo de potência entre a faixa de 15 dB a 20 dB como valor alvo, inspirado no estado da arte.

Determinado o ganho alvo, voltou-se para a largura de banda, e escolheu-se uma que contivesse frequências sub-6 GHz, iniciando em 2 GHz e terminando em 5 GHz. Conforme IEEE (2017), em comparação com o 4G LTE, as redes de acesso por rádio de quinta geração precisam suportar requisitos muito mais diversificados, com uma ampla gama de recursos, aliado a uma compatibilidade retroativa, com reaproveitamento de infraestrutura e disponibilidade de espectro de frequências como o sub-6GHz.

O PA deste trabalho poderia atender uma rede celular 5G flexível e escalável (Huo et al, 2019) de forma a atuar nas frequências sub-6 GHz previstas para o 5G e atual LTE, para comunicação de rádio celular, para se ter compatibilidade retroativa com o 4G (ITU, 2015), e também nos padrões de 2,4GHz (IEEE Std 802.11n-2009) e 5 GHz (IEEE Std 802.11ac-2013).

Sendo um PA banda larga, eliminam-se outros componentes de amplificação, não sendo mais necessário um PA para cada uma das bandas citadas. Neste contexto, a Figura 3-4 apresenta uma possibilidade de amplificar múltiplos padrões de comunicação que fazem parte do sistema 5G. As redes casamento de impedância serão fixas, mas operarão em banda larga.

Esperar que o PA transmita de forma concorrente padrões distintos de comunicação, em uma só configuração seria complexo de afirmar, visto que vai haver mais potência de entrada no PA, assim seria necessário dividir a P_{sat} entre as normas, e ainda existem os efeitos de intermodulação entre as diferentes bandas RF. Os testes de sinal modulado podem mostrar que é possível a transmissão de um sinal específico de um padrão, mas não garantem uma transmissão desses sinais de forma concorrente.

A Tabela 3-1 sintetiza os parâmetros-alvo estabelecidos para o desenvolvimento do PA RF 5G banda larga. A temperatura de projeto do PA previu seu aquecimento em operação, e foi estipulada em 90 °C.

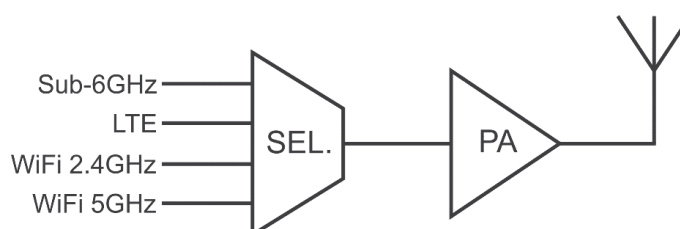


Figura 3-4 – O PA deste trabalho e a possibilidade de amplificar múltiplos padrões de comunicação que fazem parte do sistema 5G.

Parâmetros	Valor
Faixa de Frequência	2-5 GHz
Largura de Banda	> 3GHz
Tecnologia CMOS	130 nm
Tensão de Alimentação	1,8 V / 3 V
Corrente Consumida (I_{dc})	< 600 mA
Potência DC	< 900 mW
Potência de Saída (OCP_1)	> 17 dBm
Ganho Máximo de Potência (S_{21})	> 20 dB
PAE	> 20%
Temperatura de Operação	90 °C

Tabela 3-1 – Parâmetros-Alvo

3.2 ARQUITETURA DO PA

Nesta etapa, a estrutura do PA foi definida como de dois estágios, denominados: estágio de pré-amplificação de sinal (PPA) e estágio de potência. Segundo Murad et al (2010) isto é feito para se compensar a falta de ganho de potência quando se trata de amplificar em banda larga, assim o pré-amplificador cuida da banda inicial e o estágio de potência estende a amplificação de modo a também estender o fim da banda amplificada, além de aumentar o nível de potência recebido do PPA. Ambos utilizam a topologia cascode (Cripps, 2006) e serão desenvolvidos para operar na temperatura de 90 °C.

Em termos de dimensionamento teórico o valor de 3 V será usado que é a máxima tensão admissível de alimentação. O valor de tensão de alimentação inicialmente adotado para os dois estágios será de 1,8 V, caso seja necessário algum ajuste do circuito durante o desenvolvimento há flexibilidade de se aumentar a tensão. Como os transistores adotados serão inicialmente os convencionais NFET RF, a tensão estipulada de polarização será de 0,6 V para os dois estágios, que está acima da tensão de limiar e proverá uma classe de amplificação AB.

3.3 DIMENSIONAMENTO

A primeira questão levantada é como decidir o tamanho de largura W do canal MOSFET para esta aplicação. Sobre o comprimento L do canal para a tecnologia CMOS, implica que se deve ter um comprimento que seja o mínimo possível. No caso da tecnologia utilizada no laboratório que é a CMOS 130 nm, o valor mínimo de L é de 120 nm.

A relação W/L está relacionada com a transcondutância e a capacidade de corrente, e inclui também a multiplicidade de transistores. Se a relação aumenta, por consequência aumenta-se a corrente e o ganho para uma dada tensão na porta. O mesmo ocorre quando se aumenta a multiplicidade, proporcional ao produto da quantidade de transistores em paralelo com essa relação. Ajustando-se inicialmente a relação W/L consegue-se chegar a um W_{eff} (W efetivo), e depois se otimizará a multiplicidade. Alterando-se o número de transistores em paralelo, diminui-se o tamanho W individual do transistor, mas a soma dos W individuais será igual a W_{eff} .

De Rogers et al (2010) onde se analisa a potência em termos de onda senoidal para corrente alternada, e visto que a onda portadora a ser transmitida pelo PA também é senoidal, então tem-se a Equação (3.1) onde a potência de saída é chamada P_{out} , e a tensão de saturação do transistor NFET RF é $V_{\text{sat}} = 1,0V$.

$$I_d = \frac{2 \cdot P_{\text{out}}}{(V_{\text{dd}} - V_{\text{sat}})} \quad (3.1)$$

Resolvendo-se esta equação para uma potência de saída $P_{\text{out}} = 17 \text{ dbm}$ que é de 0,05 W e sendo o valor de $V_{\text{dd}} = 1,8 \text{ V}$ que é a tensão de alimentação dos transistores dos dois estágios do PA, tem-se a intensidade de corrente da componente fundamental I_d de 125 mA e a corrente de dreno máxima I_D que será de 250 mA. Para esta corrente I_D tem-se que a soma das correntes dos estágios ficará abaixo dos 600 mA de projeto.

Os transistores operarão em inversão forte, considerando que a tensão porta-fonte V_{gs} será maior que $V_{\text{th}} = 113 \text{ mV}$. O comprimento mínimo do canal L na tecnologia CMOS de 130 nm é de 120 nm. Plotando-se as curvas $I_d \times V_{\text{gs}}$ do estudo isolado de um transistor individual do tipo NFET RF convencional para valores de W de 60 μm a 400 μm , obtém-se o gráfico da Figura 3-5, e tem-se um valor de estimativa inicial $W_{\text{eff}} = 220 \mu\text{m}$.

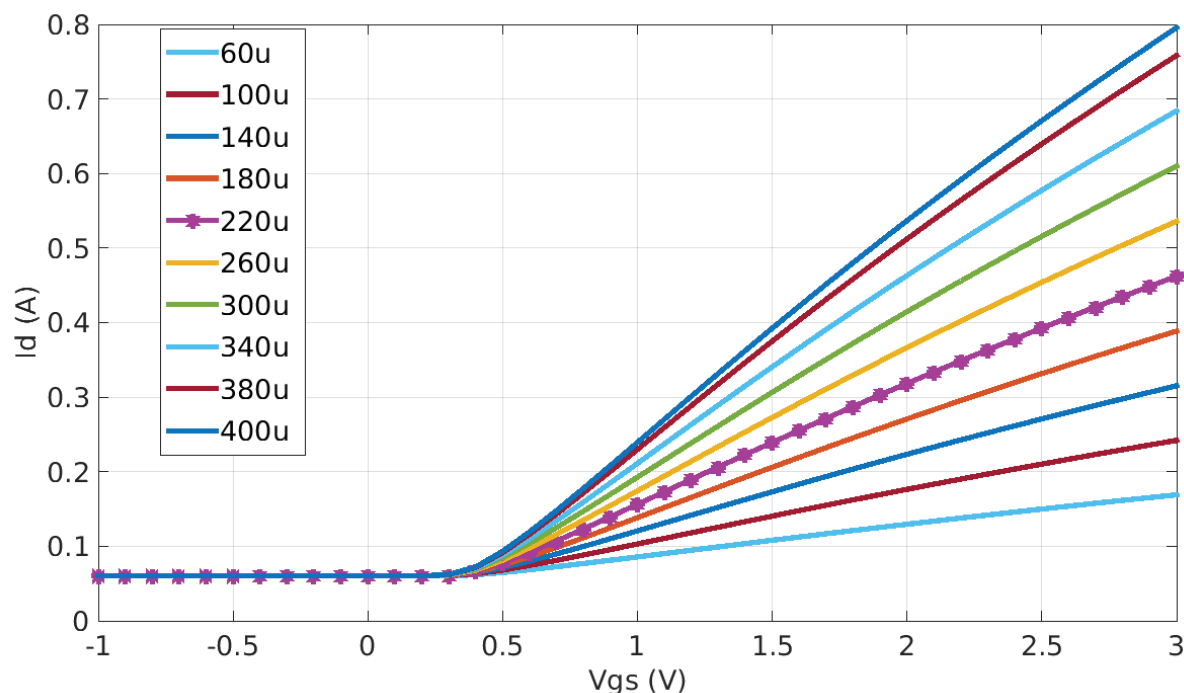


Figura 3-5 – Curvas $I_d \times V_{gs}$ conforme W , do estudo de um transistor NFET RF.

Este valor de W foi adotado como valor inicial de W_{eff} a ser utilizado nos transistores do estágio PPA e do estágio de potência. Como se utilizará a topologia cascode, a tensão V_{gs} a que os transistores estarão submetidos será menor do que neste estudo de um transistor individual. Ao longo do desenvolvimento este valor W_{eff} será otimizado separadamente para cada estágio, tendendo a aumentar. Isto de forma a tentar satisfazer uma premissa de que se o estágio PPA conseguir amplificar isoladamente, o PA não necessitará de um estágio de potência.

Segundo Santos et al (2016), para o estágio de potência são utilizados transistores maiores, onde a relação W/L é grande, e valores de multiplicidade tornam-se maiores que a unidade. Para o estágio de pré-amplificação, ou de entrada, normalmente se supõe um ganho de potência intermediário.

Para o casamento de entrada ser satisfeito, transistores maiores melhoram esse casamento e minimizam o efeito de transistor lateral parasitário (*edge*) mas tem-se um gasto maior de área.

3.4 SIMULAÇÕES E OTIMIZAÇÕES

Os laços de projeto de esquemático para cada estágio representam as iterações que serão feitas simulando e otimizando os componentes de cada estágio, de forma a se alcançar o desempenho especificado.

Segundo Boshnakov (2015) as simulações permitem realizar análises do PA, tanto em pequenos sinais por meio dos parâmetros de espalhamento ou parâmetros S, como em grandes sinais obtendo-se a potência de saturação de saída, o OCP_1 , via balanço harmônico. Na simulação de grandes sinais é levado em conta o comportamento não-linear dos transistores CMOS, onde são utilizados os modelos empíricos da biblioteca, resultantes da medição de modelos físicos. Também serão feitas simulações *load-pull* que apresentam as regiões de impedância de saída em forma de cartas de Smith, que exige muito processamento computacional. A faixa de testes compreende as frequências entre 0,5 GHz a 8 GHz.

Será necessário realizar várias iterações até que se obtenham os parâmetros de desempenho mais otimizados. Executaram-se nesta etapa as seguintes ações na banda especificada:

- para análises rápidas usar simulação HB de pequenos sinais;
- para análises criteriosas usar simulação de *load-pull*;
- ajuste da tensão de polarização nos dois estágios;
- obtenção de uma curva de ganho de potência (S_{21}) mais plana;
- melhorar o isolamento de entrada S_{11} abaixo de -10 dB;
- obtenção dos maiores valores possíveis de P_{sat} e OCP_1 em forma de curva de modo a diminuir a distância entre essas curvas para melhorar a linearidade;
- buscar a estabilidade do PA para todas as frequências da faixa teste;
- maior eficiência energética determinada pela eficiência de potência adicionada (PAE).

Para se efetivar as ações citadas, foram feitas iterações, com análise de pequenos sinais, buscando-se o ganho de potência máximo alvo observando-se o parâmetro S_{21} . Para resolver essa necessidade, foi preciso configurar as fontes de tensão e as polarizações dos estágios do PA proposto. Optou-se por se realizar uma análise de sensibilidade, na faixa de frequência de testes, de modo a se testar valores de tensão de alimentação no pré-amplificador, de forma a se ter um valor mínimo

dessa tensão com capacidade de amplificação, que foi justamente a tensão de 1,8 V estipulada na etapa de especificação. Juntamente se observaram as tensões de polarização nos estágios, para se encontrar o menor valor que permitisse o PA continuar operando como classe AB. Outras análises de sensibilidade também foram feitas no estágio de potência, testando-se os valores de tensão de alimentação e polarização respectivos para aquele estágio.

O casamento de impedância foi procurado, tanto na entrada como na saída do PA, ambos ajustados com valor padrão de 50Ω com redes *L-match* configuradas para a frequência em que o PA tenha o melhor comportamento banda larga. Para o casamento de entrada imagina-se um comportamento como um filtro passa-alta, que é feito por meio de simulações HB, extraem-se curvas de impedância de entrada, tanto da parte real como da imaginária da impedância, por frequência teste. O casamento de saída é imaginado com um comportamento de filtro passa-baixa e é realizado no estágio de potência que será descrito mais adiante.

Para se otimizar os componentes, os casamentos de impedância e o melhor desempenho do PA, quanto a potência de saída, eficiência e ganho de potência, a cada iteração, ações pontuais são feitas para cada estágio. Cada componente é analisado e ajustado ao máximo para se melhorar progressivamente, vendo o ganho máximo obtido e os parâmetros S. Uma análise de sensibilidade é conduzida sobre os parâmetros, atuando em cada componente a ser otimizado. É feita também uma análise de circuito, ponto a ponto, componente a componente em cada ramo, observando-se as correlações da alteração de um valor de um componente no conjunto do PA.

3.5 ESTÁGIO DE PRÉ-AMPLIFICAÇÃO

Normalmente começa-se o dimensionamento de um PA de dois estágios pelo estágio de saída (potência). Neste trabalho, iniciou-se a pesquisa com a suposição de que o estágio de pré-amplificação abrangeria a maior parte da banda projetada de 2 GHz a 5 GHz e o estágio de potência complementar uma melhora de ganho, prolongando o final da banda, de forma que o conjunto funcionasse conforme as especificações. Tal suposição é confirmada com os resultados de simulações pós-layout do PA operando em toda a banda e será tratado no item 4.2 sobre tais simulações.

Conforme mostrado na Figura 3-6, o PPA é um amplificador em topologia cascode convencional com reuso de corrente. O cascode é composto por um

transistor M4 tipo CG (porta-comum) empilhado em um transistor M3 tipo CS (fonte-comum), cada transistor tem multiplicidade 12 (Ellinger, 2007). O sinal proveniente da rede de casamento de entrada é aplicado à porta do transistor de entrada cascode no modo CS, juntamente com a tensão de polarização V_{bias1} .

Os capacitores C4 e C12 foram colocados a fim de se fazer os testes de multiplicidade, cada um com o valor de 1 mF para se ter um casamento provisório na entrada e na saída, de forma a não influenciar os testes caso fossem utilizadas redes *L-match*.

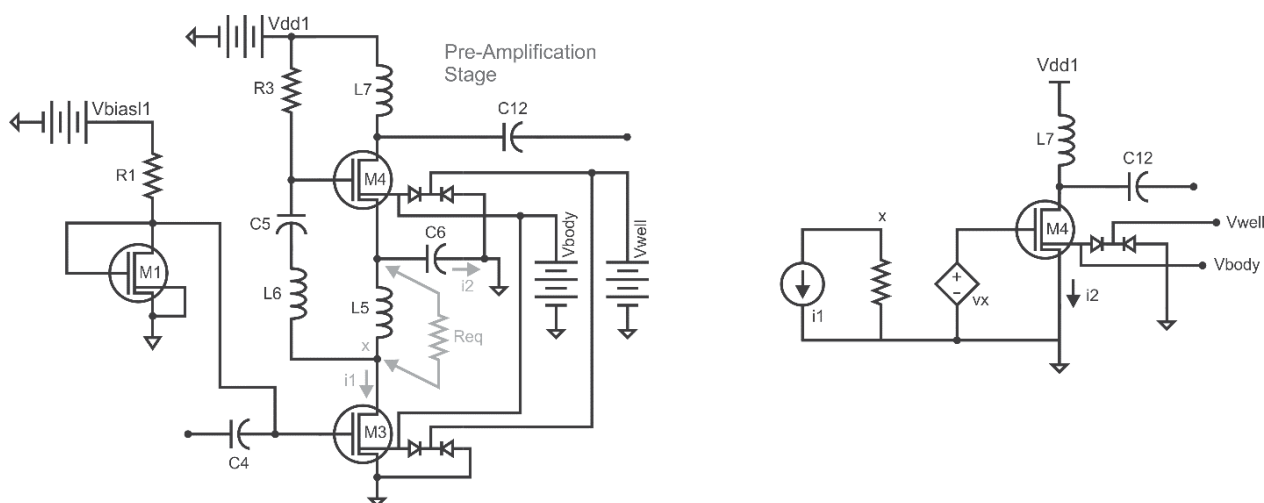


Figura 3-6 – Esquemático do PPA com bloco de entorno do transistor M4 e modelo do reuso de corrente.

Os transistores CG (M4) e CS (M3) têm o mesmo tamanho, com os parâmetros $W = 64 \mu\text{m}$ e $L = 120 \text{nm}$ (largura e comprimento do canal), com o valor efetivo de $W_{\text{eff}} = 768 \mu\text{m}$. Este cascode tem seus transistores singularmente acoplados ao centro da topologia, com um indutor L5 que aponta a largura de frequência. Os componentes do entorno de M4 formam um conjunto para se utilizar a técnica do reuso de corrente, visto na Figura 3-6. A fonte de alimentação do PPA é uma fonte de 1,6 V V_{dd1} que é aplicada ao indutor de carga L7.

O transistor M4 é auto-polarizado pelo resistor R3 conectado à fonte de alimentação V_{dd1} . Outro circuito de polarização é uma fonte de tensão por tensão dreno-fonte fixa, com resistor R1 e transistor M1 (Carusone, 2007), sendo aplicado externamente a tensão V_{bias1} de 1 V.

Depois dos testes de multiplicidade, montou-se a rede *L-match* de entrada que influenciaria o ganho de potência final do PA. Ela foi ajustada para se ter o maior

ganho possível, com os parâmetros de espalhamento S_{21} acima de 15 dB e uma ampla faixa de frequência onde $S_{11} < -10$ dB que implica no isolamento de entrada. Para estar em conformidade com a última condição, essa rede de entrada de casamento foi construída a partir de um filtro passa-alta Butterworth de terceira ordem. No item 3.10 sobre layout é explicado mais detalhadamente o cálculo do filtro, porque ele necessitou ser ajustado naquela etapa. O filtro no esquemático foi dimensionado inicialmente como de primeira ordem sintonizado a 2 GHz, a frequência inicial da banda necessária. Seus componentes são os capacitores C2 e C3, e o indutor L3. Este filtro está conectado a uma rede de casamento do tipo *L-match* para banda estreita sintonizada na mesma frequência, contendo os componentes L4 e C4. Essa rede faz o acoplamento do filtro ao estágio PPA. O conjunto do filtro conectado com a rede está representado na Figura 3-7.

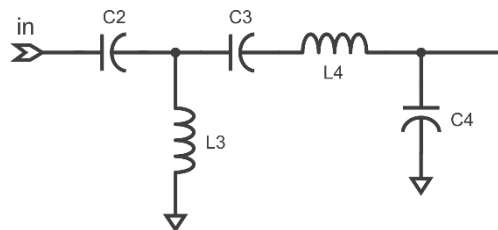


Figura 3-7 – Esquemático da rede de entrada *L-match*.

O equacionamento para se obter a rede *L-match* é mostrado em (3.2), sendo feita pela ferramenta (EEWeb, 2017) com o bloqueio de corrente DC, uma outra configuração permite a passagem de corrente DC e foi menos efetiva para melhorar a linearidade.

$$Z_{input} = \frac{(R_L + X_L) + (j \cdot \omega \cdot L)}{(R_L + X_L) \cdot (j \cdot \omega \cdot L)} + \left(\frac{1}{j \cdot \omega \cdot C} \right) \quad (3.2)$$

A saída do PA consiste em um indutor de carga L7 com um tamanho físico de 300 μm e sintonizado a 2 GHz, a frequência de banda inicial. E dois indutores menores L5 e L6 que ajustam a faixa de frequência para se ter um comportamento de banda larga. L5 permite a passagem das frequências de sinal em banda larga, e L6 junto com o capacitor C5 compõe um circuito ressonante em série, para selecionar a maior frequência de banda final, em torno de 5 GHz. Assim, este circuito ressonante utiliza

a técnica de reuso de corrente para melhorar o ganho de potência deste estágio de amplificação (Murad et al, 2010).

A simulação *load-pull* em nível esquemático permitiu observar que o PPA tem comportamento banda larga conforme projetado, mas os *trade-offs* entre ganho de potência e PAE são aparentes na Figura 3-8, onde um ganho alto de 40 dB se contrasta com um PAE baixo menor que 10%. A relação entre alto ganho e baixo valor de P_{sat} também aparece, este comportamento é visualizado na Figura 3-9.

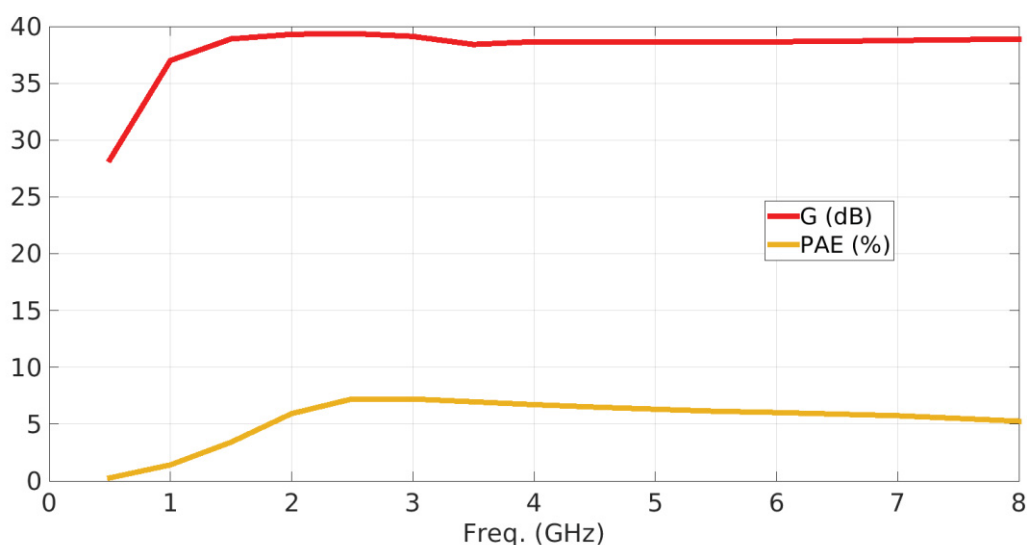


Figura 3-8 – Gráfico do ganho G de potência e PAE obtidos por simulação *load-pull*.

Com a configuração do PPA atual, otimizando todos os componentes e ajustando-se todos as tensões de polarização chegou-se num limite de P_{sat} menor que 10 dBm, e desafortunadamente não se pode descartar o estágio de potência.

Devido à simulação ser em nível esquemático, os valores de P_{sat} e OCP_1 tenderam a ser ideais, estando os dois valores muito próximos, dificultando a visualização em formato curva. Para dirimir quaisquer dúvidas, os valores numéricos são informados na Tabela 3-2.

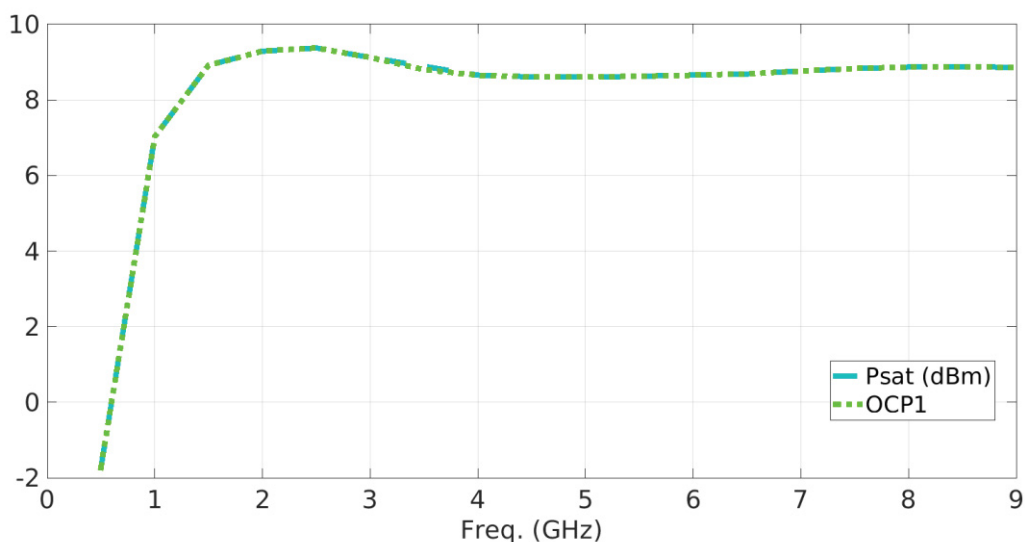


Figura 3-9 – Gráfico de P_{sat} e OCP_1 obtidos por simulação *load-pull*.

Freq. (GHz)	0,5	1,0	1,5	2,0	2,5	3,0	3,5	4,0	4,5
P_{sat} (dBm)	-1,73500	7,03050	8,92000	9,29000	9,37400	9,12220	8,88800	8,65400	8,60801
OCP_1 (dBm)	-1,73499	7,03049	8,91769	9,28947	9,37382	9,12219	8,79999	8,65372	8,60800

Freq. (GHz)	5,0	5,5	6,0	6,5	7,0	7,5	8,0	8,5	9,0
P_{sat} (dBm)	8,60100	8,62703	8,65504	8,68606	8,76600	8,83100	8,86800	8,88000	8,85900
OCP_1 (dBm)	8,60093	8,62700	8,65500	8,68600	8,76500	8,83100	8,86700	8,88000	8,85800

Tabela 3-2 – Valores numéricos de P_{sat} e OCP_1 do PPA.

3.6 ESTUDO DO EFEITO DA MULTIPLICIDADE

Foi analisado o impacto da multiplicidade (conexão em paralelo) de transistores NFET RF no estágio PPA. A multiplicidade dos transistores M3 e M4 foi variada em 1, 3, 6, 12 e 24. As Figuras 3-10 a 3-13 mostram os resultados obtidos para: R_{in} , S_{11} , μ e S_{21} respectivamente.

Para se realizar as análises, a fonte estava configurada com resistência interna de 50Ω . A rede de entrada constituiu-se apenas de um capacitor ideal de 1 mF, embora seja um valor alto, serve de ponto de partida para um casamento provisório de teste, ligado à entrada do estágio PPA. Escolheu-se uma frequência de teste de 3,5 GHz que é a frequência mediana entre 2 GHz e 5 GHz, limites do comportamento banda larga do PA.

A largura efetiva do canal W_{eff} foi mantida no valor calculado e otimizado que era 768 μm , assim para a multiplicidade de 3 transistores, a largura individual W de

cada transistor foi de 256 μm ; para multiplicidade 6 o valor de W correspondente foi de 128 μm , e finalmente para multiplicidade igual a 12, o W foi de 64 μm .

Para o parâmetro de resistência de entrada do estágio PPA R_{in} , plotado na Figura 3-10 a multiplicidade igual a 6 permite manter o valor de resistência entre 40 Ω a 60 Ω , mas para a faixa de 2,6 GHz a 5 GHz $m=12$ é melhor, tendo-se um pico na frequência de 3,5 GHz. Implicando em um bom casamento de entrada utilizando-se a multiplicidade 12, que resulta numa boa amplificação na faixa referida após ajustar-se a rede de entrada.

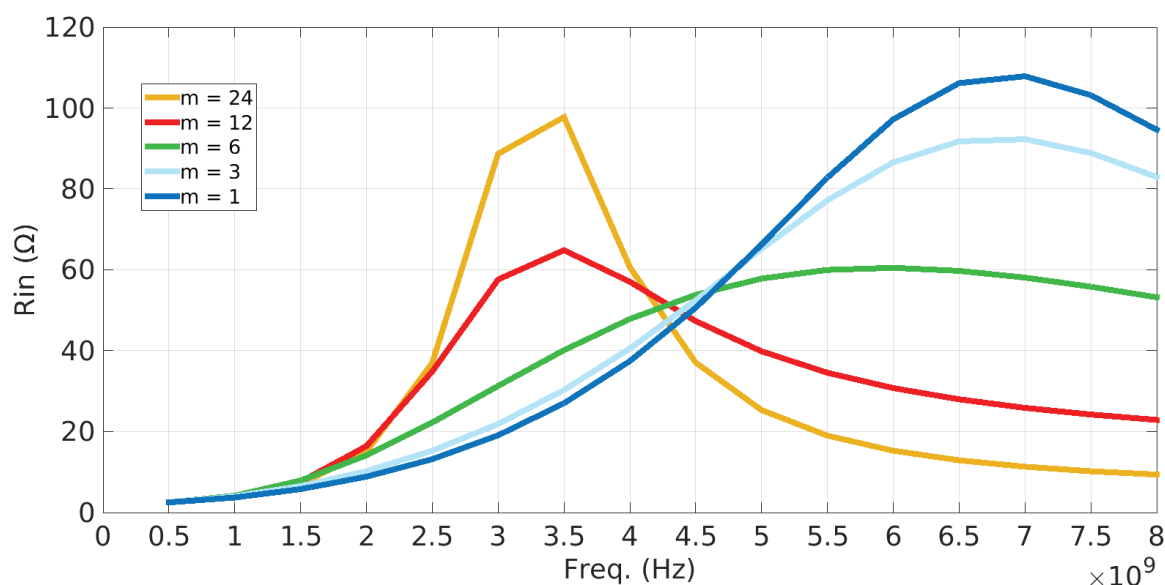


Figura 3-10 – Gráfico para análise da resistência de entrada R_{in} .

O pico de R_{in} notado em 3,5 GHz é devido à rede de entrada sintonizada naquela frequência e teve-se um ótimo isolamento de entrada visto na Figura 3-11. As outras multiplicidades testadas tiveram um valor de R_{in} próximo de 50 Ω nas frequências mais altas e pico em 3,5 GHz o que prejudica o bom desempenho do PA nas frequências reservadas para 5G pela ANATEL (2019).

O coeficiente de estabilidade μ é dado pela Equação (3.3) e deve resultar em um valor maior que 1 para o PA ser estável. Para valores menores, isso implica que o PA analisado pode entrar em oscilação. Para o PA ficar estável, seu comportamento será garantido em toda a faixa de frequência de operação. Para se utilizar os parâmetros S, o PA em estudo é considerado como um componente de duas portas.

$$\mu = \frac{1 - |S_{11}|^2}{|S_{11}^* \cdot (S_{11} \cdot S_{22} - S_{12} \cdot S_{21}) \cdot S_{22}| + |S_{12} - S_{21}|} \quad (3.3)$$

Analisando os parâmetros S que influenciam na estabilidade na Equação (3.3), nota-se que esta está intimamente relacionada com os parâmetros S_{11} e S_{22} . E tais parâmetros estão também relacionados com as impedâncias na entrada e na saída do PA, ou seja, se estas impedâncias forem ajustadas é possível atingir a estabilidade.

Com tais contextos, analisando os gráficos do parâmetro μ da Figura 3-12, observa-se que as multiplicidades levaram o PA à instabilidade na faixa de 1 GHz em diante, exceto em $m = 1$. Esta instabilidade foi consertada com os casamentos de impedâncias dos estágios, e se obedeceu o critério de que o valor de μ fosse maior ou igual a um, ao longo de toda a faixa frequência de operação do PA.

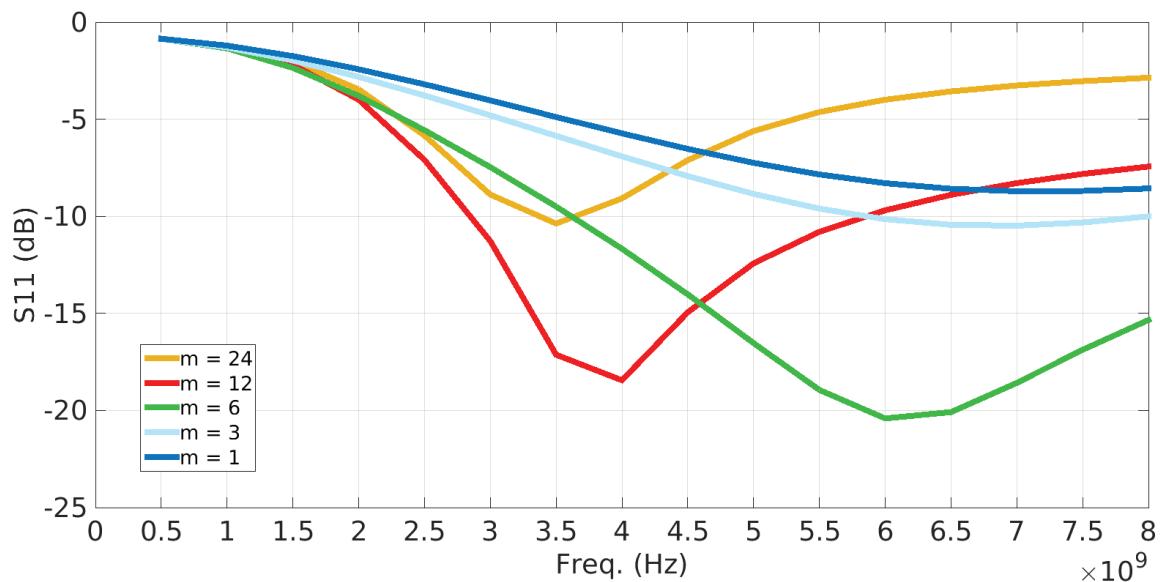


Figura 3-11 – Gráfico para análise do isolamento de entrada dado por S_{11} .

Analisando-se o isolamento de entrada plotado na Figura 3-11, nota-se que multiplicidades menores levam o PA a ter um pior isolamento. Somente na multiplicidade 12 obteve-se um ótimo isolamento, abaixo de -10 dB quase na faixa pretendida para operação do PA projetado.

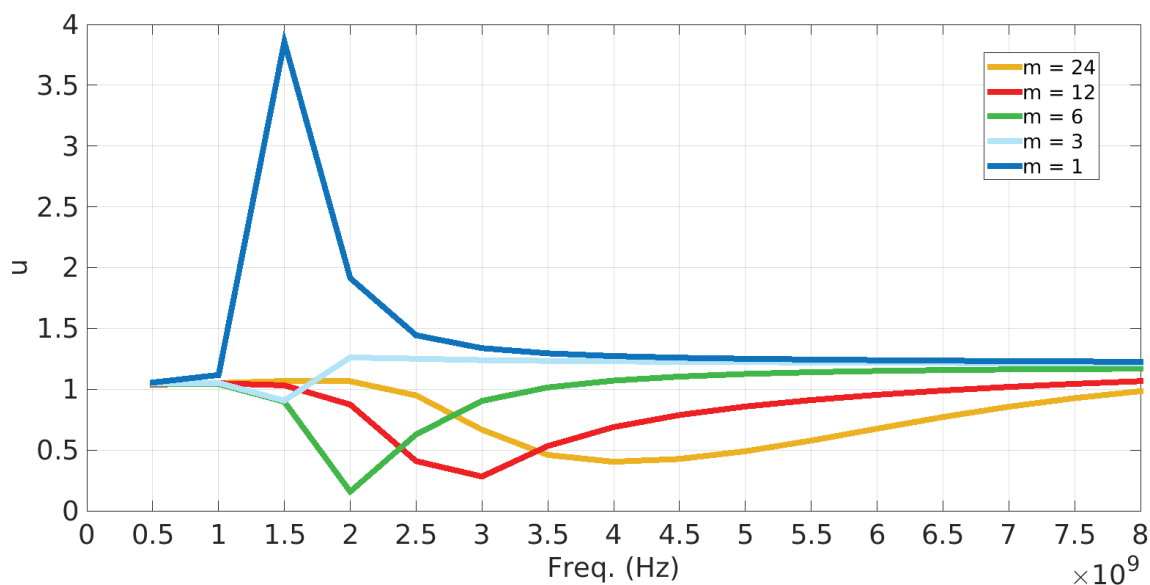


Figura 3-12 – Gráfico para análise da estabilidade u .

A análise do ganho de potência em função da multiplicidade mostrada na Figura 3-13, apontou que aumentando-se a multiplicidade, aumenta-se o ganho de potência. Como os transistores estão em paralelo, a maior multiplicidade diminui a resistência de entrada R_{in} e aumenta-se a corrente conduzida por eles. Também, ao aumentar a multiplicidade, melhora-se o ganho em toda a banda pretendida, e ainda aplainando a curva de ganho. Na multiplicidade 6 vê-se um pico em 2 GHz o que se traduz na falta de estabilidade nessa frequência vista na Figura 3-12 resultado de um polo.

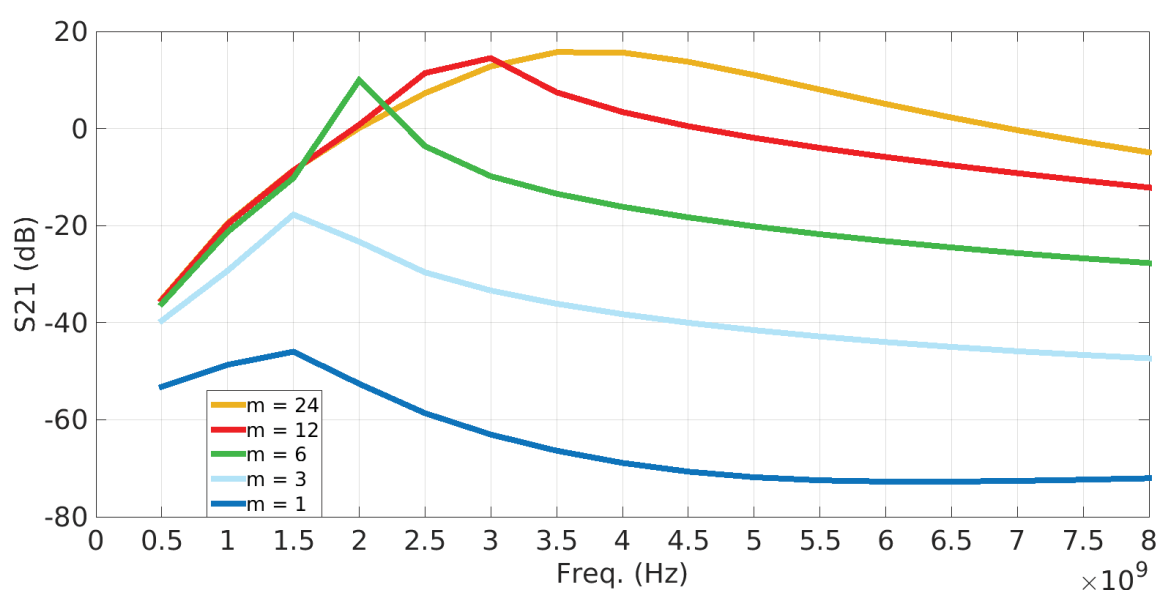


Figura 3-13 – Gráfico para análise do ganho máximo de potência dado por S_{21} .

Optou-se pela multiplicidade $m=12$ visto que se teria um ganho razoável, com um bom isolamento de entrada. Se existir multiplicidade ($m > 1$) leva-se a instabilidade. Então como se deseja usar a técnica da multiplicidade, se resolveu este problema, buscando-se a estabilidade com casamentos de impedâncias já mencionados, lembrando que a Equação (3.3) mostra a dependência da estabilidade em relação aos parâmetros S_{11} e S_{22} , e tais parâmetros estão relacionados às impedâncias de entrada e de saída.

3.7 QUANDO USAR TRANSISTORES TRIPLE-WELL

Inicialmente, os transistores adotados foram do tipo NFET RF convencionais, otimizados para o melhor desempenho em termos de ajuste da multiplicidade, i.e. utilizando o valor de W_{eff} calculado, buscou-se um compromisso entre o W individual e a multiplicidade de transistores. Quando se obteve o circuito estável, foram substituídos pelos seus equivalentes em *triple-well*. Foi realizado uma análise do efeito da multiplicidade novamente, agora neste tipo de transistor. Foram plotados gráficos, mas não se observou muitas alterações de desempenho em relação ao que já foi visto sobre multiplicidade em transistores convencionais em termos de análise de pequenos sinais. Mas isto serviu de ponto de partida para começar a trabalhar com a tensão de polarização de corpo.

Neste momento foi feito uma análise de sensibilidade, sempre usando-se a frequência de 3,5 GHz que foi escolhida por ser a frequência média entre as frequências limite da banda do PA, para se simular o efeito das tensões a serem injetadas no corpo dos transistores *triple-well*, de uma faixa de valores positivos à negativos. Com isto, se atuou sobre o diodo formado entres os poços do tipo P e N, a polarização desse diodo foi da polarização direta até a inversa, e gráficos para comparação foram plotados.

Inicialmente, observou-se a possibilidade de controlar a tensão de limiar, alterando-se a tensão de corpo. Para isso foi feita uma análise onde se aplicou uma tensão no corpo, e se anotou-se como variou a tensão V_{th} nos transistores. O resultado das iterações entre V_{body} e V_{th} sobre os transistores M3 e M4 do estágio PPA está plotado na Figura 3-14. O efeito de controle é inversamente proporcional, à medida que se aumenta V_{body} , se diminui V_{th} . Isto pode levar a uma tendência do PA se comportar mais como classe AB, o oposto tende para a classe B trazendo V_{th} mais próximo ao valor da tensão de polarização.

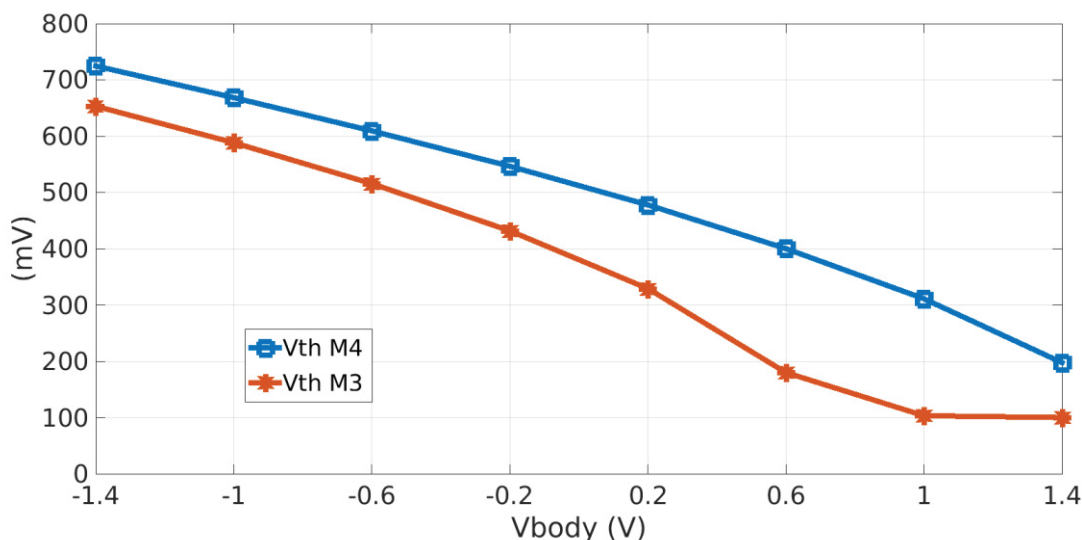


Figura 3-14 – Análise da variação de V_{th} alterando-se o valor da tensão aplicada no corpo V_{body} dos transistores *triple-well* M3 e M4 do estágio PPA na frequência de 3,5 GHz.

Continuando os experimentos, variando-se a tensão V_{body} observou-se que PAE e ganho estão alinhados para a faixa de tensão de -0,8 V a 0,4 V. A melhor linearidade está entre a tensão de -0,6 V a 0,6 V. Dentro destas faixas de tensão citadas, existe um *trade-off* entre os pares (PAE, ganho) e (P_{sat} , OCP_1). O valor de tensão $V_{body} = -0,6$ V foi o *sweet-spot* encontrado onde houve convergência num alto PAE, alto ganho, e boa linearidade de OCP_1 e P_{sat} maiores que o valor de 17 dBm especificado.

A Figura 3-15 mostra as curvas dos parâmetros de desempenho PAE, ganho, P_{sat} e OCP_1 , onde foi procurado o melhor ponto (*sweet spot*) da tensão aplicada ao corpo V_{body} nos transistores *triple-well* do estágio de pré-amplificação. Neste ponto há uma boa linearidade com o valor de P_{sat} e OCP_1 próximos, e ainda se mantém os valores de ganho e PAE altos. A potência de saída é avaliada a partir da polarização do estágio de entrada (pré-amplificação) porque este é o amplificador de fato da faixa de frequências da banda larga.

Optou-se em utilizar o *sweet-spot* encontrado de $V_{body} = -0,6$ V, tensão de corpo aplicado nos transistores M3 e M4, para o projeto do estágio PPA. Posteriormente se observou que esse *sweet-spot* se mantém para toda a banda do PA.

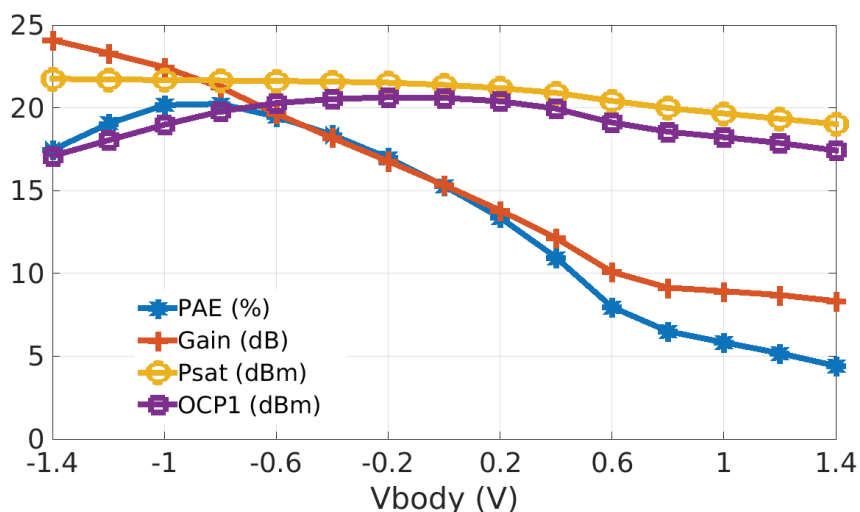


Figura 3-15 – Análise de *sweet-spot* para determinar V_{body} conforme os *trade-offs* entre os parâmetros de desempenho PAE, ganho, P_{sat} e OCP_1 na frequência de 3,5 GHz

3.8 ESTÁGIO DE POTÊNCIA

A Figura 3-16 apresenta o esquemático do estágio de potência, onde o circuito de polarização é uma fonte de tensão por tensão dreno-fonte fixa, com os componentes resistor R2 e transistor M2 (Carusone, 2007), sendo aplicada externamente a tensão V_{bias2} com o valor de 0,9 V. O transistor de *common-gate* M6 é auto-polarizado pela fonte de tensão do estágio V_{dd2} .

Como este estágio é uma saída de potência do PA, e a topologia citada é feita por transistores NFET RF convencionais, denominados M5 e M6. Cada transistor tem seu parâmetro de multiplicidade ajustado conforme estudo análogo ao realizado no estágio PPA, agora para um valor de largura efetiva de canal W_{eff} de 413 μm . Para o casamento de entrada utilizou-se somente um capacitor ideal C12 de 1 mF temporariamente, embora seja um valor alto, serve como ponto de partida para se realizar as análises. Os gráficos mostrados nas Figuras 3-17 a 3-20 indicam o efeito da multiplicidade sobre a resistência de entrada, a estabilidade, o isolamento de entrada e o ganho respectivamente. O sinal proveniente do acoplamento do estágio PPA, entra através do transistor de *common-source* M5.

Quanto a resistência de entrada do estágio R_{in} nenhum valor de multiplicidade pôde melhorar o casamento de entrada, então o acoplamento entre estágios e uma rede de realimentação podem melhorar o valor da resistência. Para se manter a estabilidade deve-se usar um valor de m pequeno, mas uma rede de casamento LC série ou uma realimentação RC podem auxiliar neste quesito.

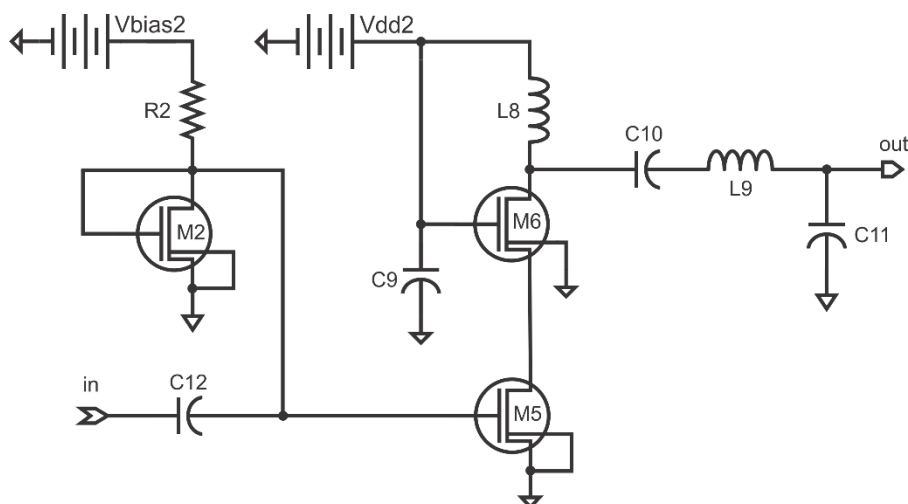


Figura 3-16 – Esquemático do estágio de potência.

O isolamento de entrada não é linearmente proporcional à multiplicidade, $m=4$ representa um ponto ótimo de isolação. Mas se aumentamos o valor de m , rapidamente se deteriora o isolamento.

Quando verificamos o efeito da multiplicidade sobre o ganho de potência, dado por S_{21} , onde quanto maior a multiplicidade maior o ganho, notamos um *trade-off* entre o ganho e a estabilidade.

Escolheu-se ajustar m para 13, representando treze transistores com o mesmo tamanho, cada um tendo $W=32\ \mu\text{m}$ e $L=120\ \text{nm}$ que são sua largura e comprimento de canal respectivos. Priorizou-se o ganho em banda larga, mas isto pede uma rede de casamento melhor, tanto na entrada como na saída para se ter uma resistência de entrada próxima dos $50\ \Omega$, e para se garantir a estabilidade do amplificador desse estágio e também um bom isolamento de entrada, utilizando a mesma justificativa para escolha de multiplicidade no PPA.

No estágio de potência, os transistores de RF *triple-well* também tiveram seu desempenho comparado com transistores convencionais nesta fase, e não houve melhorias no desempenho, além de ocuparem uma área maior, portanto foram descartados.

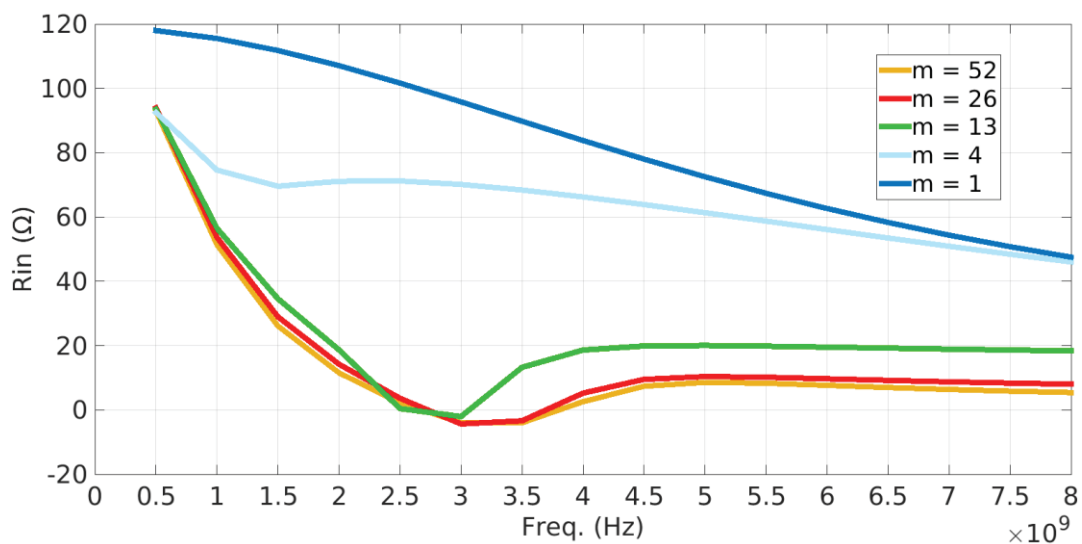


Figura 3-17 – Gráfico para análise da resistência de entrada R_{in} .

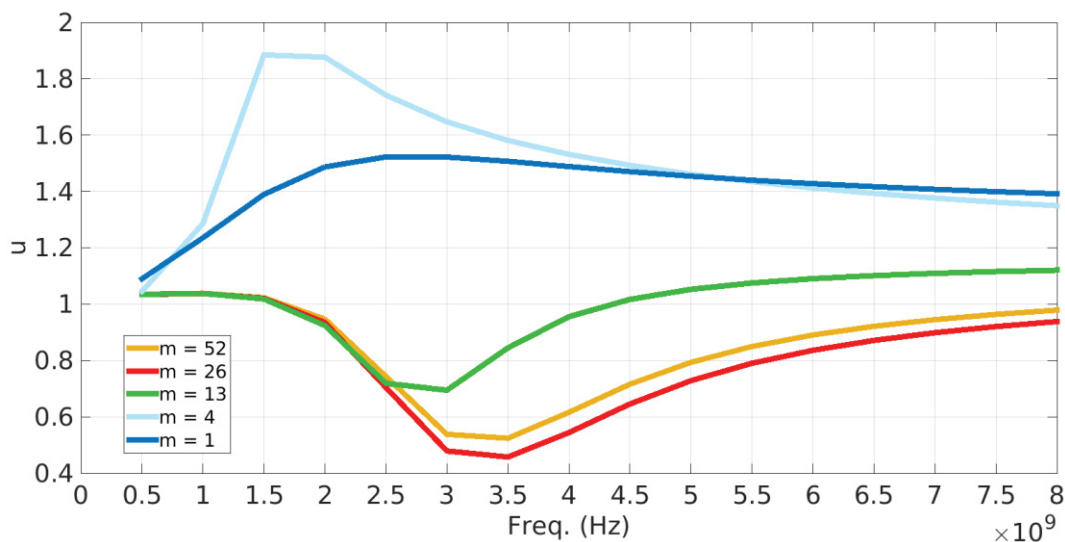


Figura 3-18 – Gráfico para análise da estabilidade u .

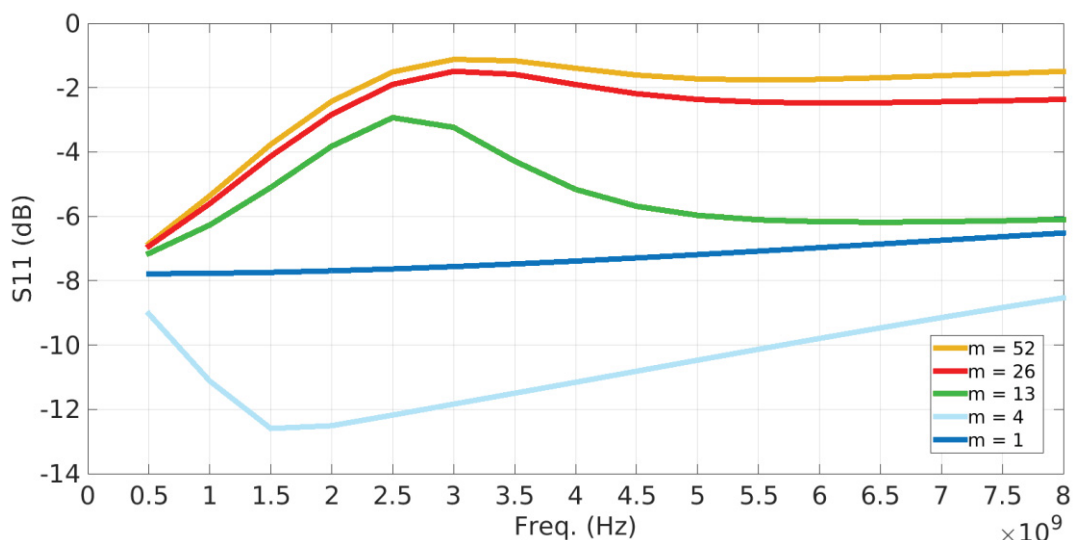


Figura 3-19 – Gráfico para análise do isolamento de entrada dado por S_{11} .

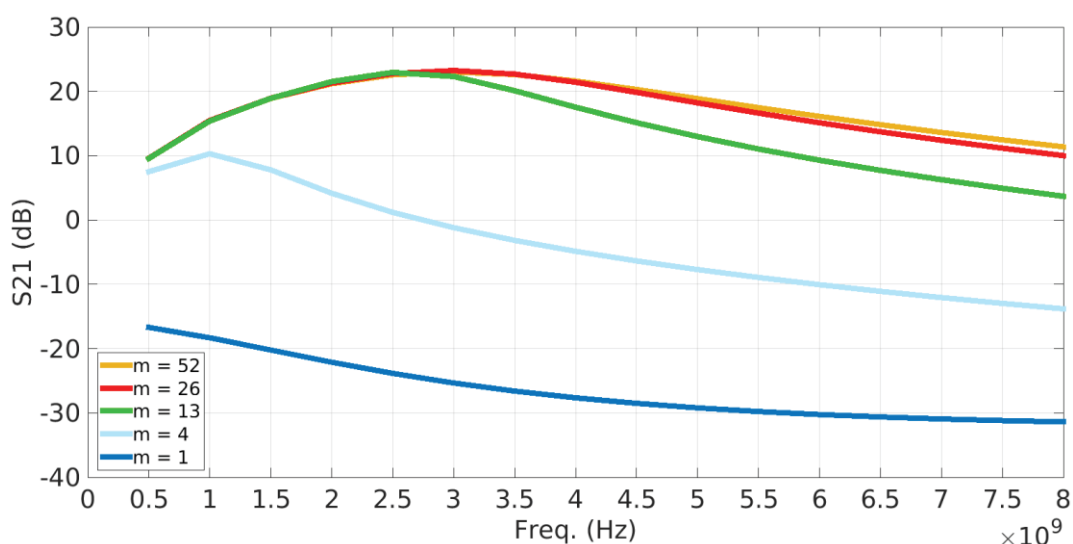


Figura 3-20 – Gráfico para análise do ganho máximo de potência dado por S_{21} .

Ainda neste estágio, com várias iterações usando-se a simulação de *load-pull* em esquemático, possibilitou uma análise de sensibilidade na faixa de 0,5 GHz a 8 GHz. A Figura 3-21 mostra o ganho de potência e PAE obtidos nesta etapa antes do ajuste do casamento de saída, onde há um ganho alto para um PAE baixo e essa relação de compromisso será ajustada. A Figura 3-22 apresenta os valores de P_{sat} e OCP_1 obtidos que chegam próximos a 16 dBm, aqui também é necessária uma melhora para que se atinja os 17 dBm de especificação.

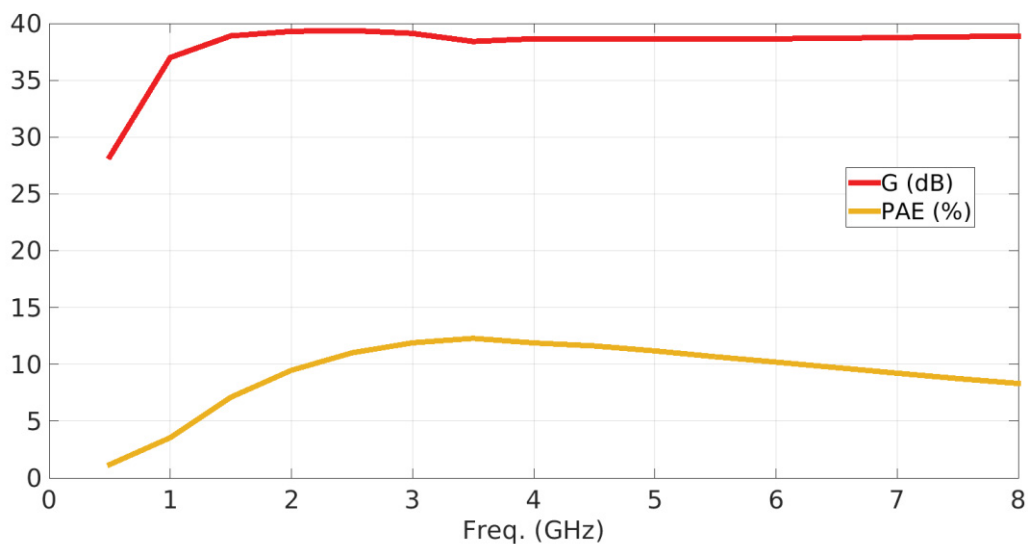


Figura 3-21 – Gráfico do ganho e PAE obtidos por simulação *load-pull* antes do casamento de saída.

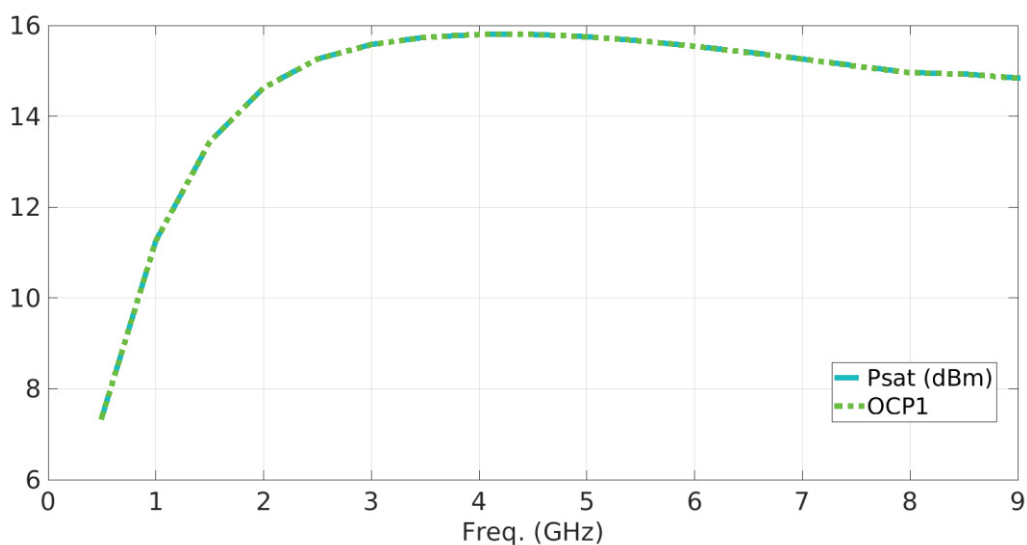


Figura 3-22 – Gráfico de P_{sat} e OCP_1 obtidos por simulação *load-pull* antes do casamento de saída.

Devido à simulação ser em nível esquemático, os valores de P_{sat} e OCP_1 tenderam a ser ideais, estando os dois valores muito próximos, dificultando a visualização em formato curva. Para dirimir quaisquer dúvidas, os valores numéricos são informados na Tabela 3-3.

Freq. (GHz)	0,5	1,0	1,5	2,0	2,5	3,0	3,5	4,0	4,5
Psat (dBm)	7,38100	11,25900	13,43600	14,63000	15,26000	15,58000	15,74000	15,80006	15,80000
OCP1 (dBm)	7,38100	11,25900	13,43600	14,62600	15,25800	15,57800	15,73700	15,80000	15,80000

Freq. (GHz)	5,0	5,5	6,0	6,5	7,0	7,5	8,0	8,5	9,0
Psat (dBm)	15,75000	15,66000	15,54003	15,41000	15,26000	15,11000	14,96000	14,93000	14,84000
OCP1 (dBm)	15,75000	15,66000	15,54000	15,40000	15,26000	15,10000	14,95800	14,92600	14,83800

Tabela 3-3 – Valores numéricos de P_{sat} e OCP_1 do estágio de potência.

Então focou-se na faixa de 2 GHz a 6 GHz, uma banda de teste, onde as frequências ficam dentro da banda projetada deste PA, de um em um GHz e para cada frequência escolhida como fundamental para a simulação, buscou-se uma região através de análises de cartas de Smith gerados também pela simulação, e exemplificado na Figura 3-23, onde havia um compromisso entre uma potência máxima e uma boa eficiência, projetou-se uma rede *L-match* para cada impedância apontada pela carta. Anotou-se os valores de máximo de ganho, PAE, P_{sat} e OCP_1 obtidos para cada impedância em toda a banda de 2 GHz a 6 GHz para se ver o efeito desse casamento. A Tabela 3-4 mostra os valores de impedância obtidos da primeira simulação, e os valores máximos obtidos dos parâmetros citados, para cada impedância testada em todas a banda de teste. Ressalta-se o *trade-off* entre ganho e PAE com a linearidade, apontada pela diferença entre P_{sat} e OCP_1 . São valores altos de ganho e PAE, mas OCP_1 não atinge os 17 dBm da especificação.

Frequência testada (GHz)	Impedância inicial (Ω)	G máx. (dB)	PAE máx. (%)	P_{sat} máx. (dBm)	OCP_1 máx. (dBm)
2	12,6007 + j2,0447	36,43	18,62	16,71	15,39
3	16,6949 + j1,9401	37,07	33,37	19,37	15,81
4	32,9543 + j1,2358	36,51	34,59	19,31	15,61
5	36,4346 + j11,7861	36,50	33,43	18,97	14,97
6	24,7794 + j17,8658	36,16	31,31	18,42	14,77

Tabela 3-4 – Valores obtidos após a primeira iteração de simulação *load-pull*.

Para cada frequência testada, gerou-se um gráfico de P_{sat} e OCP_1 ao longo da frequência. O gráfico em que P_{sat} e OCP_1 tiveram valores próximos na banda de 2

GHz a 5 GHz foi na frequência testada de 6 GHz. Assim, após a primeira iteração, optou-se pela rede *L-match* sintonizada a 6 GHz por gerar um bom ganho e PAE relatado na Tabela 3-4 e visto no gráfico da Figura 3-24, e também mostrar uma boa linearidade mostrada na Figura 3-25, embora apresentasse o menor valor de OCP_1 naquele momento.

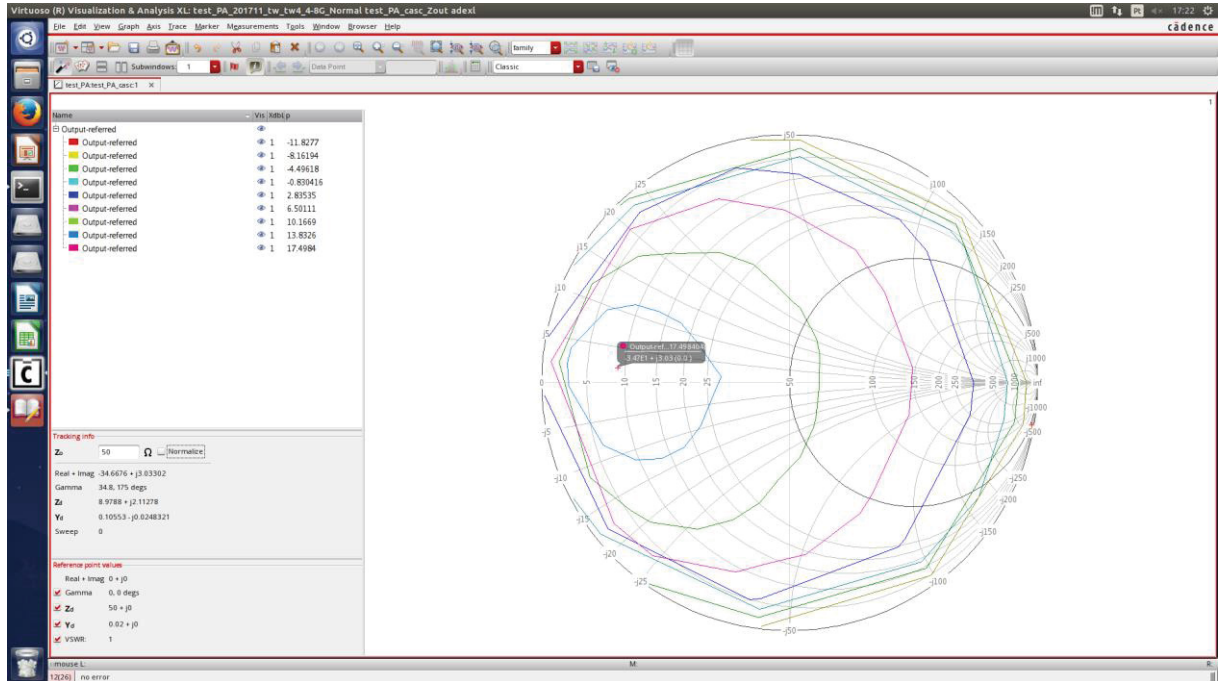


Figura 3-23 – Exemplo de carta de Smith gerada pelo simulador.

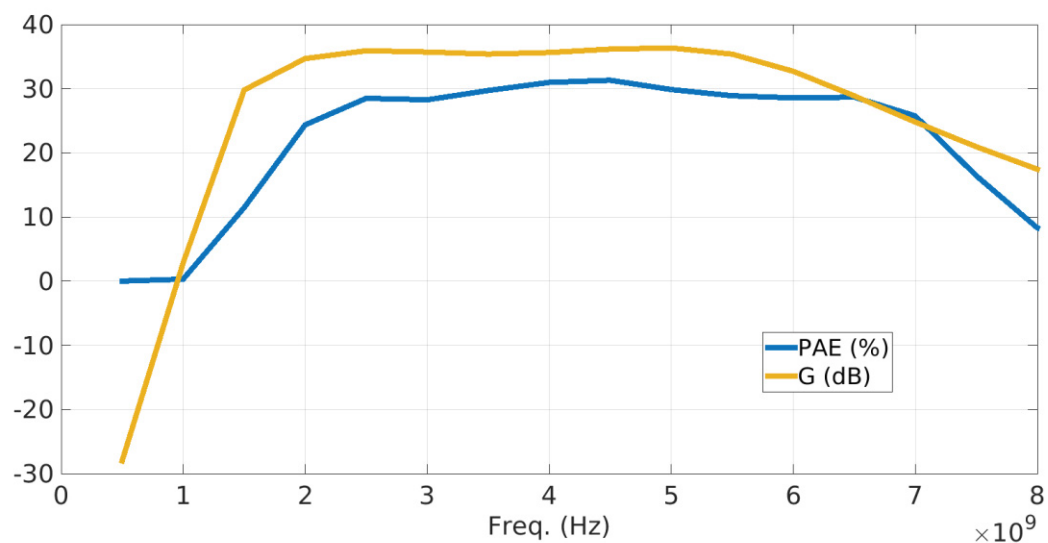


Figura 3-24 – Gráfico do ganho e PAE após o casamento inicial em 6 GHz.

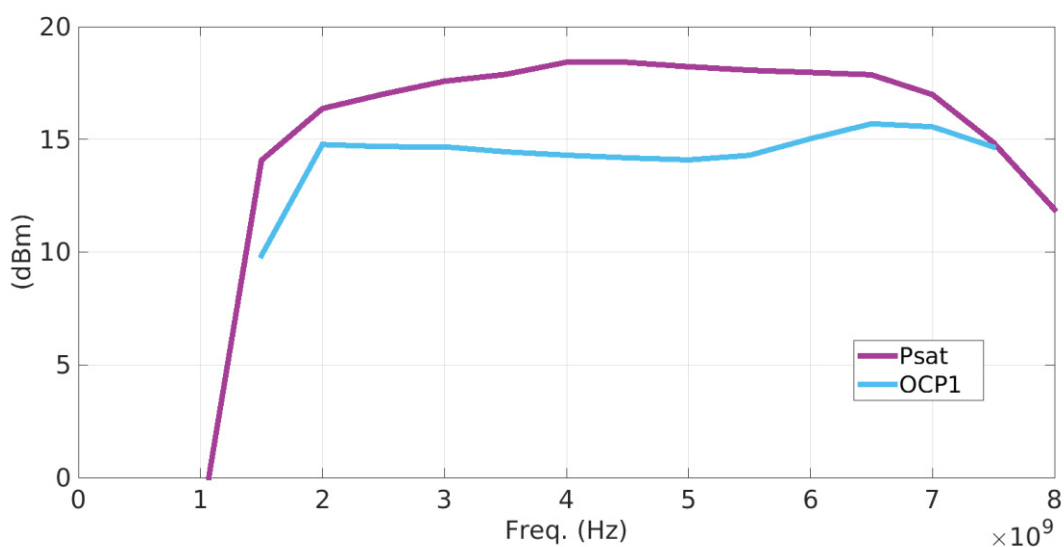


Figura 3-25 – Gráfico de P_{sat} e OCP_1 após o casamento inicial em 6 GHz.

Fez-se mais uma simulação com a última rede, sintonizada em 6 GHz, agora se obtendo o valor ideal de impedância de saída de $8,97 + j2,11 \Omega$. Assim a rede *L-match* de saída foi composta pelo indutor L9 e o capacitor C11 que ficaram com os valores de 1,12 nH e 1 pF respectivamente.

3.9 JUNÇÃO DOS ESTÁGIOS E FINALIZAÇÃO DO ESQUEMÁTICO

Com o fim das otimizações de componentes no estágio de potência, foi encerrado o ajuste nas dimensões dos transistores utilizados nos dois estágios do PA deste trabalho. Para sumarizar os parâmetros de todos os transistores utilizados no circuito foi montada a Tabela 3-5.

Transistor	Largura W (μm)	Comprimento L (ηm)	Multiplicidade
M1, M2	0,48	300	1
M3, M4	64	120	12
M5, M6	32	120	13

Tabela 3-5 – Parâmetros dos transistores de esquemático

Continuou-se a usar frequência de 3,5 GHz nesta etapa, para se otimizar os valores de tensão de polarização e tensão de alimentação dos estágios. O ajuste dessas tensões permitiu melhorar os parâmetros de desempenho, e também

aumentar a banda do PA, visto que ele tem uma boa resposta em 2,4 GHz que é o pico dos parâmetros PAE e ganho. Tal resposta é devido a contribuição do indutor L7 de 1,533 nH que também auxilia no ganho.

As tensões de polarização foram ajustadas para que o PA operasse em classe AB, tanto no estágio de pré-amplificação como no de potência. Para o primeiro estágio a tensão de polarização ajustada foi V_{bias1} igual a 1 V. Para o estágio de potência, a tensão de polarização ajustada foi V_{bias2} igual a 0,9 V.

Para as fontes de alimentação dos estágios, temos que V_{dd1} é a tensão da alimentação do estágio de pré-amplificação e é fornecida por uma fonte externa. V_{dd2} é a tensão de alimentação do estágio de potência, que também é fornecida por fonte externa. Para se encontrar os melhores valores dessas tensões e se aprimorar os parâmetros de desempenho do PA desenvolvido neste trabalho, foi realizada uma análise de sensibilidade de V_{dd1} e V_{dd2} .

Como o foco do trabalho era o *low-power*, buscou-se o menor valor possível para as tensões de alimentação. A Figura 3-26 mostra o gráfico dos parâmetros de desempenho para uma tensão de V_{dd2} igual a 1,8 V. Nota-se um *trade-off* entre PAE e ganho a partir de 1,6 V em V_{dd1} e o começo da perda de linearidade, quando as curvas P_{sat} e OCP_1 se distanciam.

Então, aumentando-se a tensão V_{dd2} para 2 V, obteve-se o gráfico da Figura 3-27 que mostrou uma melhora nos valores de PAE que ultrapassou os 25% juntamente com o ganho. Houve um pequeno aumento em P_{sat} e OCP_1 . A tensão V_{dd1} igual a 1,6 V continuou limítrofe para se ter um bom ganho, maior que 20 dB, aliado a um bom PAE maior que 20%. Ao mesmo tempo, mantendo-se um bom valor de P_{sat} maior que 17 dBm, o mesmo ocorrendo para OCP_1 . E ainda se teve uma boa linearidade, com a distância entre P_{sat} e OCP_1 menor que 2 dBm ao longo da banda.

Para ilustrar esse comportamento com P_{sat} quase igual a OCP_1 para baixos valores de V_{dd1} incluiu-se uma curva de ganho por potência de saída ($G \times P_{out}$) que ilustra tal comportamento, visto na Figura 3-28.

Com os valores de tensão obtidos e escolhidos, encerrou-se a etapa de esquemático, e foi criada a Tabela 3-6 para sumarizar esses valores.

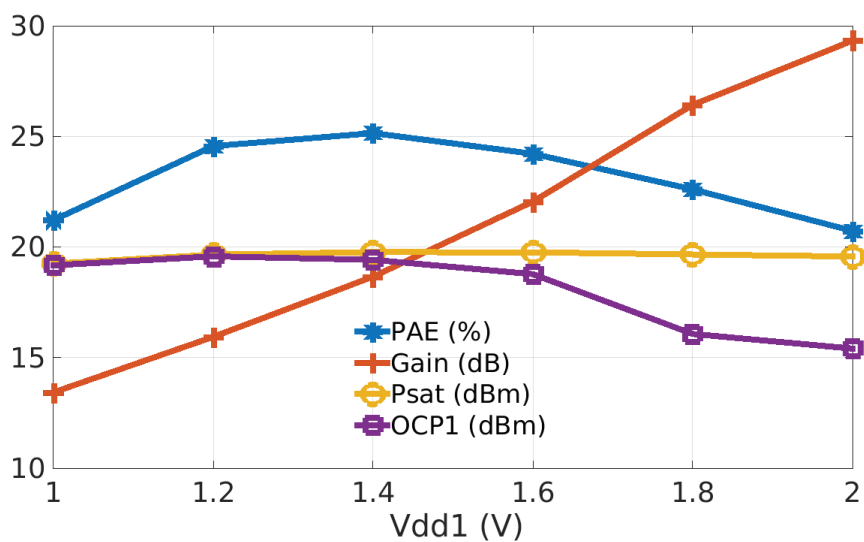


Figura 3-26 – Análise de *sweet-spot* de V_{dd1} , com tensão $V_{dd2} = 1,8$ V.

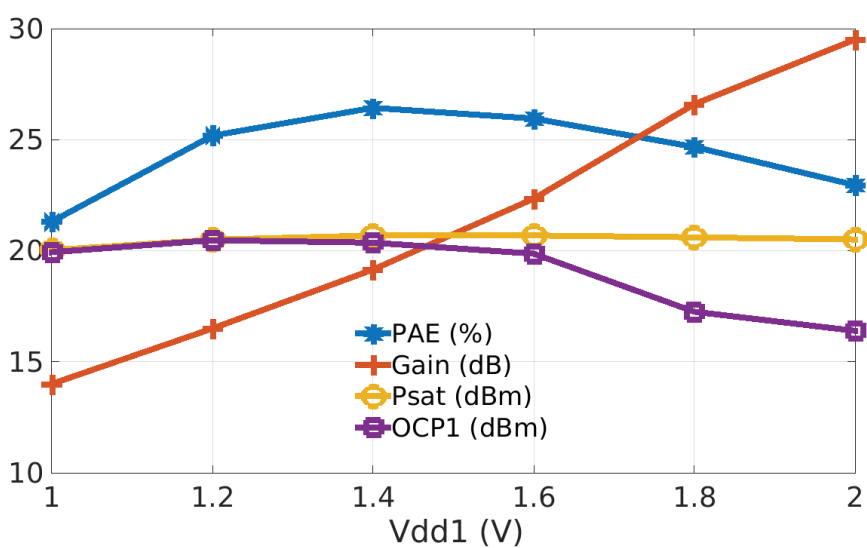


Figura 3-27 – Análise de *sweet-spot* de V_{dd1} , com tensão $V_{dd2} = 2$ V.

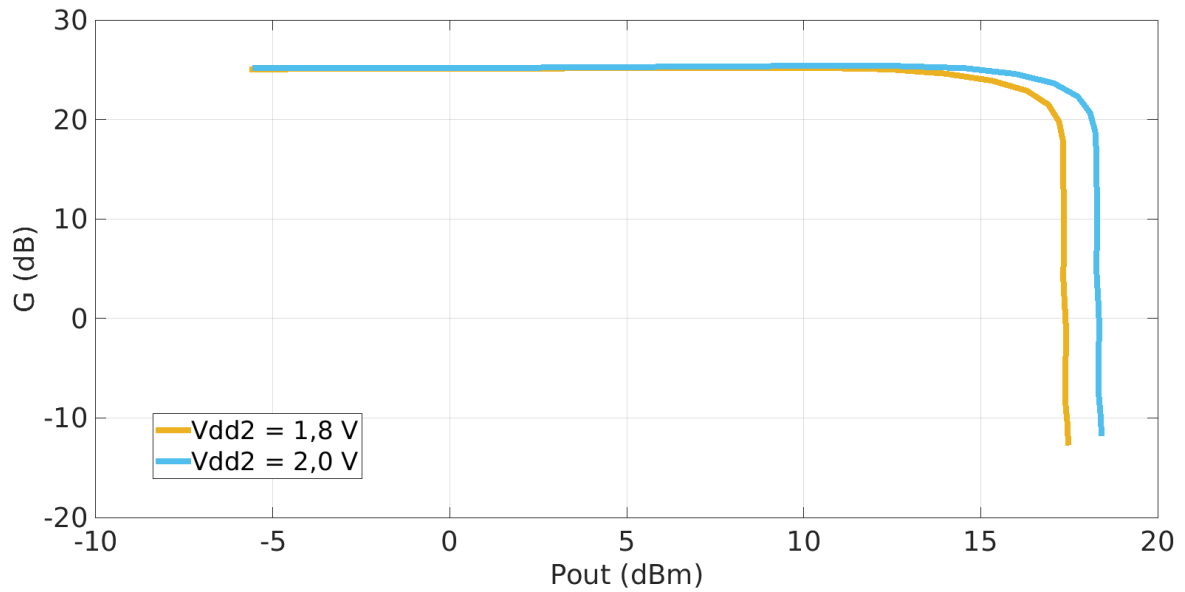


Figura 3-28 – Curvas ganho por potência de saída aplicando-se $V_{dd1} = 1,6$ V.

Tensão	Valor (V)
V_{body}	-0,6
V_{well}	0,9
V_{bias1}	1,0
V_{bias2}	0,9
V_{dd1}	1,6
V_{dd2}	2,0

Tabela 3-6 – Valores de tensão finais para esquemático.

3.9.1 Realimentação

Como observado nas Figuras 3-29 e 3-30, a primeira junção dos dois estágios originou picos de ganho, retirando o formato plano da maior parte da curva de ganho. Por isto, foi necessário a adição de redes de realimentação (*feedback*), vistos na Figura 3-31, o que permitiu refinar os resultados no ganho de potência, potência máxima de saída e melhorar o casamento de impedâncias entre os estágios PPA e de potência.

De acordo com Jose et al (2005) usando-se redes de realimentação paralelas é possível fazer um melhor casamento na entrada e na saída de um estágio de

amplificação e retirar os picos citados. Além disso, essas redes *feedback* aumentam a estabilidade do PA e melhoram a curva de ganho para se tornar mais plana. Tal artigo também apresenta o modelo utilizado como referência para implementar a rede de realimentação paralela neste trabalho, que tem como resultado um casamento de banda larga. Os valores da resistência e da capacitância usados na rede de *feedback* foram selecionados para minimizar o pico relatado em uma frequência específica.

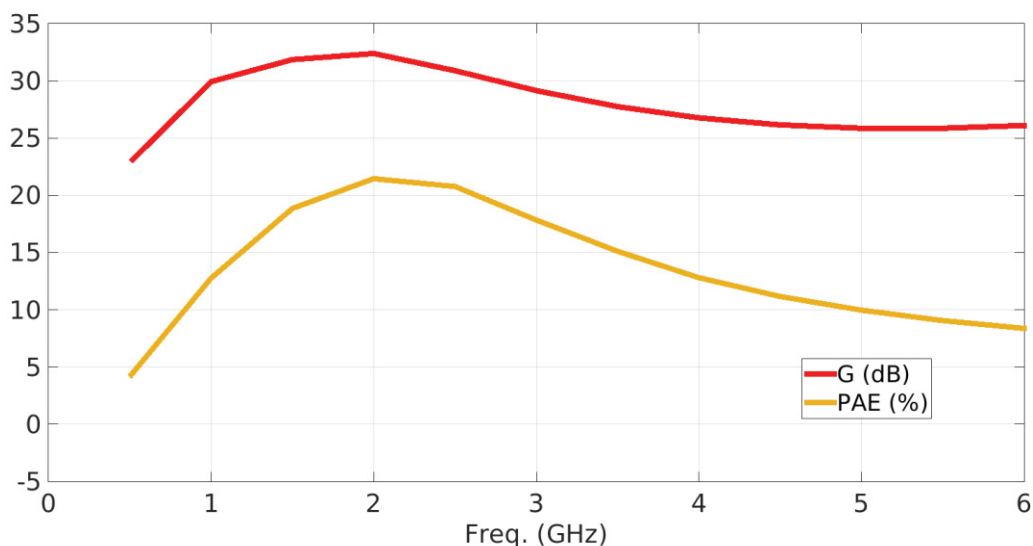


Figura 3-29 – Curvas de ganho G e PAE com picos em 2 GHz.

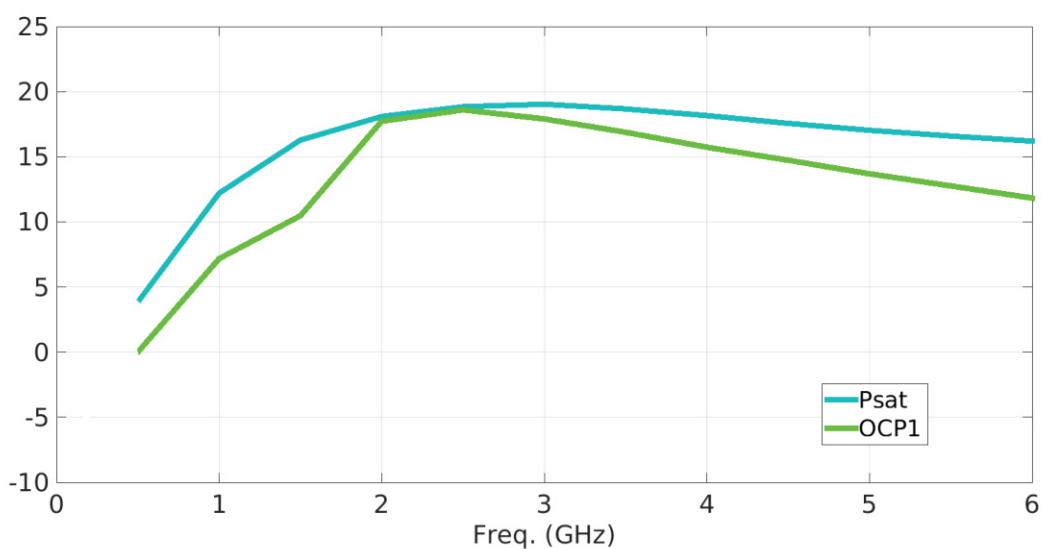


Figura 3-30 – Curvas de potência P_{sat} e OCP_1 com pico em torno dos 2 GHz.

$$\frac{1}{Z_{eq}} = \frac{1}{Z_{R4-C7}} + \frac{1}{Z_{R5-C8}} \Omega \quad (3.6)$$

Se isolarmos Z_{eq} teremos a expressão resultante:

$$Z_{eq} = \frac{\omega^2 \cdot C_7 \cdot C_8 \cdot R_4 \cdot R_5 - j\omega \cdot (R_4 \cdot C_7 + R_5 \cdot C_8) - 1}{\omega^2 \cdot C_7 \cdot C_8 \cdot (R_4 + R_5) - j\omega \cdot (C_7 + C_8)} \Omega \quad (3.7)$$

O denominador aponta para os polos de Z_{eq} , simplificando por $j\omega$ esta parte e igualando a zero teremos:

$$-j\omega \cdot C_7 \cdot C_8 \cdot (R_4 + R_5) - (C_7 + C_8) = 0 \Omega \quad (3.8)$$

Isolando ω e substituindo por $2\pi f$ obtém-se a frequência em (2.9):

$$f = \frac{C_7 + C_8}{2\pi \cdot C_7 \cdot C_8 \cdot (R_4 + R_5)} \text{ Hz} \quad (3.9)$$

Finalmente substituindo os valores obtemos a frequência do polo em 2,035 GHz, que é a frequência onde ocorre a atenuação máxima dessa rede. O desempenho final em termos de esquemático do PA, com a inclusão das redes de realimentação é mostrado no capítulo 4.

A Figura 3-32 mostra o circuito finalizado nesta etapa de esquemático: o PA com os dois estágios implementados, os circuitos auxiliares do PA, como fontes de polarização e redes de casamento de impedância (entrada e saída).

Existe um certo grau de complexidade por haver 6 fontes de tensão para o funcionamento do circuito, mas as fontes de alimentação onde se drenará a maior potência serão aquelas que alimentam os estágios que são V_{dd1} e V_{dd2} . As tensões de polarização V_{bias1} e V_{bias2} , de corpo V_{body} e de poço V_{well} vão fornecer uma corrente pequena em nível de sinal, não se necessitando de fontes de alta potência, o que minimizaria as dimensões de uma fonte externa em PCB.

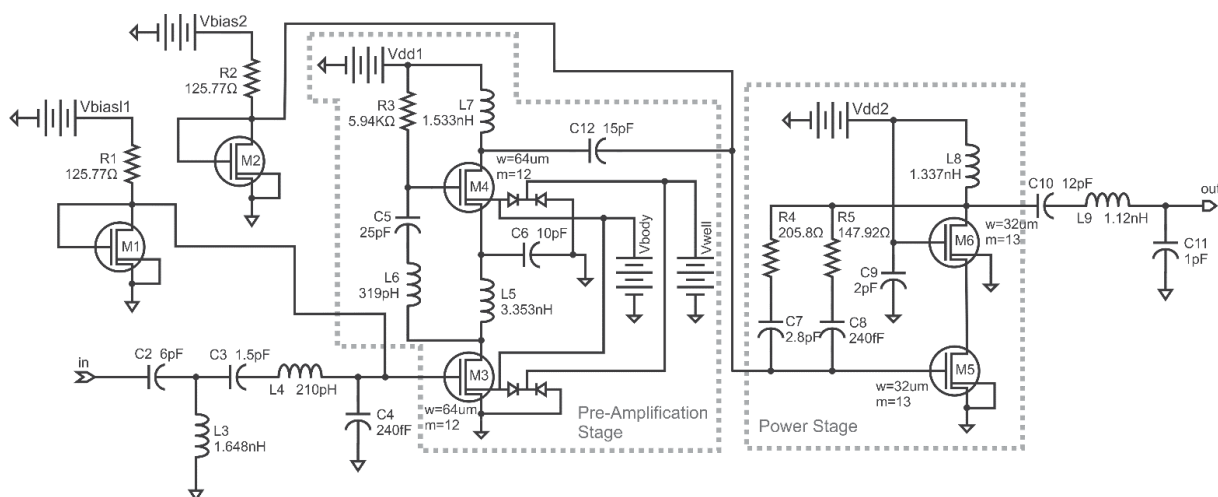


Figura 3-32 – Circuito finalizado da etapa de esquemático.

3.10 LAYOUT

Com o circuito esquemático definido, gerou-se o *netlist* e foram inseridos os componentes do esquemático em forma de componentes de layout, que são objetos com máscaras de poços, camadas e terminais, conforme a biblioteca de RF fornecida pela *foundry*.

Graficamente, a ferramenta mostrou os componentes onde seus terminais estavam conectados por linhas, formando-se nós e ramos do circuito.

Inicialmente, fez-se o roteamento das linhas do circuito em forma de trilhas. Nestas trilhas se priorizou a melhor rota de forma a ser mais curta possível, visando deixar os componentes agrupados o mais próximo possível.

Como é um PA, buscou-se fazer as trilhas o mais largo possível de forma a escoar o máximo de corrente. Além de trilhas largas, ainda se fez o sanduiche de trilhas, replicar a mesma trilha em outras camadas de metal e utilizar vias para interligá-las, de forma a permitir maior condução corrente.

As camadas mais acima têm os metais mais condutivos, que também estão nos componentes indutores e capacitores. Quanto mais camadas abaixo, menos condutivos se tornam os metais.

Após a realização do layout, é feita a checagem de erros mediante testes DRC que determinaram o quanto os componentes podem estar próximos um do outro. Detectaram a formação de antenas pelas trilhas longas que exigiram quebras e emendas. Se houve necessidade de componentes subc, para que se interliguem as

camadas de metal ao substrato. Isto foi exigido em conexões de transistores, capacitores e indutores.

A proteção contra descargas eletrostáticas ESD começa a ser exigida, no momento em que se acrescentam componentes *pads*. Isto é necessário, visto que o *pad* é a conexão do CI ao mundo externo. Para esta necessidade, foram introduzidos diodos *schottky* de rápida comutação na porta dos transistores *common-source* dos cascodes, tanto no estágio de pré-amplificação como no de potência, tais diodos foram provenientes da biblioteca de ESD da *foundry*.

Em seguida fizeram-se os testes LVS para verificação das ligações das trilhas, buscando circuitos em curto ou abertos. Comparou-se os componentes no esquemático com os modelos. E foram extraídos os componentes parasitas, provindos da construção das trilhas, da dimensão real dos capacitores e indutores, de forma a se ter um modelo próximo do real para simulações, estas agora do tipo pós-layout.

Aqui começam os laços de projeto do layout, iterativamente serão feitas simulações para observar as perdas, decorrentes do roteamento e de componentes vindos da extração de parasitas. Terminada a primeira tentativa de layout, procedeu-se as simulações HB e se observou uma queda acentuada nos parâmetros de desempenho, utilizando o setup que veio da fase de esquemático.

Para se comparar de modo rápido alguma alteração de comportamento entre o layout e o esquemático, fez-se a análise para pequenos sinais (Boshnakov 2015), onde se observou que o isolamento de entrada indicado pelo parâmetro S_{11} teve uma piora subindo acima dos -10 dB na região dos 3 GHz formando um pico conforme Figura 3-33. Inicialmente, uma simples rede *L-match* sintonizada em 2 GHz era o suficiente para se ter o isolamento requerido.

Mediu-se novamente a impedância de entrada do PPA e tentou-se encontrar um novo casamento com a rede simples, via análise de sensibilidade variando-se a frequência de casamento junto a impedância do PPA e não foi possível utilizar essa solução de simples.

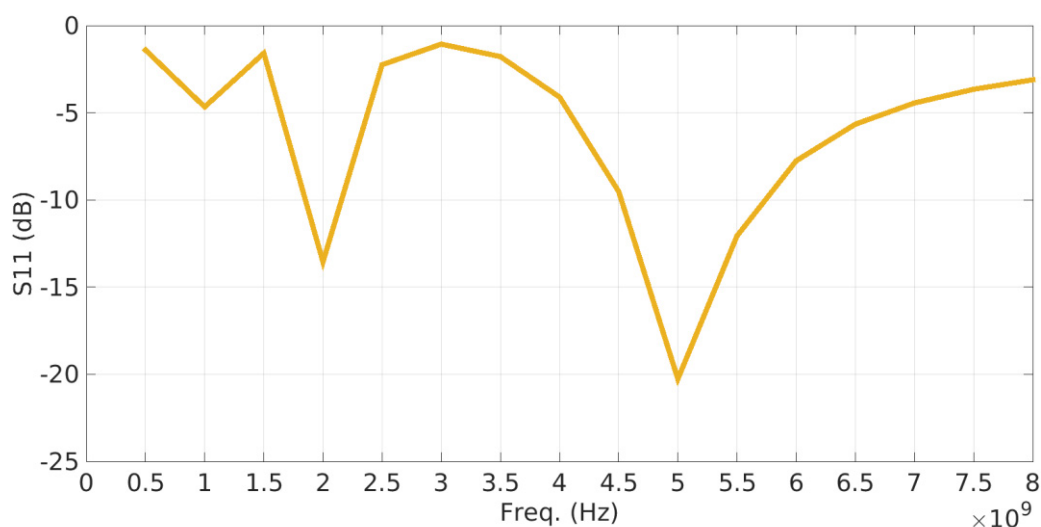


Figura 3-33 – Gráfico do parâmetro de espalhamento S_{11} em termos de layout.

Foi necessário adequar o filtro Butterworth citado na etapa de esquemático, além de ser necessário fazer uma análise de sensibilidade quanto a ordem do filtro. Somente na sétima ordem conseguiu se superar o problema de isolamento, assim o parâmetro S_{11} ficou abaixo dos -10 dB por toda a banda de operação requerida para o PA.

Como a banda especificada iniciava em 2 GHz, optou-se por configurar o filtro para passa-alta naquela frequência. O cálculo dos valores de indutores e capacitores do filtro foi realizado com a ferramenta *on-line* Calculatoredge (2020). O esquemático do filtro calculado é mostrado na Figura 3-34. Os valores obtidos dos componentes são mostrados na Tabela 3-7.

Os valores dos parâmetros de entrada pedidos para cálculo foram:

- Frequência de corte = 2.000 MHz
- Impedância $Z_0 = 50 \Omega$
- Número de componentes = 7

Componente	Valor
C1	3,5762 pF
C2	883,2433 fF
C3	883,2433 fF
C4	3,5762 pF
L1	3,1908 nH
L2	1,9894 nH
L3	3,1908 nH

Tabela 3-7 – Valores calculados dos componentes do filtro

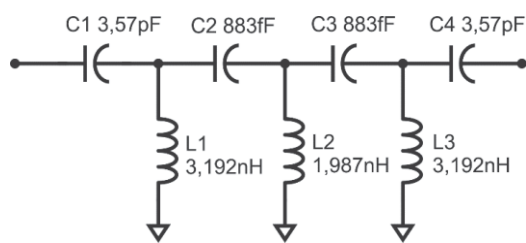


Figura 3-34 – Esquemático de filtro Butterworth projetado e componentes com os valores reais disponíveis.

Outros parâmetros de desempenho também sofreram redução, os valores generosos de P_{sat} e OCP_1 desabaram quase 50% em valores em dBm. Para se resolver isto, optou-se por outra análise de sensibilidade: foi escolhida a nova tensão para V_{dd1} igual a 1,6 V e um nova tensão para V_{dd2} igual a 2,5 V. Como foi observado na fase de esquemático, a elevação de tensão melhorou os parâmetros de desempenho.

A Figura 3-35 mostra o esquemático final após os ajustes na fase de layout. A Figura 3-36 apresenta o layout do CI completo que teve as dimensões finais de 2168,99 μm x 1205,88 μm (2,17 mm x 1,21 mm).

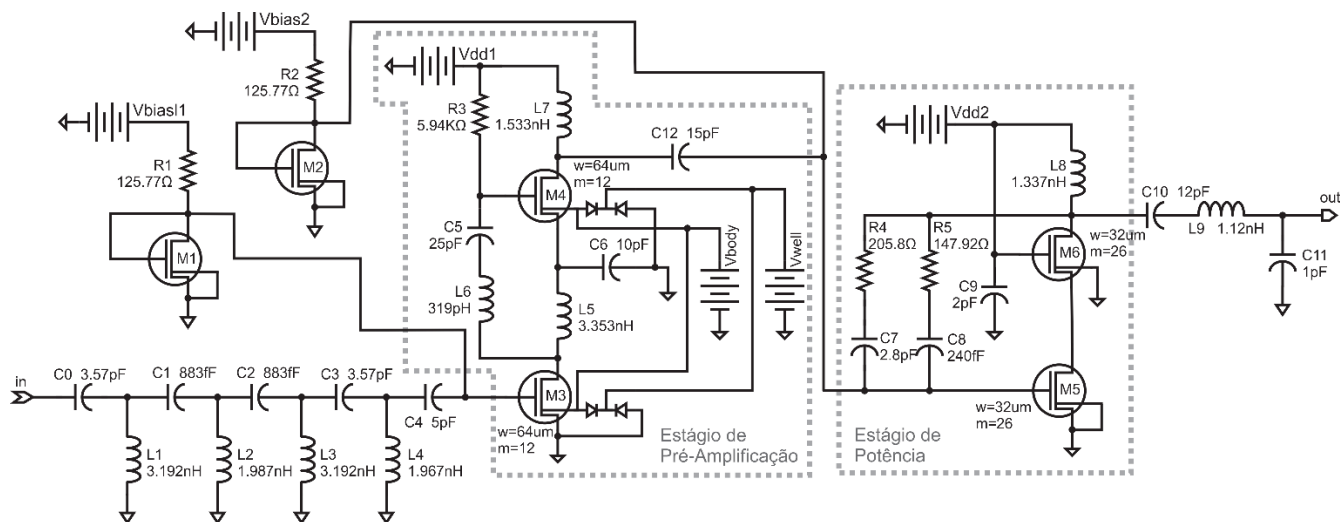


Figura 3-35 – Esquemático do PA após ajustes no layout.

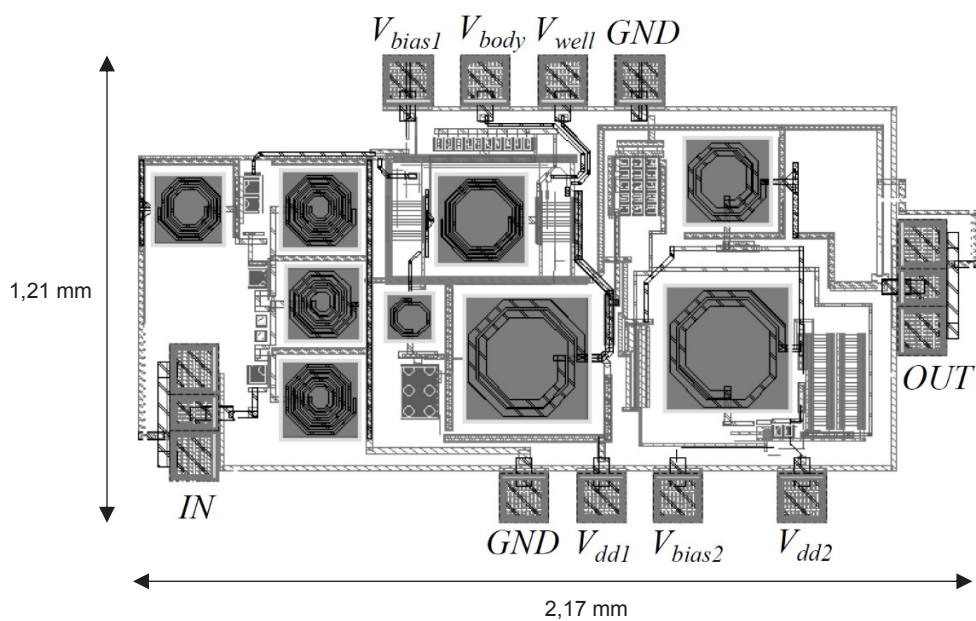


Figura 3-36 – Layout de CI do PA projetado.

4 RESULTADOS E DISCUSSÕES

Neste capítulo são apresentados os resultados do PA desenvolvido e comparados com o estado da arte e as discussões estão contextualizadas com a literatura.

4.1 SIMULAÇÕES DE ESQUEMÁTICO

Conforme visto na Figura 4-1, no desenvolvimento do esquemático foram observados os desempenhos em função da análise de pequenos sinais e de grandes sinais. O parâmetro de espalhamento S_{11} permaneceu abaixo dos -10 dB para uma boa faixa de frequências entre 2,2 GHz a 4,5 GHz.

Mostrada na Figura 4-2, a estabilidade verificada pelo valor do parâmetro μ citado no item 3.6 onde se fez o estudo do efeito da multiplicidade de transistores, ficou acima do valor unitário, na faixa simulada entre 100 Hz e 8 GHz, e não se alterou com a inclusão do filtro na rede de casamento de entrada.

Visualizado na Figura 4-3, em simulação de esquemático, o ganho máximo de potência ficou acima de 15 dB na faixa de frequência entre 1,8 GHz a 6,5 GHz. Chegando a um pico de 23,2 dB em 3 GHz, ficando acima dos 20 dB entre 2,2 GHz a 4,5 GHz. A IEEE Std 802.11ac-2013 usando 5 GHz tem sua banda na verdade até a frequência de 5,8 GHz, e nessa parte da frequência embora se perca desempenho, o ganho continuou acima dos 15 dB.

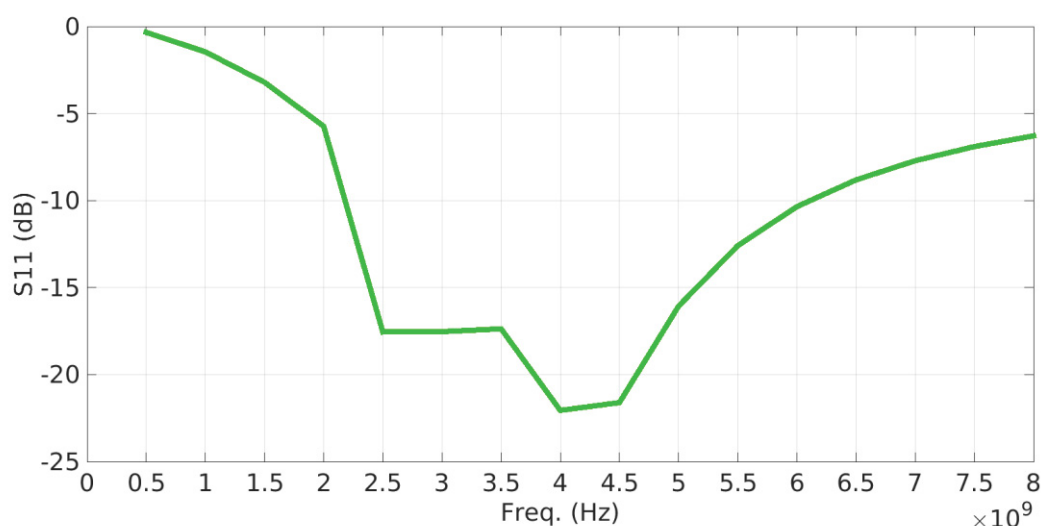


Figura 4-1 – Gráfico do parâmetro de espalhamento S_{11} em termos de esquemático.

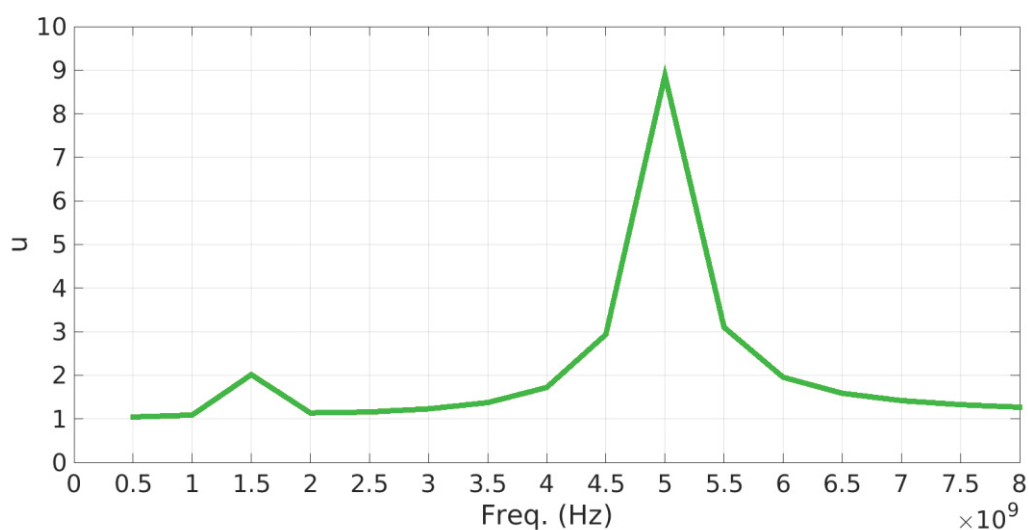


Figura 4-2 – Gráfico da estabilidade u em termos de esquemático.

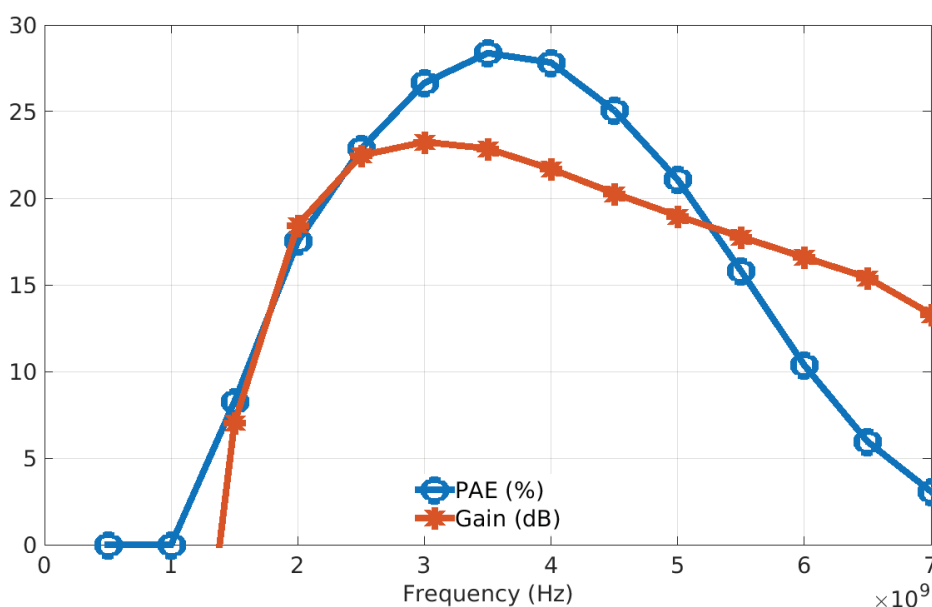


Figura 4-3 – Valores de PAE e ganho máximo de potência em termos de esquemático.

A eficiência PAE atingiu um pico de 28,3% em 3,5 GHz e ficou acima de 20% na faixa de frequência entre 2,2 GHz a 5,1 GHz.

A Figura 4-4 mostra que a linearidade do PA na faixa entre 1,5 GHz a 5,5 GHz foi boa, visto que a diferença entre a potência P_{sat} e o ponto de compressão OCP_1 ficou menor que 2 dBm. Também nessa faixa, a potência P_{sat} se manteve acima dos 17 dBm exigidos na especificação chegando a 22,5 dBm em 3,5 GHz.

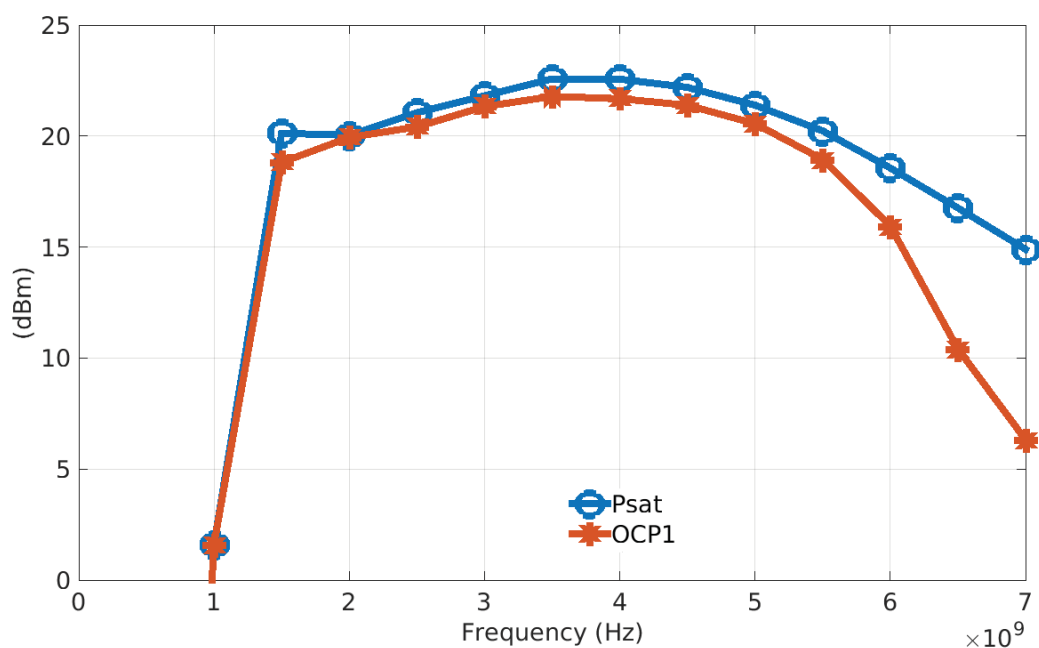


Figura 4-4 – Valores de potência P_{sat} e OCP_1 em termos de esquemático.

4.2 SIMULAÇÕES DE PÓS-LAYOUT

Ao se finalizar a etapa de layout foi realizada a extração dos componentes parasitas, para se realizar a simulação de pós-layout depois de finalizado conforme o circuito apresentado na Figura 3-36.

A Figura 4-5 mostra o parâmetro de espalhamento S_{11} em simulação pós-layout do PA deste trabalho, onde a faixa de 2,2 GHz a 4,5 GHz continuou com o bom isolamento de entrada quando em esquemático, com a adição do filtro citado, ficando abaixo dos -10 dB. O degrau abrupto entre 2 GHz e 2,5 GHz indica a eficiência do filtro, que em termos de simulação de esquemático também é visto na Figura 3-11 do item 3.6 do estudo de multiplicidade de transistores, e que ainda se manteve após a realização do layout e sujeito ao efeito dos componentes parasitas.

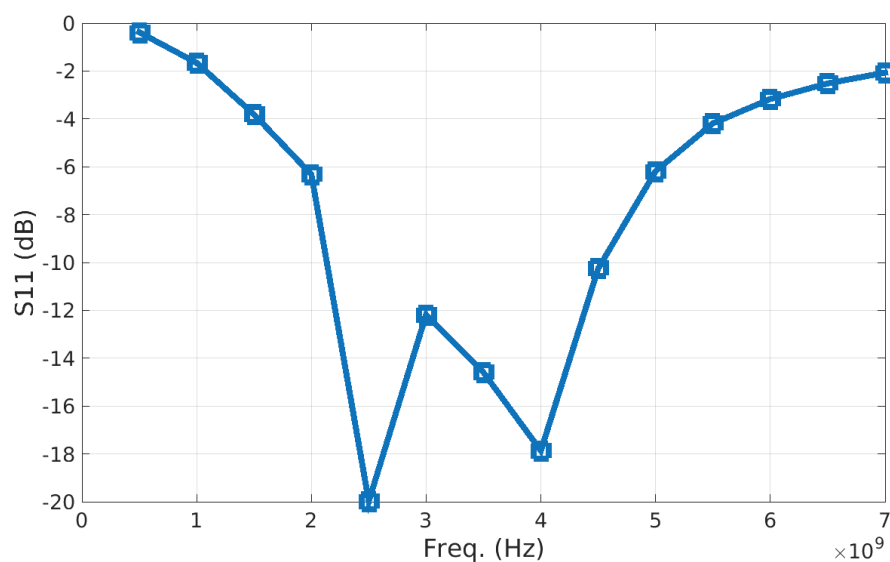


Figura 4-5 – Isolamento de entrada analisado em termos de parâmetro S_{11} .

A Figura 4-6 mostra que, em simulação de pós-layout, o ganho máximo de potência ficou acima de 15 dB na faixa de frequência entre 2 GHz a 5 GHz. Chegando a um pico de 20,9 dB em 3 GHz, ficando acima dos 20 dB entre 2,5 GHz a 3,2 GHz.

A eficiência PAE atingiu um pico de 22,4% em 2,5 GHz e ficou acima de 20% na faixa de frequência entre 2,4 GHz a 3,4 GHz.

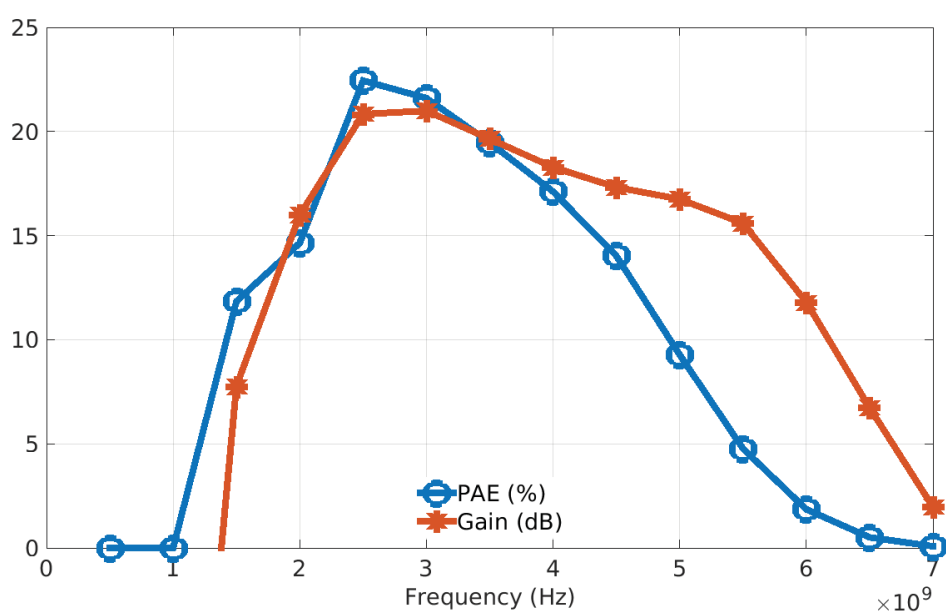


Figura 4-6 – Valores de PAE e ganho máximo de potência em pós-layout.

A Figura 4-7 mostra uma linearidade do PA na faixa entre 1,5 GHz a 4,5 GHz, o que é bom, visto que a diferença entre a potência P_{sat} e o ponto de compressão OCP_1 ficou menor que 2 dBm. Também nessa faixa, a potência P_{sat} se manteve acima dos 17 dBm exigidos na especificação chegando a 21,6 dBm em 3 GHz.

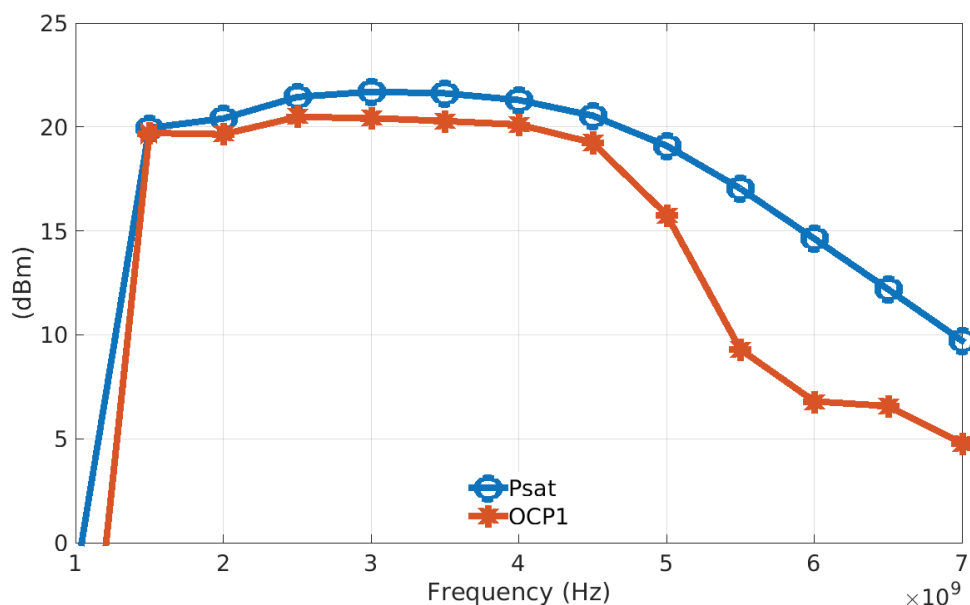


Figura 4-7 – Valores de potência P_{sat} e OCP_1 em termos de pós-layout.

4.3 COMPARATIVOS

Os valores de desempenho obtidos na simulação de esquemático tiveram uma degradação ao se realizar o layout. O isolamento de entrada teve de ser melhorado pelo acréscimo de um filtro na rede de casamento de entrada como já citado.

Além disso, para atender aos critérios de proteção contra descargas eletrostáticas (ESD) tiveram de ser acrescentados diodos de proteção (*clamp*) nas portas dos transistores dos dois estágios do PA proposto. Também foi necessário acrescentar *pads* aos terminais dos sinais de entrada, saída, alimentação, polarização e GND.

A Figura 4-8 mostra em traço pontilhado o comportamento em esquemático da eficiência PAE e do ganho máximo de potência, versus os mesmos parâmetros em simulação pós-layout em linha contínua.

A degradação dos parâmetros ocorre em amplitude e fica mais pronunciada a partir da frequência de 2,5 GHz. A atuação dos componentes parasitas altera a impedância total do PA e responde em altas frequências.

A linearidade sofre degradação a partir da frequência de 3 GHz, diminuindo consideravelmente depois dos 4,5 GHz. Mesmo com a atuação dos componentes parasitas, a linearidade se manteve numa ampla faixa de frequência entre 1,5 GHz a 4,5 GHz. Isto é visto na Figura 4-9.

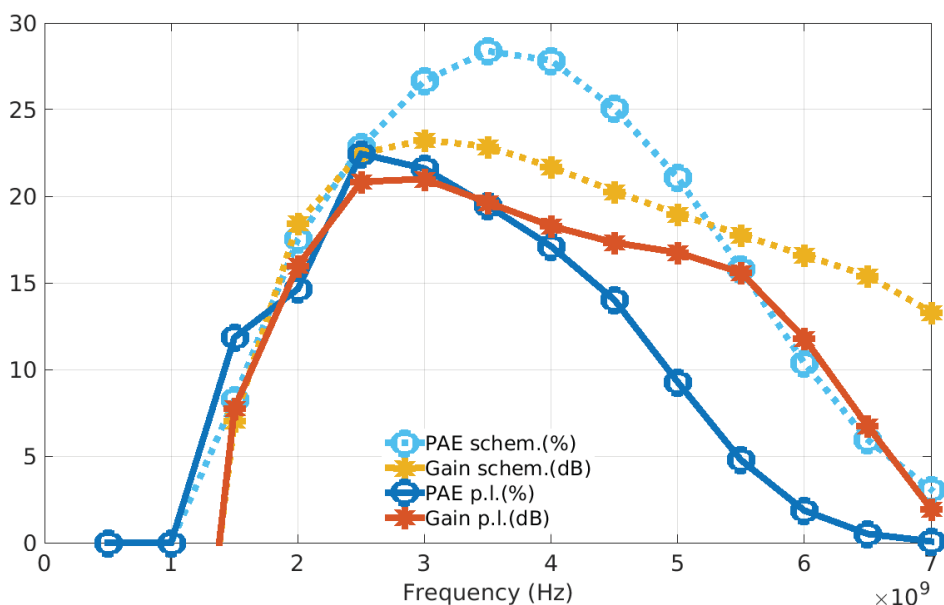


Figura 4-8 – Comparativo para PAE e ganho entre simulação esquemático e de pós-layout.

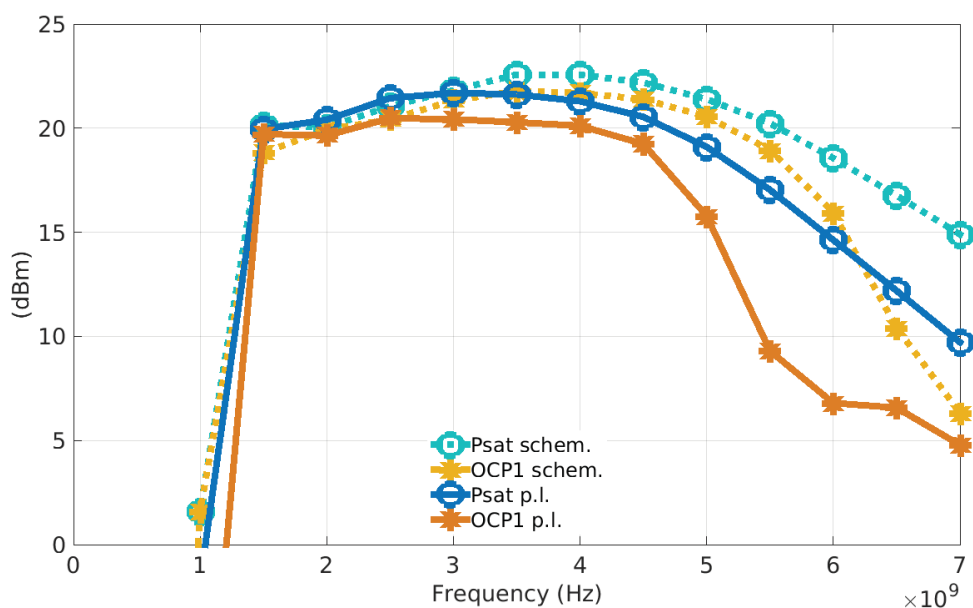


Figura 4-9 – Comparativo para potência P_{sat} e OCP_1 entre simulação esquemático e de pós-layout.

Na etapa de layout, após se extrair os componentes parasitas houve degradação nos parâmetros de desempenho. Para se alcançar de volta os valores ótimos dos parâmetros de desempenho em esquemático foram utilizadas as técnicas: substituição de transistores convencionais por *triple-well*; polarização de corpo, separação da tensão de alimentação para cada estágio, e ajuste dessas tensões.

4.4 TESTES COM SINAL MODULADO

Após as simulações pós-layout, utilizando o mesmo circuito roteado que leva em conta o efeito dos componentes parasitas, executou-se a etapa de testes com sinal modulado, onde as simulações foram realizadas no Cadence Spectre RF usando-se a sua análise de envoltório, com fontes LTE, IEEE Std 802.11n-2009 e IEEE Std 802.11ac-2013 sob um sinal de 5 harmônicos aplicado no circuito pós-layout, sendo a saída da fonte de modulação digital configurada para os níveis de potência de sinal de entrada em -15 dBm, -10 dBm e -5 dBm, valores compreendidos para que a potência máxima de saída não ultrapasse as normas citadas.

A não-linearidade da banda de base e dos blocos transmissores foi modelada pela relação sinal-ruído (SNR) definida em 62 dB, supondo que os ruídos adicionados pelo mixer, modulador I-Q e filtro passa-baixa (LPF) são desprezíveis, e apenas devido ao conversor digital-analógico (DAC). Os valores máximos de EVM e ACPR a serem comparados foram definidos pelos padrões de comunicação testados.

As transmissões 5G sub-6 GHz utilizaram o padrão LTE para comunicação móvel, com uma alta taxa de transmissão de dados. As frequências testadas estão na faixa de 2 GHz a 5 GHz, onde os valores abaixo de 6 GHz são banda de compatibilidade do 5G com o LTE. A frequência portadora utilizada foi de 3,5 GHz. As transmissões dos terminais móveis para as estações-base usaram 64 QAM.

Os gráficos gerados de PSD, representam a medida do conteúdo de potência do sinal testado versus frequência. Foi usado para caracterizar a transmissão de sinais aleatórios de banda larga. A amplitude do PSD foi normalizada pela resolução espectral empregada para digitalizar o sinal.

A Figura 4-10 mostra o gráfico PSD, a máscara de emissão do padrão LTE e uma largura de banda de 120 MHz. A norma 3GPP requer um EVM máximo de 8% em largura de banda de 20 MHz, e segundo ela, o valor de ACPR mínimo para LTE não deve ultrapassar -22,5 dB. Nesta figura, é possível observar a máscara do espectro de transmissão LTE especificada pelo padrão 3GPP, em que diferentes

frequências da mesma frequência podem ser utilizadas para *uplink* e *downlink*. A máscara espectral especifica o limite permitido, e acomoda os sinais das potências de saída de 5,37 dBm; 10,28 dBm e 14,95 dBm. A ideia aqui é verificar que o sinal de origem não ultrapasse os limites da máscara, caso isto ocorrer a origem estaria chegando no destino com efeitos de interferências inter-simbólicas, dentro e fora da banda. Ao observar a figura citada, notamos que os sinais de saída pós-layout analisados para três valores diferentes de potência injetadas já informadas, permaneceram nos limites que a máscara LTE estabelece. Percebemos que para os valores simulados, a potência de saída máxima de saída ficou abaixo da norma LTE de 20 dBm. Por outro lado, o diagrama de constelação mostrado na Figura 4-11, em que o PA proposto teve um EVM médio abaixo dos 8% para a banda testada, manteve um ACPR menor que -34 dB, demonstrando o cumprimento também da norma utilizada.

Segundo IEEE Std 802.11n-2009 e IEEE Std 802.11ac-2013 para sistemas baseados nesses padrões, a potência máxima de saída no transmissor é de 20 dBm para condições de um sinal OFDM com modulação de 64-QAM, isto demonstra que os valores obtidos na simulação estão de acordo com especificações da norma. A Figura 4-12 mostra o gráfico PSD em que o sinal IEEE Std 802.11n-2009 transmitido a 2,4 GHz está dentro da máscara de emissão padrão para essa frequência. Tal padrão também define que é necessário um EVM máximo de 4%. A constelação mostrada na Figura 4-13 apresentou os valores de EVM igual 3,97% e ACPR de -31,59 dB aplicando-se -10 dBm como sinal de entrada. Na Tabela 4-1, podemos notar que o valor da potência de saída para esse caso foi de 9,11 dBm, permanecendo dentro dos valores permitidos pela norma. Acima desse valor de potência de entrada, as métricas estariam fora da norma, por consequência o sinal de saída estaria sendo distorcido.

Para o sinal IEEE Std 802.11ac-2013 transmitido a 5 GHz a Figura 4-14 mostra o gráfico PSD em que sinais de entrada com potência abaixo dos -15 dBm estão dentro da máscara de emissão padrão. Na Figura 4-15, a constelação aponta os valores de EVM = 3,02% e ACPR = -33,24 dB. podemos notar que o valor da potência de saída para esse caso foi de 4,23 dBm, permanecendo dentro dos valores permitidos pela norma. Acima desse valor de potência de entrada, as métricas estariam fora da norma, por consequência o sinal de saída estaria sendo distorcido.

Referente a Hipótese H1 do item 1.1 motivação, afirma existir a necessidade de um dispositivo comutar a comunicação entre diversos padrões de comunicação. O

sistema de comunicação 5G em nível de rede, ao ser desdobrado no modelo OSI, das suas sete camadas de rede, duas são importantes para este teste: camada de acesso ao meio (MAC) e camada física (PHY). Sendo que os padrões IEEE 802.11n e IEEE 802.11ac também utilizam tal modelo, que é uma rede de dados de alto tráfego e que possui vários tipos de terminais: de celulares, equipamentos industriais a computadores. Nos quais, seus PAs baseados nestes padrões operam nas frequências 2,4 GHz e 5 GHz.

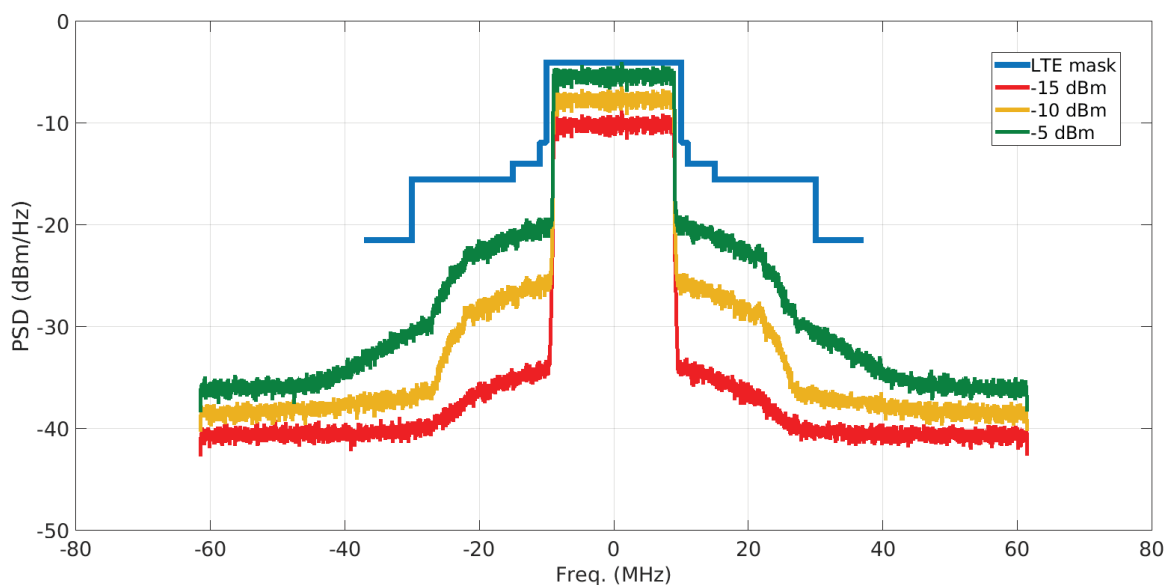


Figura 4-10 – Densidade espectral de potência com sinal LTE.

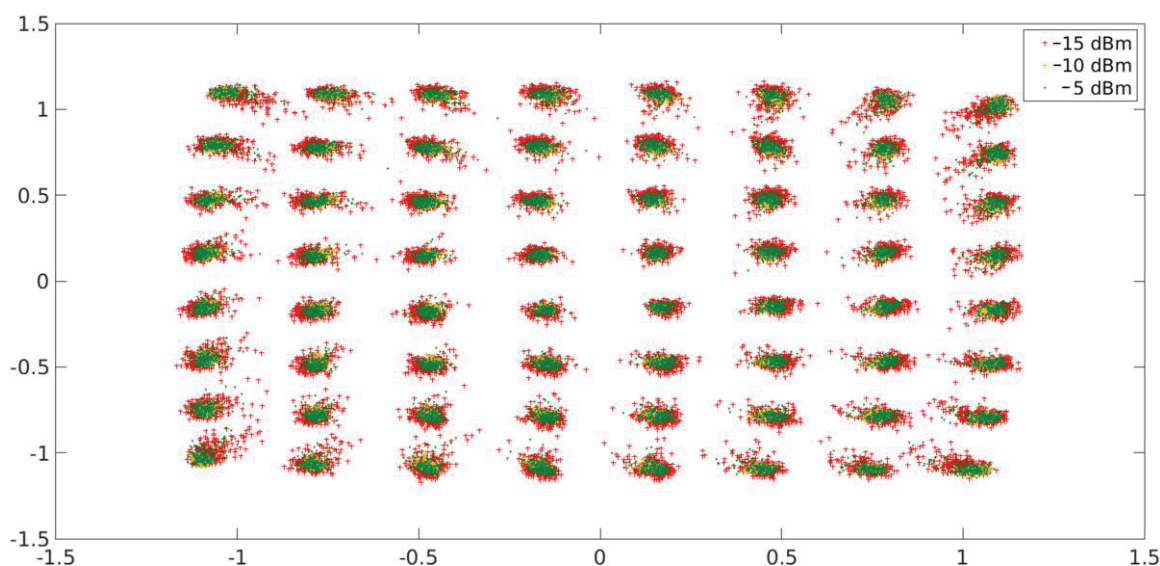


Figura 4-11 – Constelação do sinal de saída do PA em LTE.

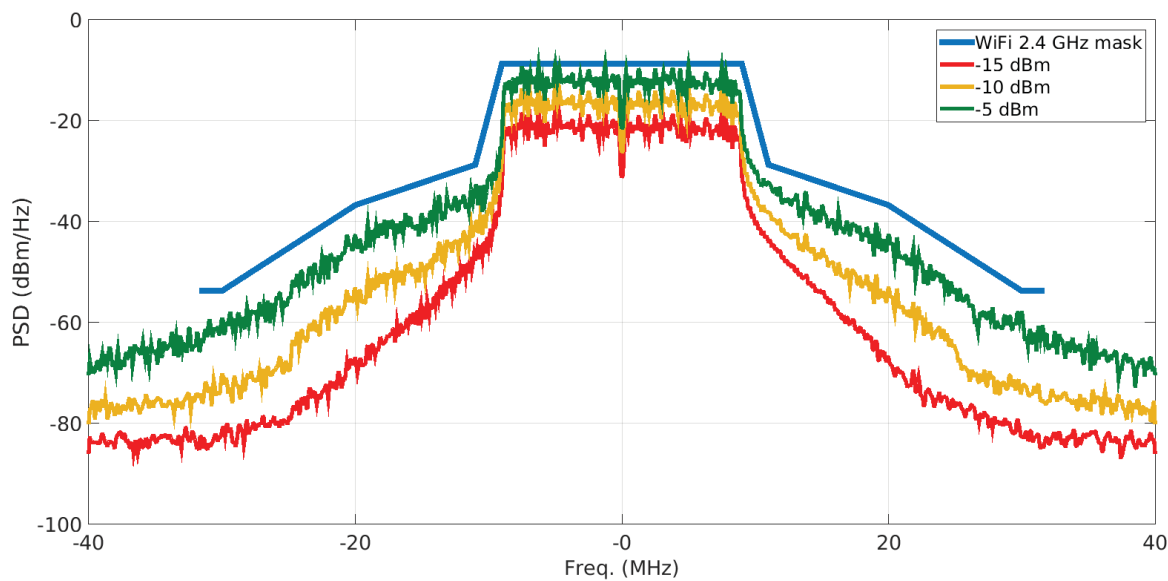


Figura 4-12 – Densidade espectral de potência com sinal IEEE Std 802.11n-2009 2.4 GHz.

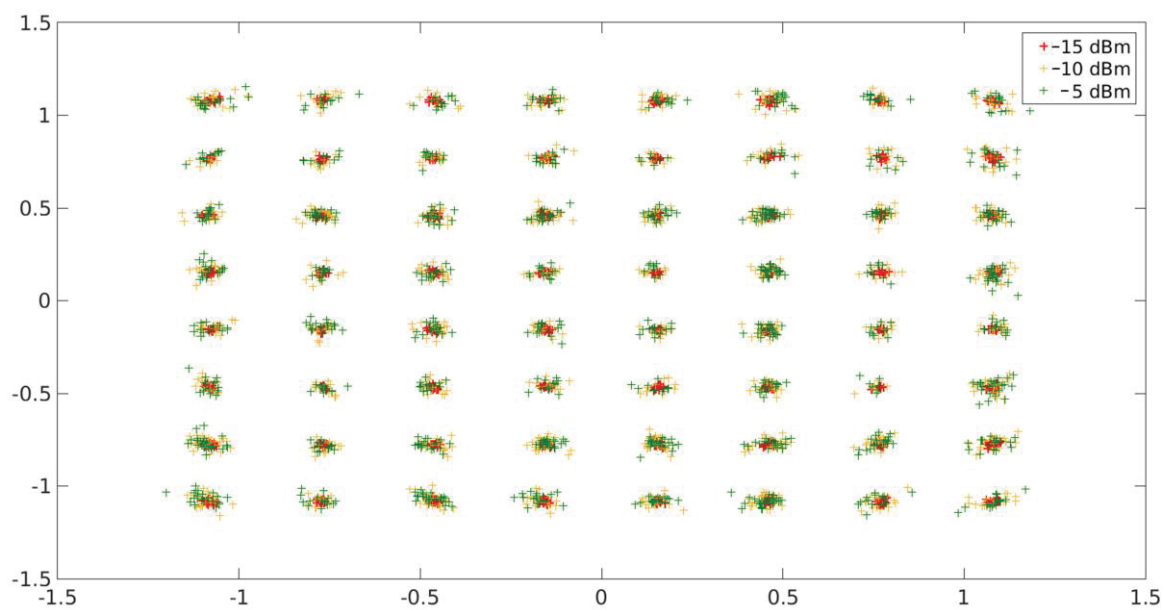


Figura 4-13 – Constelação do sinal de saída do PA em IEEE Std 802.11n-2009 2.4 GHz.

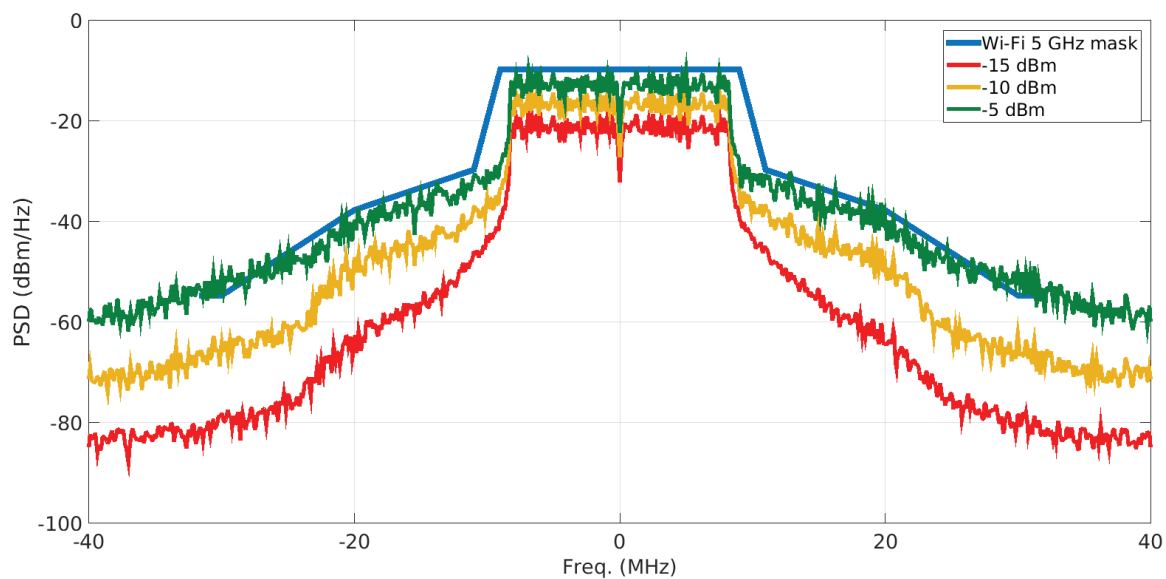


Figura 4-14 – Densidade espectral de potência com sinal IEEE Std 802.11ac-2013 5 GHz.

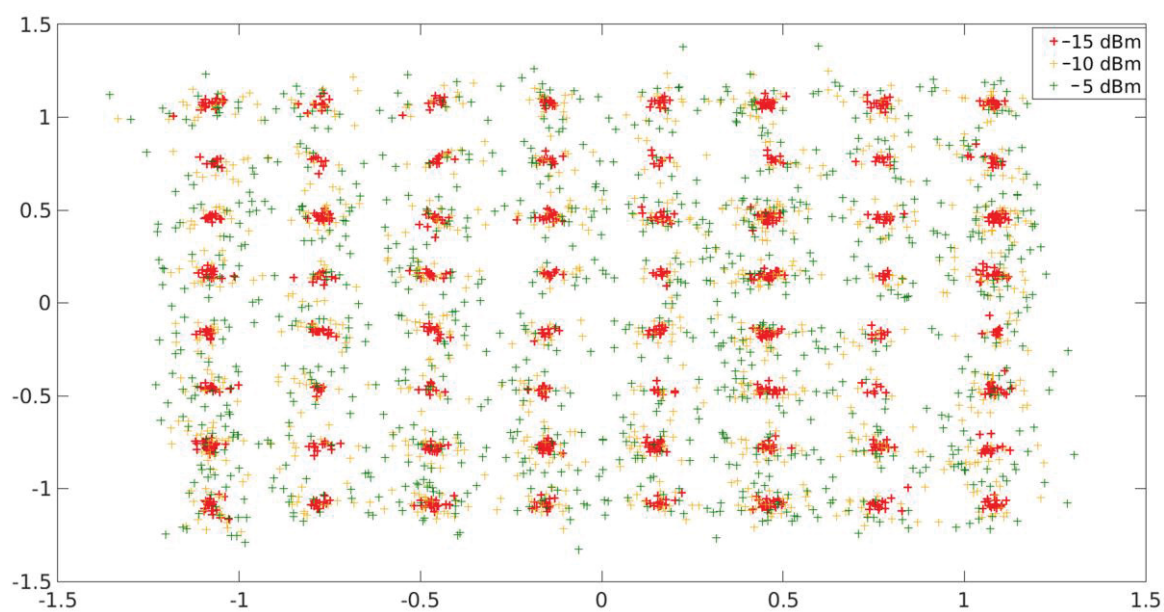


Figura 4-15 – Constelação do sinal de saída do PA em IEEE Std 802.11ac-2013 5 GHz.

Padrão do Sinal	Potência de Entrada (dBm)	Potência de Saída (dBm)	Frequência (GHz)	EVM (%)	ACPR (dB)
LTE	-15	5,37	3,5	0,55	-52,07
	-10	10,28	3,5	2,17	-40,64
	-5	14,95	3,5	4,30	-34,00
IEEE Std 802.11n-2009 2,4 GHz	-15	4,36	2,4	1,17	-33,51
	-10	9,11	2,4	3,97	-31,59
	-5	13,46	2,4	5,21	-29,86
IEEE Std 802.11ac-2013 5 GHz	-15	4,23	5	3,02	-33,24
	-10	8,77	5	9,04	-28,05
	-5	12,63	5	14,25	-24,52

Tabela 4-1 – Métricas do teste de sinal modulado

4.5 DPD E MODELAGEM COMPORTAMENTAL

O PA desenvolvido neste trabalho como modelo para modelagens comportamentais, onde se desenvolvem algoritmos de linearização, sendo uma modelagem exemplificada aqui com o uso de polinômios de memória (Morgan et al, 2006) com algoritmo de mínimos quadrados.

Como mostrado na Figura 4-9 do item 4.3 sobre comparativos de resultados de esquemático versus pós-layout, quando o esquemático é passado para o layout e se faz a extração dos componentes parasitas, para que sejam incluídos na simulação pós-layout temos uma perda da linearidade do PA e diminuição da potência de saída P_{sat} . Embora os testes de sinal modulado tratados no item 4.4 apresentem que o PA pode transmitir dentro das normas, a aplicação de um pré-distorçor digital DPD que é uma técnica de compensação dos efeitos de não-linearidade e memória, desde que o sinal não atinja a saturação do PA, melhoraria a linearidade do PA.

Segundo Liu et al (2015) o PA é um sistema não-linear visto que sua função de transferência possui sensibilidade à amplitude do seu sinal de entrada. Isto é notado no seu ganho que varia à medida que o sinal de entrada aumenta e o sinal da saída se aproxima do nível de saturação, na verdade o ganho sofre uma compressão. Acima do ponto de saturação, a saída estabiliza num valor de saturação, ou seja, o sinal de

saída fica ceifado. Próximo ao ponto de compressão, a intermodulação gerada é maior e a eficiência energética cai.

Com os algoritmos tem-se o erro no domínio do tempo entre o sinal de referência na entrada do DPD e o sinal gerado na saída do PA. Quando se reduz este erro a intermodulação no domínio da frequência também é compensada. Existe um atraso entre tais sinais, o que torna necessário um alinhamento no tempo, que é feito por correlação cruzada. Também é necessário fazer uma normalização da potência de entrada com o de saída, porque o ganho do DPD deve ser um (Wood, 2015). As amostras dos dois sinais citados, formando cada amostra uma sequência, agora podem receber o tratamento de uma regressão linear, com o método dos mínimos quadrados. Como desvantagem desse método tem-se o consumo de processamento, embora seja menos complexo de ser implementado.

A função de transferência instantânea AM-AM (Amplitude de Entrada x Amplitude de Saída) mostra como a amplitude de saída sofre um efeito (modulação) em função da amplitude do sinal de entrada. Já a função de transferência instantânea AM-PM (Amplitude de Entrada x Fase de Saída) denota o deslocamento da fase da saída em relação à entrada como dependente da amplitude do sinal de entrada.

O modelo comportamental em termos de sistema não-linear trata de uma equação que gera o sinal de saída em função do sinal de entrada junto a um conjunto de coeficientes. O modelo é tratado como um bloco e deve apenas descrever o comportamento do sistema. Então o modelo representa o sistema físico como o PA. E será de boa qualidade se o sinal de saída gerado por esse modelo for fiel, com valor o mais próximo do sinal de saída medido para um mesmo sinal de entrada. No processo de linearização, tanto o PA como o DPD são representados por modelos (Lee et al, 2006).

Neste trabalho, utilizando-se uma modelagem por polinômio de memória (MP), com algoritmos de mínimos quadrados, foram gerados as Figuras 4-16 e 4-17 onde são comparados dois tipos de valores, os marcados com o símbolo de Desejado são os de referência gerados do modelo real do PA desta tese. Os pontos marcados como Estimado são os valores gerados pelo modelo comportamental usando MP.

A Figura 4-16 mostra o gráfico da função de transferência AM-AM, onde se verifica visualmente que o ganho sofre uma compressão quando o sinal da entrada ultrapassa os 0,25 V visto que o sinal de saída tende a saturar entre 3,5 V a 4 V para um sinal em LTE 3,5 GHz. O modelo comportamental se aproxima bem do modelo real, porque os pontos de um modelo quase se sobrepõem ao do outro.

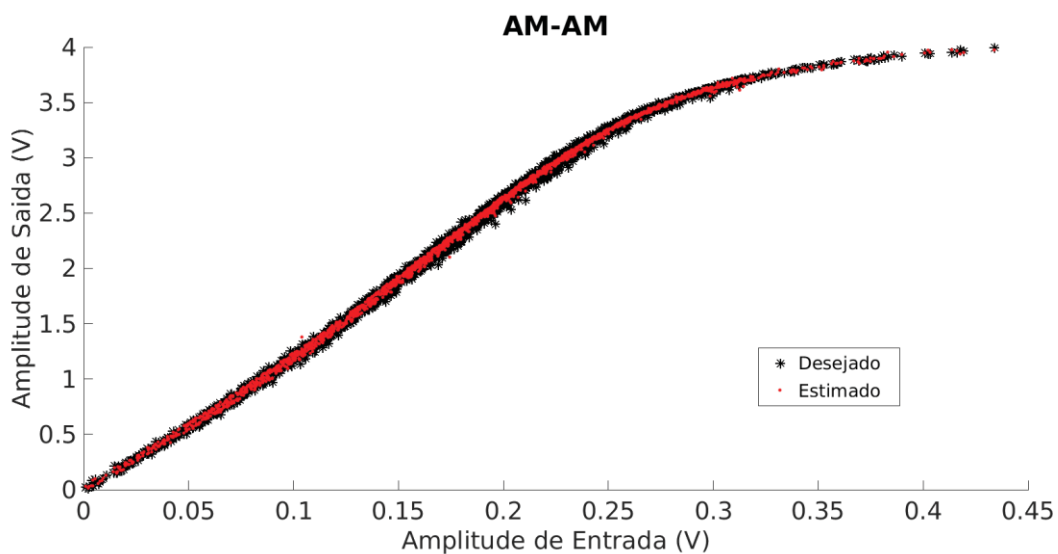


Figura 4-16 – Função de transferência instantânea Amplitude de Entrada x Amplitude de Saída para um sinal em LTE 3,5 GHz.

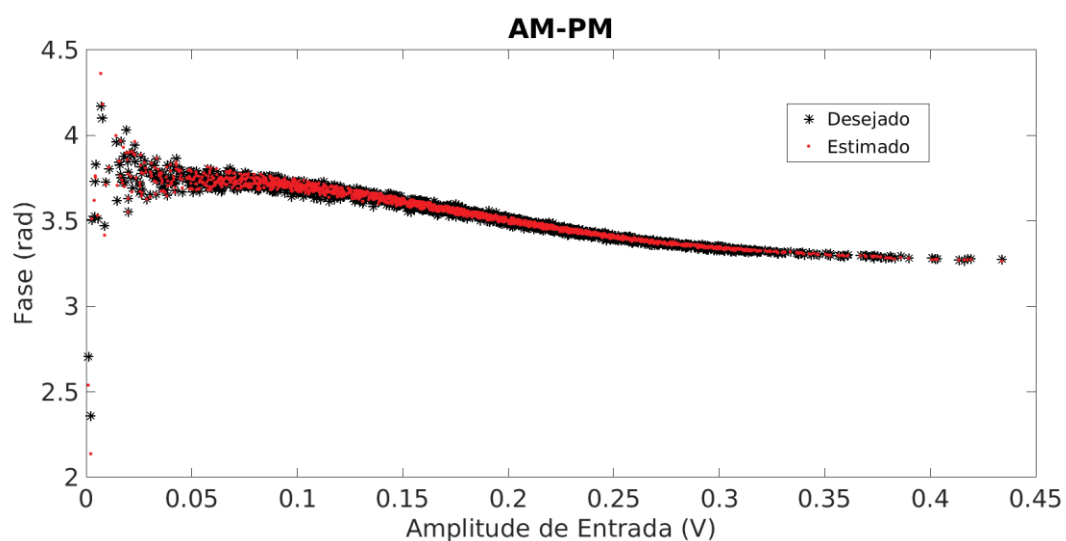


Figura 4-17 – Função de transferência instantânea Amplitude de Entrada x Fase de Saída para um sinal em LTE 3,5 GHz.

A Figura 4-17 mostra o gráfico da função de transferência AM-PM, onde se verifica que a variação do deslocamento de fase da saída ficou entre 3,25 rad e 3,75 rad para um sinal em LTE 3,5 GHz. O modelo comportamental tem um

espalhamento maior para valores de entrada menor que 0,05 V e continua fiel para valores maiores.

Os dados de origem tanto da Figura 4-16 como da Figura 4-17 provém dos valores de saída do PA projetado nesta tese, e que foram capturados na simulação do teste de sinal modulado no Cadence Spectre.

Além da modelagem é feito o processo de linearização em DPD, que está fora do escopo deste trabalho.

4.6 DAS DISCUSSÕES

Uma resposta sobre o porque da boa linearidade na faixa de 2-5 GHz do PA está relacionado com o gráfico de resistência interna R_{in} da Figura 3-10 do item 3.6 onde se fez um estudo do efeito da multiplicidade, resultado de um estudo da multiplicidade de transistores no estágio PPA, que foi ajustado para 12, o que permitiu um melhor casamento de entrada. Sendo o R_{in} desse estágio ficando entre os valores de 40 Ω a 60 Ω naquela faixa de frequência, o que dá um valor médio em torno de 50 Ω . Assim a multiplicidade foi um aspecto importante para se ter linearidade num PA banda larga.

Continuando, para se comparar o desempenho do PA proposto com o estado da arte, a Tabela 4-2 foi montada com os parâmetros de desempenho de PAs RF.

No trabalho de Murad et al (2010) um PA com reutilização de corrente, é apresentado com ganho de potência de 10,3 dB e PAE de 40,5%. O PA proposto apresentou maior ganho de potência e obteve um PAE satisfatório de 22,8%. Embora aquele trabalho afirme que seu PA era de banda larga de 2,6 GHz a 5 GHz, efetivamente o isolamento de entrada mostrado no parâmetro S_{11} limitou a banda de frequência para 4 GHz a 5 GHz. O PA proposto alcançou um bom isolamento na faixa de 2,1 GHz a 4,5 GHz, pois os valores de parâmetros S_{11} estavam abaixo de -10 dB, o que é mostrado na Figura 4-5. O OCP_1 máximo atingido por aquele trabalho foi de 8 dBm, enquanto no PA proposto foi superior a 20 dB de 1,5 GHz a 4,5 GHz.

Um PA com seis transistores empilhados citado em Chen et al (2013) foi inicialmente testado, segundo aquele autor, com uma fonte de alimentação de 7,2 V, obtendo um P_{sat} de 26,1 dBm; um valor de OCP_1 igual a 22,5 dBm e um PAE máximo de 11%. Ainda, o mesmo autor testou muitos valores de tensão de alimentação e observou que o aumento de P_{sat} e OCP_1 é diretamente proporcional ao aumento da tensão de alimentação. Mas um efeito indesejável ocorreu, a melhoria no OCP_1 e no P_{sat} sacrificou o comportamento do PAE, que diminuiu, um *trade-off* que foi levado em conta durante o projeto do PA proposto neste trabalho.

Em seguida, aquele mesmo autor continuou o experimento, e alcançou os menores valores otimizados, conseguindo reduzir a fonte para 4,5 V e mantendo os parâmetros de desempenho aceitáveis. Para o PA proposto, a redução da tensão de alimentação no estágio de potência para 3,0 V resultou em um PAE mais alto, e também ainda altos valores de P_{sat} e OCP_1 .

Comparando-se os resultados obtidos neste trabalho com os do PA de banda estreita do artigo de Patil et al (2015) que obteve um P_{sat} de 14 dBm e um OCP_1 de 10,69 dBm. O PA proposto neste trabalho, usando uma configuração da tensão de alimentação $V_{\text{dd1}} = 1,6 \text{ V}$ e $V_{\text{dd2}} = 3,0 \text{ V}$, e operando na faixa de 1,5 GHz a 4,5 GHz, mesmo sendo banda larga, atingiu uma potência P_{sat} com valores superiores a 17 dBm.

Continuando, para uma comparação com o PA em Ju et al (2017) que obteve um ganho máximo de 15,8 dB e um valor de OCP_1 de 18 dBm, este trabalho conseguiu uma curva de ganho de potência mais plana, na faixa de 2,5 GHz a 5,5 GHz, sendo este parâmetro satisfatório, estando os seus valores entre 16,2 dB e 21,4 dB, na faixa de 2 GHz a 5,5 GHz.

Finalmente, a literatura novamente foi pesquisada e pouquíssimos trabalhos relacionados a 5G sub-6 GHz foram encontrados. A maioria dos trabalhos utilizou GaN, GaAs, SiGe, que são melhores tecnologias que o CMOS, causando comparações desproporcionais. Lindstrand et al (2020) apresenta um PA de banda larga sub-6 GHz, com seu valor máximo de P_{sat} de 18,9 dBm, seu OCP_1 não é informado, seu ganho máximo de energia é de 19,4 dB, seu PAE é de 27,9% e sua fonte tensão é de 3,0 V. Este trabalho utilizou uma tensão de alimentação mais baixa e obteve um P_{sat} e OCP_1 acima desse valor, com uma boa linearidade para a faixa de frequência alvo, o ganho máximo de potência atingiu valores acima de 20 dB, com um valor aceitável de eficiência PAE acima de 20%.

Aquele autor mostrou valores promissores de ganho máximo de potência e potência P_{sat} por serem as respectivas curvas planas na faixa de 0,7 GHz a 5,9 GHz, mas o artigo não apresentou a curva de OCP_1 por frequência, necessária para se ver os valores e o comportamento dessa curva, não se podendo afirmar com certeza quão próximo os valores estão da curva de P_{sat} . O que torna a análise da linearidade daquele artigo um tanto quanto incerta.

Referência	Tecnologia	Dim. (nm)	Banda (GHz)	Ganho (dB)	PAE (%)@GHz
Harir et al (2013)	SiGe	180	7,2-10,2	22	33@8,25
Murad et al (2010)	CMOS	180	2,6-5	10,3	43@4
Chen et al (2013)	CMOS	45	6,26	--	20.5@18
Patil et al (2015)	CMOS	180	2,4	15,9	37,0
Ju et al (2018)	SiGe	130	8-11,5	15,8	53.4@10
Lindstrand et al (2020)	CMOS	65	0,7-5,9	19,4	27,9
Este Trabalho	CMOS	130	2-5	21,4	22.4@2,5

Referência	P_{sat} (dBm)	OCP_1 (dBm)	V_{dc} (V)
Harir et al (2013)	26-27,5	25,2@8,25	3,5
Murad et al (2010)	8,0	8@4	1,8 / 1,5
Chen et al (2013)	17-22	18,5@18	4,5
Patil et al (2015)	14,0	10,69	1,8
Ju et al (2018)	26,3	~18@10	3,0
Lindstrand et al (2020)	18,9	--	3,0
Este Trabalho	22,8	20	1,6 / 2,5

Tabela 4-2 – Comparação de parâmetros quantitativos

5 CONCLUSÃO

Este trabalho apresentou uma metodologia para projeto e desenvolvimento do PA sub-6 GHz 5G, capaz de transmitir em diferentes padrões de comunicação. Um estudo detalhado do estado da arte permitiu realizar uma especificação completa, com as condições iniciais de projeto, para o PA deste trabalho ter uma arquitetura, e as características propícias para operar em banda larga.

Tal metodologia em forma de fluxograma apontou as atividades e os laços de projeto onde se buscou o desempenho especificado, então desenvolveu-se os dois estágios em separado, resolvendo-se as relações de compromisso como Ganho x PAE e eficiência x linearidade, e melhorando-se o casamento de impedâncias tanto na entrada como na saída de cada estágio.

Para realizar tudo isto, solucionando-se os *dead-ends* de laços de projeto de esquemático, explorou-se as seguintes técnicas: estudo do W_{eff} , uso de multiplicidade de transistores; uso de transistores *triple-well*; assim como polarização no corpo de transistores.

A técnica de polarização de corpo proveu mais um grau de controle no projeto de *building blocks* e pôde ser usada em conjunto com as outras técnicas. O controle da tensão de limiar como consequência da aplicação de uma tensão no corpo nos transistores *triple-well* do estágio PPA permitiu encontrar um *sweet-spot* de V_{body} onde convergiram o maior valor de ganho, PAE, P_{sat} e OCP_1 , o que resultou em uma melhora na linearidade, no desempenho e no comportamento banda larga do PA.

O casamento de impedância em banda estreita para a entrada e a saída funcionaram para o nível de esquemático. Os dois estágios foram unidos, e um filtro Butterworth passa-alta de sétima ordem melhorou muito o isolamento de entrada. Mas na etapa de layout foi necessário aumentar a ordem desse filtro para continuar esse bom isolamento. Assim o bom casamento de impedância também melhorou a linearidade em toda a banda.

Para se solucionar os *dead-ends* do laço de projeto de layout, a tensão de alimentação que era unificada foi dividida para cada estágio. E os valores de tensão separados foram otimizados para se melhorar o desempenho em layout.

Finalmente o PA projetado da classe AB, operou na faixa de 2 GHz a 5 GHz, com os seguintes resultados de simulações pós-layout: um ganho de potência de 16 dB a 20,9 dB, uma potência de saturação de saída de 19,1 dBm a 21,7 dBm, um ponto de compressão de 15,8 dBm a 20,4 dBm e uma eficiência de potência adicionada de

9,28% a 22,4%. Em vez de um ponto de melhor linearidade como encontrado na literatura, este trabalho apresentou uma curva de melhor linearidade com uma boa eficiência.

Para validar esta metodologia foram realizadas simulações pós-layout e testes com sinal modulado onde se usou os parâmetros de EVM e ACPR para avaliar a linearidade, requisitos de banda e verificou que se proveu amplificação eficiente na transmissão de dados nos outros padrões de comunicação presente nas camadas físicas de rede 5G como em IEEE Std 802.11n-2009 e em IEEE Std 802.11ac-2013.

Embora o PA projetado tenha resultados em termos de simulações pós-layout, os dados de desempenho obtidos por simulação e os resultados dos testes de sinal modulado em três bandas corroboram o potencial da metodologia proposta para o projeto de PAs de banda larga.

Além disso o PA projetado foi modelo comportamental para artigos e projetos que implementem uma linearização de PAs por DPD com transmissão concorrente de sinais de múltiplos padrões de comunicação.

Assim um último *dead-end* no processo de desenvolvimento do PA, caso não alcançasse um desempenho satisfatório, poderia ser resolvido com modelagem comportamental e implementação de linearização por DPD (fora do escopo do projeto).

5.1 TRABALHOS FUTUROS

Para dar continuidade a essa linha de pesquisa projetar um circuito de controle da tensão de corpo V_{body} aplicada nos transistores *triple-well* do estágio PPA, de modo a tornar o PA projetado reconfigurável neste quesito.

O PA projetado é modelo para outras modelagens comportamentais, auxiliando em projeto que aplicam DPD em PAs de banda larga e multi-banda (Schuartz et al, 2019).

Baseado na Figura 3-4 do item 3.1 especificação, o PA projetado poderá ser parte de um sistema de transmissão, com o acréscimo de componentes, se implementando um circuito seletor contendo diversos moduladores, para que se possa selecionar um dos padrões de comunicação que fazem parte do sistema de comunicação 5G, usando-se protocolos de alto nível propostos por (Maeder et al, 2016).

O PA também poderá operar com os vários padrões de comunicação e suas várias frequências simultaneamente, contanto que seja nos níveis de sinal de entrada nos quais os parâmetros de EVM e ACPR se mostraram satisfatórios. Futuramente, poderá transmitir múltiplos sinais em multi-banda de forma concorrente. Nos pontos em que não se atingiu aqueles parâmetros, será necessário um retrabalho do projeto e redimensionamento para alcançar esses pontos, para se garantir a potência máxima de transmissão desses padrões, dentro das bandas dessas normas. e.g. a simulação de sinais modulados, ocorrendo nos limites da banda 5,8 GHz para IEEE Std 802.11ac-2013.

5.2 ARTIGOS PUBLICADOS

Este trabalho contribuiu para os seguintes artigos publicados em *journal* qualificado:

L. Schuartz, R. G. Silva, A. T. Hara, A. A. Mariano, B. Leite, E. G. Lima. Concurrent Tri-band CMOS Power Amplifier Linearized by 3D Improved Memory Polynomial Digital Predistorter. *Circuits, Systems, and Signal Processing*. Springer, Nov. 2020. <https://doi.org/10.1007/s00034-020-01581-w>

L. Schuartz, L. B. C. Freire, A. T. Hara, A. A. Mariano, B. Leite, E. G. Lima. Modified indirect learning applied to neural network-based pre-distortion of a concurrent dual-band CMOS power amplifier. *Analog Integrated Circuits and Signal Processing*. Springer, Nov. 2020. <https://doi.org/10.1007/s10470-020-01741-7>

REFERÊNCIAS

A. Abdelhafiz, A. Kwan, O. Hammi, F. M. Ghannouchi. Digital predistortion of LTE-A power amplifiers using compressed-sampling-based unstructured pruning of Volterra series. *IEEE Trans. Microw. Theory Tech.* (2014). <https://doi.org/10.1109/TMTT.2014.2360845>

S. N. Ali, P. Agarwal, J. Baylon, D. Heo. Reconfigurable High Efficiency Power Amplifier with Tunable Coupling Coefficient Based Transformer for 5G Applications. *IEEE MTT-S International Microwave Symposium*, 2017. 08058811.pdf

C. E. M. Alvarado. Técnica de Redução de Fator de Crista Saturada Aplicada a Amplificadores de Potência Linearizados por DPD. *Dissertação:UFPR, PPGEE*, 2019.

ANATEL. Portaria Nº 542, de 26 de Março de 2019. Anatel, SAUS Quadra 06 Blocos C, E, F e H - Brasília/DF, 2019. <https://www.anatel.gov.br/>

I. Aoki, S. Kee, R. Magoon, R. Aparicio, F. Bohn, J. Zachan, G. Hatcher, D. McClymont, A. Hajimiri. A Fully-Integrated Quad-Band GSM/GPRS CMOS Power Amplifier. *IEEE Journal of Solid-State Circuits*, Vol. 43, No. 12, Dec. 2008. DOI:10.1109/JSSC.2008.2004870, 04684620.pdf

A. R. Belabad, S. A. Motamedi, S. Sharifian. A novel generalized parallel two-box structure for behavior modeling and digital predistortion of RF power amplifiers at LTE applications. *Circuits Syst. Signal Process.* (2017). <https://doi.org/10.1007/s00034-017-0700-9>

M. A. S. Bhuiyan, Y. Zijie, J. S. Yu, M. B. I. Reaz, N. I. Kamal, T. G. Chang. Active inductor based fully integrated CMOS transmit/receive switch for 2.4 GHz RF transceiver, *Anais da Academia Brasileira de Ciências* (2016) 88(2): 1089-1098, ISSN 1678-2690. <http://dx.doi.org/10.1590/0001-3765201620150123>. www.scielo.br/aabc

J. L. Bhushan, D. Malladi, R. Gilmore, D. Brenner, A. Damnjanovic, R. T. Sukhavasi, C. Patel, S. Geirhofer. Network densification: the dominant theme for wireless evolution into 5G. *IEEE Commun.Mag.* (2014). <https://doi.org/10.1109/MCOM.2014.6736747>

I. Boshnakov. PA Design Using Harmonic Balance Simulation With Only S-parameters, *Microwave Journal*, 58, Norwood, MA, Nov. 2015.

Cadence. Virtuoso Schematic Editor L and XL. Cadence Design Systems, Inc., 2020. <https://www.cadence.com/content/dam/cadence-ww/global/en_US/documents/tools/custom-ic-analog-rf-design/virtuoso-vse-fam-ds.pdf>

Calculatoredge. Butterworth Tee LC High Pass Filter Calculator, Calculatoredge 2020. <http://www.calculatoredge.com/electronics/bw%20tee%20high%20pass.htm>

N. B. D. Carvalho, J. C. Pedro. Compact Formulas to Relate ACPR and NPR to Two-Tone IMR and IIP3. *Microwave Journal*, Horizon House Publications, Inc., v. 42, n. 12, p. 70–70, 1999.

T. C. Carusone, D. A. Johns, K. W. Martin, “Analog Integrated Circuits Design”, 2nd ed. John Wiley & Sons, Danvers, 2007. ISBN 978-0-470-77010-8.

Y-T Chang, Y. Ye, C. Domier, Q. J. Gu. A Ultra-Wideband CMOS PA with Dummy Filling for Reliability. 2015 IEEE International Wireless Symposium (IWS), Shenzhen, China, Jul. 2015. DOI:10.1109/IEEE-IWS.2015.7164562, 07164562.pdf

B. Chatelain, F. Gagnon. Peak-to-average power ratio and intersymbol interference reduction by Nyquist pulse optimization. In: *IEEE 60th Vehicular Technology Conference*, 2004. VTC2004-Fall. 2004. IEEE, 2004. p. 954-958.

H. Chauhan, M. Onabajo, M. McCormick, V. Kvartenko, R. Coxe. A simulation method for design and optimization of RF power amplifiers with digital predistortion, *IEEE Dallas Circuits and Systems Conference (DCAS)*, Dallas, TX, 2015, pp. 1-4, doi: 10.1109/DCAS.2015.7356593.

J. Chen, S. R. Helmi, R. Azadegan, F. Aryanfar, S. Mohammadi. A Broadband Stacked Power Amplifier in 45-nm CMOS SOI Technology. *IEEE Journal of Solid-State Circuits*, Vol. 48, No. 11, Nov. 2013. 06583302.pdf

Y. Cho, J. Lee, S. Jin, B. Park, J. Moon, J. Kim, B. Kim. Fully Integrated CMOS Saturated Power Amplifier with Simple Digital Predistortion. *IEEE Microwave and Wireless Components Letters*, Vol.24, No.5, May 2014.

H. Chung, C. Hsu, C. Yang, K. Wei, H. Chuang. A 6-10 GHz CMOS Power Amplifier with an Inter-stage Wideband Impedance Transformer for UWB Transmitters. 38th European Microwave Conference, Amsterdam, Netherlands, Oct. 2008. DOI:10.1109/EUMC.2008.4751449, 04751449.pdf

S. C. Cripps. *RF Power Amplifiers for Wireless Communications*, 2nd ed., Artech House, Norwood, 2006. ISBN 1-59693-018-7.

F. Daryabari, A. Zahedi, A. Rezaei. Low-power ultra-wideband LNA employing CS–CD current-reuse and gain-controller resistor technique in 0.180- μm CMOS technology. *Analog Integr Circ Sig Process* 101, p. 187–199, Springer (2019). <https://doi.org/10.1007/s10470-019-01519-6>

K. Dasgupta, S. Daneshgar, C. Thakkar, J. Jaussi, B. Casper. A 26 dBm 39 GHz Power Amplifier with 26.6% PAE for 5G Applications in 28nm bulk CMOS, 2019 IEEE Radio Frequency Integrated Circuits Symposium (RFIC), Boston, MA, USA, 2019, pp. 235-238, doi: 10.1109/RFIC.2019.8701834.

S. Devi, R. Kalyan, K. R. Bindu, D. Kurup. Optimization of Digital Predistortion Models for RF Power Amplifiers Using a Modified Differential Evolution Algorithm. *AEU - International Journal of Electronics and Communications*, 124, 153323, 2020. DOI:10.1016/j.aeue.2020.153323.

F. Ellinger. *Radio Frequency Integrated Circuits and Technologies*, Springer-Verlag, Berlin, 2007. ISBN 3-540-35788-2.

EEWeb. L-Match - Impedance Matching Circuit. Electrical Engineering Community, Aspen Labs LLC, 2017. <<https://www.eeweb.com/toolbox/l-match>>

Ericsson. 5G Radio Access. Uen 284 23-3204 Rev B, Ericsson AB, Feb. 2015. <<http://www.ericsson.com/res/docs/whitepapers/wp-5g.pdf>>

Europa. What 5G is About. Europa, 2015. https://ec.europa.eu/digital-agenda/sites/digital-agenda/files/5g_joint_declaration_-_what_5g_is_about_2800px.jpg

European Commission. Towards 5G in Digital Agenda for Europe - A Europe 2020 Initiative. European Commission, Jun. 2015. <<http://ec.europa.eu/digital-agenda/en/towards-5g>>

F.M. Ghannouchi, O. Hammi, M. Helaoui. Behavioral Modeling and Predistortion of Wideband Wireless Transmitters, John Wiley & Sons, 2015. ISBN:978-1118-40627-4. DOI:10.1002/9781119004424.

H. Golestaneh, F. A. Malekzadeh, S. Boumaiza. An Extended-Bandwidth Three-Way Doherty Power Amplifier. IEEE Transactions on Microwave Theory and Techniques, Vol. 61, No. 9, Sep. 2013. 06576923.pdf

Gsmarena. Samsung Galaxy Note 10 5G. Gsmarena, 1 Baba Ilijca Str – 1652, Sofia, Bulgaria. https://www.gsmarena.com/samsung_galaxy_note10_5g-9789.php

E. Harir, E. Socher. 0.5W X-band SiGe PA with integrated double-tuned transformers. 2013 IEEE MTT-S International Microwave Symposium Digest (MTT), Seattle, WA, 2013, pp. 1-3, doi: 10.1109/MWSYM.2013.6697396.

M. Hassan, L. E. Larson, V. W. Leung, P. M. Asbeck. A Combined Series-Parallel Hybrid Envelope Amplifier for Envelope Tracking Mobile Terminal RF Power Amplifier Applications. IEEE Journal of Solid-State Circuits, Vol. 47, No. 5, pp. 1185–1197, May 2012.

S. Hu, S. Yu, Y. Hu, Z. Wang, B. Zhou, Z. Cai, Y. Guo. A 0.2–6 GHz linearized Darlington-cascode broadband power amplifier. *IEICE Electronics Express*, 2018, Vol. 15, Issue 8. Rel. April 25, 2018. <https://doi.org/10.1587/elex.15.20180298>

Huawei. Progress & Challenges of IMT Spectrum. Huawei Technologies Co. Ltd., 2015. <[http://congresotelecomunicaciones.org/es/presentaciones/02Progress Challenges of IMT Spectrum.pdf](http://congresotelecomunicaciones.org/es/presentaciones/02Progress%20Challenges%20of%20IMT%20Spectrum.pdf)>

T. Huber, R. Quay and W. Bösch. New Concept for Power Compression Improvement of GaN Cascodes in Broadband Power Amplifiers. *IEEE Microwave and Wireless Components Letters*, vol. 27, no. 6, pp. 590-592, June 2017, doi: 10.1109/LMWC.2017.2701303.

D. A. Humphreys, R. T. Dickerson. Traceable Measurement of Error Vector Magnitude (EVM) in WCDMA Signals. *IEEE. 2007 International Waveform Diversity and Design Conference*. [S.l.], 2007. p. 270–274.

Y. Huo, X. Dong, W. Xu, M. Yuen. Enabling Multi-Functional 5G and Beyond User Equipment: A Survey and Tutorial, *IEEE Access*, vol. 7, pp. 116975-117008, 2019, doi: 10.1109/ACCESS.2019.2936291.

IEEE. IEEE Std 802.11n-2009, Standard for Information technology - Local and metropolitan area networks - Specific requirements - Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications Amendment 5: Enhancements for Higher Throughput, 2009.

IEEE. IEEE Std 802.11ac-2013, Standard for Information technology - Telecommunications and information exchange between systems Local and metropolitan area networks - Specific requirements, Part 11: Wireless LAN Medium Access Control (MAC) and Physical Layer (PHY) Specifications Amendment 4: Enhancements for Very High Throughput for Operation in Bands below 6 GHz, 2013.

IEEE 5G. IEEE 5G and Beyond Technology Roadmap White Paper, IEEE 5G, IEEE The Institute of Electrical and Electronics Engineers, Inc., 2017. Available: <https://5g.ieee.org/images/files/pdf/ieee-5g-roadmap-white-paper.pdf>

Ifixit. Samsung Galaxy Note10+ 5G Teardown. Ifixit, 1330 Monterey St., San Luis Obispo, CA, USA, 2019. <https://pt.ifixit.com/Teardown/Samsung+Galaxy+Note10++5G+Teardown/125590>

ITU. Frequency arrangements for implementation of the terrestrial component of International Mobile Telecommunications (IMT) in the bands identified for IMT in the Radio Regulations (RR). ITU, 2015. <http://www.itu.int/dms_pubrec/itu-r/rec/m/R-REC-M.1036-5-201510-1!!PDF-E.pdf>

H. Jeon, K. S. Lee, O. Lee, K. H. An, Y. Yoon, H. Kim, D. H. Lee, J. Lee, C.-H. Lee, J. Laskar. A 40% PAE Linear CMOS Power Amplifier with Feedback Bias Technique for WCDMA Applications. Proc. IEEE RFIC Symposium, pp. 561–564, June 2010. 05477399.pdf

S. Jose, H. Lee, D. Ha, S. S. Choi. A Low-power CMOS Power Amplifier for Ultra wideband (UWB) Applications. Proceedings IEEE International Symposium on Circuits and Systems ISCAS 2005, p.5111-5114, 2005. 01465784.pdf

P. Joshi, D. Colombi, B. Thors, L. Larsson, C. Törnevik. Output Power Levels of 4G User Equipment and Implications on Realistic RF EMF Exposure Assessments, IEEE Access, Vol.5, pp.4545-4550, 2017. 07879218.pdf

I. Ju, J. D. Cressler. A Highly Efficient X-Band Inverse Class-F SiGe HBT Cascode Power Amplifier with Harmonic-tuned Wilkinson Power Combiner, IEEE Transactions on Circuits and Systems II: Express Briefs, Vol. 65, No. 11, Nov. 2018. 08057260.pdf

B. Kenington. High Linearity RF Amplifier Design, Artech House, Norwood, MA, 2000.

J. S. Kenney, P. Fedorenko. Identification of RF power amplifier memory effect origins using third-order intermodulation distortion amplitude and phase asymmetry. In: 2006 IEEE MTT-S International Microwave Symposium Digest. IEEE, 2006. p. 1121-1124.

D. Kim, D. Kang, J. Choi, J. Kim, Y. Cho, B. Kim. Optimization for Envelope Shaped Operation of Envelope Tracking Power Amplifier. IEEE Transactions on Microwave Theory Techniques, Vol. 59, No. 7, pp. 1787–1795, July 2011.

J. Kim, D. Kim, Y. Cho, D. Kang, B. Park, K. Moon, B. Kim. Analysis of Envelope-Tracking Power Amplifier Using Mathematical Modeling. *IEEE Transactions on Microwave Theory Techniques*, Vol. 62, No. 6, pp. 1352–1362, June 2014a.

W. Kim, K. S. Yang, J. Han, J. J. Chang, C. H. Lee. An EDGE/GSM Quad-Band CMOS Power Amplifier. *IEEE Journal of Solid-State Circuits*, Vol. 49, No. 10, Oct. 2014b. 06871414.pdf

S. Kousai, K. Onizuka, T. Yamaguchi, Y. Kuriyama, M. Nagaoka. A 28.3 mW PA-Closed Loop for Linearity and Efficiency Improvement Integrated in a 27.1 dBm WCDMA CMOS Power Amplifier. *IEEE Journal of Solid-State Circuits*, Vol. 47, No.12, Dec. 2012. 06334414.pdf

K. Kurokawa. Power Waves and the Scattering Matrix. *IEEE Trans. Micr. Theory & Tech.*, Mar. 1965, pp. 194-202.

A. Larie, E. Kerhervé, B. Martineau, L. Vogt, D. Belot. A 60GHz 28nm UTBB FD-SOI CMOS Reconfigurable Power Amplifier with 21% PAE, 18.2dBm P1dB and 74mW PDC. 2015 IEEE International Solid-State Circuits Conference, Feb. 2015. 07062919.pdf

B. M. Lee, R. J. P. Figueiredo. Adaptive predistorters for linearization of high-power amplifiers in OFDM wireless communications. *Circuits Syst. Signal Process.* (2006). <https://doi.org/10.1007/s00034-004-0901-x>

J. Lee, Y. Su, C. Shen. A Comparative Study of Wireless Protocols: Bluetooth, UWB, ZigBee, and Wi-Fi. *IECON 2007 - 33rd Annual Conference of the IEEE Industrial Electronics Society*, Taipei, 2007, pp. 46-51, doi: 10.1109/IECON.2007.4460126.

S. Leuschner, S. Pinarello, U. Hodel, J. Mueller, H. Klar. A 31-dBm, high ruggedness power amplifier in 65-nm standard CMOS with high-efficiency stacked-cascode stages, 2010 IEEE Radio Frequency Integrated Circuits Symposium, Anaheim, CA, 2010, pp. 395-398, doi: 10.1109/RFIC.2010.5477401.

D. Y. C. Lie, J. Tsay, T. Hall, T. Nukala and J. Lopez. High-efficiency silicon RF power amplifier design – current status and future outlook. 2016 IEEE International Symposium on Radio-Frequency Integration Technology (RFIT), Taipei, 2016, pp. 1-4, doi: 10.1109/RFIT.2016.7578181.

E. G. Lima, T. R. Cunha, H. M. Teixeira, M. Pirola, J. C. Pedro. Base-band Derived Volterra Series for Power Amplifier Modeling. In: IEEE. 2009 IEEE MTT-S International Microwave Symposium Digest. [S.l.], 2009. p. 1361–1364

J. Lindstrand, M. Törmänen, H. Sjöland. A Decade Frequency Range CMOS Power Amplifier for Sub-6-GHz Cellular Terminals. IEEE Microwave and Wireless Components Letters, vol. 30, no. 1, pp. 54-57, Jan. 2020, doi: 10.1109/LMWC.2019.2955602.

Y. Liu, W. Pan, S. Shao and Y. Tang. A General Digital Predistortion Architecture Using Constrained Feedback Bandwidth for Wideband Power Amplifiers. IEEE Transactions on Microwave Theory and Techniques, vol. 63, no. 5, pp. 1544-1555, May 2015, doi: 10.1109/TMTT.2015.2416184.

A. Maeder, A. Ali, A. Bedekar, A. F. Cattoni, D. Chandramouli, S. Chandrashekar, L. Du, M. Hesse, C. Sartori, S. Turtinen. A Scalable and Flexible Radio Access Network Architecture for Fifth Generation Mobile Networks, IEEE Communications Magazine, Vol.54, Issue:11, pp.16-23, 2016. 07744804.pdf.

J. Moreira, S. Leuschner, N. Stevanovic, H. Pretl, P. Pfann, R. Thüringer, M. Kastner, C. Pröll, A. Schwarz, F. Mrugalla, J. Saporiti, U. Basaran, A. Langer, T. D. Werth, T. Gossmann, B. Kapfelsperger, J. Pletzer. A Single-Chip HSPA Transceiver with Fully Integrated 3G CMOS Power Amplifiers. 2015 IEEE International Solid-State Circuits Conference, Feb. 2015. 07062976.pdf

D. R. Morgan, Z. Ma, J. Kim, M. G. Zierdt and J. Pastalan. A Generalized Memory Polynomial Model for Digital Predistortion of RF Power Amplifiers. IEEE Transactions on Signal Processing, vol. 54, no. 10, pp. 3852-3860, Oct. 2006, doi: 10.1109/TSP.2006.879264.

S. A. Z. Murad, R. K. Pokharel, R. Sapawi, H. Kanaya, K. Yoshida. High Efficiency, Good Linearity, and Excellent Phase Linearity of 3.1-4.8 GHz CMOS UWB PA with a Current-Reused Technique. *IEEE Transactions on Consumer Electronics*, Vol.56, Issue:3, 2010. DOI:10.1109/TCE.2010.5606253, 05606253.pdf

V. Niranjana, A. Kumar, S. B. Jain. Triple well subthreshold CMOS logic using body-bias technique. 2013 IEEE International Conference on Signal Processing, Computing and Control (ISPCC), Solan, 2013, pp. 1-6. DOI: 10.1109/ISPCC.2013.6663447

Nokia. Looking Ahead to 5G, white paper. Nokia Solutions and Networks Oy: Finland, p.5-6, 2014. <<http://networks.nokia.com/file/28771/5g-white-paper>>. Product code C401-01015-WP-201407-1-EN.

S. B. Patil, R. D. Kanphade. Design and Analysis of a 2.4 GHz Fully Integrated 1.8V Power Amplifier in TSMC I80nm CMOS RF Process for Wireless Communication. 2015 International Conference on VLSI Systems, Architecture, Technology and Applications (VLSI-SATA), 2015. 07050483.pdf

X. Peng, X. Qiu, F. Mu. Digital harmonic canceling algorithm for power amplifiers based on nonlinear adaptive filter. *Progress In Electromagnetics Research M*. 65. 151-164. (2018). DOI:10.2528/PIERM18010901.

Plextek Ltd. A 4-Channel 28GHz Power Amplifier with 4-bit Digital Phase Control for 5G RF Front Ends, white paper. Plextek RF Integration: Essex, 2015. <http://plextekrfi.com/images/pdfs/5g_28GHz_PA_PS.pdf>

D. Raychaudhuri, N.B. Mandayam, *Frontiers of wireless and mobile communications. Proc. IEEE* (2012). <https://doi.org/10.1109/JPROC.2011.2182095>

P. Raynaert, S. Steyaert. A 1.75-GHz Polar Modulated CMOS RF Power Amplifier for GSM-EDGE. *IEEE Journal of Solid-State Circuits*, Vol. 40, No. 12, pp. 2598–2608, December 2005.

J. W. M. Rogers, C. Plett. *Radio Frequency Integrated Circuit Design*, Artech House, Norwood, 2010. ISBN 978-1-60783-979-8

Samsung. Galaxy Note10 – Specification. Samsung, 3655 North 1st Street, San Jose, CA 95134, USA, 2019. <https://www.samsung.com/us/mobile/galaxy-note10/specs/>

S. Jin, K. Moon, B. Park, J. Kim, Y. Cho, H. Jin, D. Kim, M. Kwon, B. Kim. CMOS Saturated Power Amplifier with Dynamic Auxiliary Circuits for Optimized Envelope Tracking. *IEEE Transactions of Microwave Theory and Techniques*, Vol. 62, No. 12, pp. 3425-3435, Dec. 2014.

F. Santos, A. Mariano, B. Leite. 2.4 GHz CMOS digitally programmable power amplifier for power back-off operation, *IEEE 7th Latin American Symposium on Circuits & Systems (LASCAS)*, Florianopolis, 2016, pp. 159-162, doi: 10.1109/LASCAS.2016.7451034.

R. Sapawi, S. K. Sahari, Kuryati Kipli. A Low Power 3.1-10.6 GHz Ultra-wideband CMOS Power Amplifier with Resistive Shunt Feedback Technique. *2013 International Conference on Advanced Computer Science Applications and Technologies (ACSAT)*, Kuching, Malaysia, Dec. 2013. DOI:10.1109/ACSAT.2013.41, 06836570.pdf

J. F. Schmidt, D. Chernov, C. Bettstetter. Towards Industrial Ultra-Wideband Networks: Experiments for Machine Vibration Monitoring, *IEEE Access*, vol. 8, pp. 42576-42583, 2020, doi: 10.1109/ACCESS.2020.2976846.

L. Schuartz, A. T. Hara, A. A. Mariano, B. Leite, E. G. Lima. Comparison between Direct and Indirect Learnings for the Digital Pre-distortion of Concurrent Dual-band Power Amplifiers. *32nd Symposium on Integrated Circuits and Systems Design (SBCCI)*, 2019. 08862027.pdf

P. Sedlacek, M. Slanina, P. Masek. An Overview of the IEEE 802.15.4z Standard its Comparison and to the Existing UWB Standards, *2019 29th International Conference Radioelektronika (RADIOELEKTRONIKA)*, Pardubice, Czech Republic, 2019, pp. 1-6, doi: 10.1109/RADIOELEK.2019.8733537.

B. Shi, L. Sundstrom, Design and Implementation of a CMOS Power Feedback Linearization IC for RF Power Amplifiers. *Proc. IEEE ISCAS*, Vol. 2, pp. 252–255, July 1999.

X. Tianzuo, H. Lu, Z. Zhong, F. Lisong. A 3–5 GHz CMOS UWB Power Amplifier with ± 8 ps Group Delay Ripple. *Journal of Semiconductors*. vol.31, No.4, April 2010. Chinese Institute of Electronics, Institute of Semiconductors of the Chinese Academy of Sciences, Beijing, 2010. <http://www.jos.ac.cn/bdtxben/ch/reader/create_pdf.aspx?file_no=09080402>.

M.-D. Tsai, C.-C. Lin, P.-Y. Chen, T.-Y. Chang, C.-W. Tseng, L.-C. Lin, C. Beale, B. Tseng, B. Tenbroek, C.-S. Chiu, G.-K. Dehng, G. Chien. A fully integrated multimode front-end module for GSM/EDGE/TD-SCDMA/TD-LTE applications using a Class-F CMOS power amplifier. 2017 IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, 2017, pp. 216-217, doi: 10.1109/ISSCC.2017.7870338.

T. A. Vu, H. A. Hjortland, Ø. Næss, T. S. Lande, S. E. Hamran. A 70-dB, 3.1-10.6 GHz CMOS Amplifier in Low-Power 90 nm CMOS. IEEE 54th International Midwest Symposium on Circuits and Systems (MWSCAS), Seoul, South Korea, Aug. 2011. DOI:10.1109/MWSCAS.2011.6026639, 06026639.pdf

H. Wang, C. Sideris, A. Hajimiri. A CMOS Broadband Power Amplifier With a Transformer-Based High-Order Output Matching Network. *IEEE Journal of Solid-State Circuits*, Vol. 45, No. 12, Dec. 2010. 05625137.pdf

N. Wongkomet, L. Tee, P. R. Gray. A 31.5 dBm CMOS RF Doherty Power Amplifier for Wireless Communications. *IEEE Journal Solid-State Circuits*, Vol. 41, No. 12, pp. 2852–2559, Dec. 2006.

J. Wood. Digital pre-distortion of RF power amplifiers: progress to date and future challenges, 2015 IEEE MTT-S International Microwave Symposium, Phoenix, AZ, 2015, pp. 1-3, doi: 10.1109/MWSYM.2015.7166711.

B. Zhang, Y.-Z. Xiong, L. Wang, S. Hu, T.-G. Lim, Y.-Q. Zhuang, J. L.-W. Li. A D-Band Power Amplifier with 30-GHz Bandwidth and 4.5-Dbm Psat for High-Speed Communication System. *Progress In Electromagnetics Research*, Vol. 107, p.161-178, 2010. ISSN:1070-4698, E-ISSN:1559-8985. <http://www.jpier.org/PIER/pier.php?paper=10060806>>

Y. Zhao, J. R. Long. A Wideband, Dual-Path. Millimeter-Wave Power Amplifier With 20 dBm Output Power and PAE Above 15% in 130 nm SiGe-BiCMOS. IEEE Journal of Solid-State Circuits, Vol. 47, No. 9, Sep. 2012. 06276305.pdf