

UNIVERSIDADE FEDERAL DO PARANÁ

JONATHAS HENRIQUE MARIANO PEREIRA

ESTUDO DA RECONFIGURABILIDADE DO ESTÁGIO DE POTÊNCIA E DA REDE
DE IMPEDÂNCIA DE SAÍDA DE UM AMPLIFICADOR DE POTÊNCIA CMOS

CURITIBA

2018

JONATHAS HENRIQUE MARIANO PEREIRA

ESTUDO DA RECONFIGURABILIDADE DO ESTÁGIO DE POTÊNCIA E DA REDE
DE IMPEDÂNCIA DE SAÍDA DE UM AMPLIFICADOR DE POTÊNCIA CMOS

Dissertação apresentada ao Programa de Pós-Graduação em Engenharia Elétrica, Área de Concentração Sistemas Eletrônicos, Departamento de Engenharia Elétrica, Setor de Tecnologia, Universidade Federal do Paraná, como parte das exigências para a obtenção do título de Mestre em Engenharia Elétrica.

Orientador: Prof. Dr. André A. Mariano
Coorientador: Prof. Dr. Bernardo Leite

CURITIBA

2018

Catálogo na Fonte: Sistema de Bibliotecas, UFPR
Biblioteca de Ciência e Tecnologia

P436e Pereira, Jonathas Henrique Mariano

Estudo da reconfigurabilidade do estágio de potência e da rede de impedância de saída de um amplificador de potência CMOS / Marcos César Ramoni. – Curitiba, 2018.

90 p. : il. [algumas color.]; tabs. : 30 cm.

Dissertação (Mestrado) - Universidade Federal do Paraná, Programa de Pós-Graduação em Engenharia Elétrica, Setor de Tecnologia da Universidade Federal do Paraná, como requisito parcial para a obtenção do grau de Mestrado em Engenharia Elétrica.

Orientador: Prof. Dr. André A. Mariano

Coorientador: Prof. Dr. Bernardo Leite

1. Amplificadores de potência. 2. Engenharia elétrica. I. Mariano, André A. II. Leite, Bernardo. III. Título. IV. Universidade Federal do Paraná. CDD 621.381535



MINISTÉRIO DA EDUCAÇÃO
SETOR TECNOLOGIA
UNIVERSIDADE FEDERAL DO PARANÁ
PRÓ-REITORIA DE PESQUISA E PÓS-GRADUAÇÃO
PROGRAMA DE PÓS-GRADUAÇÃO ENGENHARIA
ELÉTRICA

TERMO DE APROVAÇÃO

Os membros da Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em ENGENHARIA ELÉTRICA da Universidade Federal do Paraná foram convocados para realizar a arguição da Dissertação de Mestrado de **JONATHAS HENRIQUE MARIANO PEREIRA** intitulada: **ESTUDO DA RECONFIGURABILIDADE DO ESTÁGIO DE POTÊNCIA E DA REDE DE IMPEDÂNCIA DE SAÍDA DE UM AMPLIFICADOR DE POTÊNCIA CMOS**, após terem inquirido o aluno e realizado a avaliação do trabalho, são de parecer pela sua APROVAÇÃO no rito de defesa.

A outorga do título de mestre está sujeita à homologação pelo colegiado, ao atendimento de todas as indicações e correções solicitadas pela banca e ao pleno atendimento das demandas regimentais do Programa de Pós-Graduação.

Curitiba, 27 de Março de 2016.

ANDRÉ AUGUSTO MARIANO
Presidente da Banca Examinadora (UFPR)

GLAUBER GOMES DE OLIVEIRA BRANTE
Avaliador Externo (UFPR)

Eduardo Gonçalves de Lima
EDUARDO GONÇALVES DE LIMA

Avaliador Interno (UFPR)

Luís Henrique Assumpção Lolis
LUIS HENRIQUE ASSUMPTÃO LOLIS

Avaliador Externo (UFPR)

AGRADECIMENTOS

Primeiramente quero agradecer a Deus por ter me abençoado e por ter me protegido durante esses dois anos de mestrado. Foram muitas viagens, muitos livramentos, mas graças a Deus essa etapa foi concluída com sucesso.

Agradeço também a minha linda e maravilhosa esposa Flávia e a minha filha Laisa por terem paciência comigo durante essa caminhada. Saibam que vocês são a minha inspiração. Amo vocês.

Agradeço também os meus pais João e Luciane e ao meu sogro Juca e a minha sogra Ângela, por ficarem com a minha filha durante os dias em que eu precisava estudar. Obrigado por todo amor que dedicaram a minha filha e a minha esposa durante a minha ausência como pai e marido.

Agradeço também ao meu orientador Prof.º André Mariano e ao meu orientador Prof.º Bernardo Leite por aceitarem esse desafio comigo e me orientarem durante esses dois anos. Vocês foram fundamentais por essa conquista.

Agradeço aos meus amigos de mestrado Altamirando, Take, Cleber e Silvio por terem iniciado essa caminhada comigo e sempre me motivarem a não desistir. Nossas conversas e risadas durante as viagens foram fundamentais para eu chegar até aqui.

Agradeço também a todos os servidores do IFSP Registro por sempre me incentivarem durante o mestrado.

Meu muito obrigado também para todos do GICS, em especial para o Perbiche, Fávero e Eduil, que participaram diretamente nas atividades do mestrado.

Agradeço toda a minha família, amigos e todos que sempre torceram e rezaram por mim.

RESUMO

A cada dia que passa os dispositivos móveis ganham mais destaque em nosso dia a dia, sendo essenciais para acompanhar o ritmo acelerado de vida que levamos. Novas funções e tecnologias são implantadas a todo momento, o que torna o uso do dispositivo móvel muito mais intenso, exigindo que a bateria seja recarregada ou trocada com grande frequência. Um dos desafios dos desenvolvedores é ter um dispositivo móvel com alta velocidade e que consuma menos energia, aumentando a vida útil da bateria. Esse desafio faz com que pesquisadores trabalhem na melhoria da eficiência energética do dispositivo, sendo os transmissores de radiofrequência, mais especificamente o amplificador de potência (PA), o alvo de muitas pesquisas e trabalhos. O PA é o responsável pelo maior consumo de energia do transceptor RF, pois trabalha para elevar a potência de saída para transmitir a informação. Na maioria das vezes, os PAs trabalham com o nível de potência acima do necessário, fazendo com que o consumo de energia seja alto, diminuindo a vida útil da bateria. Desenvolver um amplificador com controle, tanto da potência de saída, como do nível de consumo de energia, é fundamental para melhorar a eficiência e tempo de duração da bateria de um dispositivo móvel. Neste trabalho, um PA com estágios de reconfigurabilidade é apresentado para aplicações em 2,4 GHz. Os estágios de potência de saída e da rede de impedância de saída podem ser reconfigurados digitalmente, fazendo com que o amplificador de potência opere com alta eficiência, mesmo para níveis de potências mais baixos. Outro ajuste utilizado no projeto, é a variação da tensão de alimentação, de 1,1 V até 1,8 V. Essa variação faz com que o nível de consumo de energia seja baixo. O projeto foi desenvolvido na tecnologia CMOS 0,13 μm , e é capaz de operar com uma variação de potência entre 10,09 dBm e 18,22 dBm, consumindo uma energia mínima de 94,66 mW e máxima de 341,40 mW, com uma eficiência máxima de 19,4%, permitindo com que a vida útil da bateria seja prolongada.

Palavras-chave: amplificador de potência, rede de impedância variável, controle de potência, CMOS, baixo consumo de energia.

ABSTRACT

With each passing day mobile devices gain more prominence in our daily life, being essential to accompany the fast pace of life that we take. New functions and technologies are deployed at all times, making the use of the mobile device much more intense, requiring the battery to be recharged or changed frequently. One of the challenges of the developers is to have a mobile device with high speed and that consumes less energy, increasing the battery life. This challenge makes researchers work on improving the energy efficiency of the device, with radio frequency transmitters, more specifically the power amplifier (PA), the target of much research and work. The PA is responsible for the highest power consumption of the RF transceiver, as it works to raise the output power to transmit the information. Most often, PAs work at above-average power levels, making power consumption high, shortening battery life. Developing an amplifier with control of both output power and power consumption is critical to improving the efficiency and battery life of a mobile device. In this work, a PA with reconfigurability stages is presented for 2.4 GHz applications. The output power stages and the output impedance network can be digitally reconfigured, causing the power amplifier to operate with high efficiency, even for lower power levels. Another adjustment used in the design is the variation of the supply voltage, from 1.1 V to 1.8 V. This variation causes the level of power consumption to be low. The design was developed in 0.13 μm CMOS technology and is capable of operating with a power range between 10.09 dBm and 18.22 dBm, consuming a minimum energy of 94.66 mW and a maximum of 341.40 mW, with a maximum efficiency of 19.4%, allowing the battery life to be prolonged.

Key words: power amplifier, variable impedance network, power control, CMOS, low power consumption.

LISTA DE ILUSTRAÇÕES

FIGURA 1 – Diagrama de Blocos de um Transceptor Convencional	15
FIGURA 2 – Diagrama de um típico amplificador de potência	20
FIGURA 3 – Diagrama de um PA com estágios de controle	20
FIGURA 4 – Bloco genérico de uma rede de 2 portas conectadas com terminações de fonte e carga	22
FIGURA 5 – Ponto de compressão -1dB de um amplificador	24
FIGURA 6 – Simulação load pull para OCP_{1dB} de um amplificador.....	25
FIGURA 7 – Diagrama de um casamento de impedância entre a fonte e a carga com um PA.....	26
FIGURA 8 – Impacto de uma Indutância ou Capacitância na transformação de impedância da carga para a fonte	27
FIGURA 9 – Rede de impedância em L com a região proibida de cada topologia....	28
FIGURA 10 – Rede de impedância com as topologias T ou π	28
FIGURA 11 – Configuração simples de um PA.....	30
FIGURA 12 – Projeto de um PA com rede de impedância ajustável.....	31
FIGURA 13 – Projeto de um PA com rede de impedância ajustável com indutor fixo LP	32
FIGURA 14 – Projeto de um PA com rede de impedância ajustável com indutor ativo CASFAI	33
FIGURA 15 – Projeto de um PA com rede de impedância ajustável.....	33
FIGURA 16 – Esquemático do projeto utilizando uma rede de impedância ajustável na saída do PA.....	34
FIGURA 17 – Amplificador de potência com ajuste de impedância através dos transistores.....	35
FIGURA 18 - Amplificador de potência com controle de potência de saída.....	36
FIGURA 19 – Amplificador de potência classe AB com controle de potência de saída	40
FIGURA 20 – Rede de impedância com topologia em π com capacitor variável	42
FIGURA 21 – Circuito do amplificador de potência do projeto proposto com rede de impedância fixa	43

FIGURA 22 – Rede de impedância com topologia em π intermediária para a nova configuração.....	46
FIGURA 23 – Rede de impedância com topologia em π equivalente final.....	48
FIGURA 24 – Gráfico de um sintonizador dinâmico de impedância em 2,4 GHz em função da impedância, (a): $L = 2,4$ nH e (b): $L = 1,7$ nH.....	49
FIGURA 25 – Rede de impedância de saída com banco de capacitores que será utilizado no projeto	52
FIGURA 26 – Modelo simplificado da capacitância no transistor	53
FIGURA 27 – Diagrama de Karnaugh 4 variáveis – Saída “ V_1 ” da Tabela 7.....	57
FIGURA 28 – Circuito lógico da saída “ V_1 ” da Tabela 8.....	57
FIGURA 29 – Leiaute do decodificador utilizado no projeto	58
FIGURA 30 – Esquemático completo do projeto proposto	59
FIGURA 31 – Leiaute completo do projeto proposto	61
FIGURA 32 – Resultados do OCP1dB da Rede de Impedância Fixa x Rede de Impedância Variável.....	65
FIGURA 33 – Resultados do PAE da Rede de Impedância Fixa x Rede de Impedância Variável.....	66
FIGURA 34 – Resultados do PDC comparado com PAE@OCP1dB e OCP1dB da Rede de Impedância	66
FIGURA 35 – Resultado OCP1dB da simulação pós-leiaute <i>versus</i> esquemático ...	68
FIGURA 36 – Resultado PAE da simulação pós-leiaute <i>versus</i> esquemático	69
FIGURA 37 – Resultado PDC da simulação pós-leiaute <i>versus</i> esquemático	69
FIGURA 38 – Resultado Ganho do PA da simulação pós-leiaute <i>versus</i> esquemático	70
FIGURA 39 – Simulação do fator μ <i>versus</i> frequência para cada modo de operação	71
FIGURA 40 – Simulação P_{OUT} <i>versus</i> P_{IN} para cada modo de operação.....	71
FIGURA 41 – Simulação PAE <i>versus</i> P_{IN} para cada modo de operação	72
FIGURA 42 – Simulação PAE <i>versus</i> P_{OUT} para cada modo de operação	72
FIGURA 43 – Simulação P_{OUT} <i>versus</i> P_{IN} para o modo de operação “1” com as frequências de 2,3 GHz, 2,4 GHz e 2,5 GHz.....	73
FIGURA 44 – Simulação PAE <i>versus</i> P_{IN} para o modo de operação “1” com as frequências de 2,3 GHz, 2,4 GHz e 2,5 GHz.....	73

FIGURA 45 – Simulação de <i>corners</i> OCP_{1dB} para o modo de operação “1” com 1,8 V	75
FIGURA 46 - Simulação de <i>corners</i> PAE para o modo de operação “1” com 1,8 V ..	76
FIGURA 47 – Simulação de <i>corners</i> P_{DC} para o modo de operação “1” com 1,7 V ..	76
FIGURA 48 – Simulação Monte Carlo do parâmetro OCP_{1dB} para o modo de operação “1”	78
FIGURA 49 – Simulação Monte Carlo do parâmetro PAE para o modo de operação “1”	79
FIGURA 50 – Simulação Monte Carlo do parâmetro S21 para o modo de operação “1”	79

LISTA DE TABELAS

TABELA 1 – COMPARAÇÃO DAS CLASSES DOS PAs.....	19
TABELA 2 – TABELA COMPARATIVA DE DESEMPENHO DOS TRABALHOS ANTERIORES.....	36
TABELA 3 – ESPECIFICAÇÕES DO PROJETO PROPOSTO.....	38
TABELA 4 – MODOS DE OPERAÇÃO DO ESTÁGIO DE POTÊNCIA.....	41
TABELA 5 – SIMULAÇÃO <i>LOAD PULL</i> COM REDE DE IMPEDÂNCIA FIXA NO PROJETO.....	44
TABELA 6 – RESULTADO DOS CÁLCULOS PARA DIMENSIONAMENTO DOS COMPONENTES DA TOPOLOGIA π	51
TABELA 7 – DIMENSIONAMENTO DOS TRANSISTORES E CAPACITORES DO BANCO DE CAPACITORES QUE SERÃO UTILIZADOS NO PROJETO.....	54
TABELA 9 – TABELA COM A EQUAÇÃO DO CIRCUITO COMBINACIONAL DE CADA SAÍDA.....	58
TABELA 10 – COMPARAÇÃO DOS RESULTADOS DAS SIMULAÇÕES DA REDE DE IMPEDÂNCIA FIXA COM A REDE DE IMPEDÂNCIA VARIÁVEL.....	62
TABELA 11 – TABELA COM CHAVEAMENTO DA REDE DE IMPEDÂNCIA DE SAÍDA E DO CONTROLE DE POTÊNCIA.....	63
TABELA 12 – TABELA COM CÓDIGO DE ENTRADA E O CÓDIGO DE SAÍDA DO CONTROLADOR DIGITAL.....	64
TABELA 13 – TABELA COMPARATIVA ENTRE A REDE DE IMPEDÂNCIA FIXA E A REDE DE IMPEDÂNCIA AJUSTÁVEL.....	67
TABELA 14 – RESULTADOS DAS SIMULAÇÕES PÓS-LEIAUTE.....	74
TABELA 15 – TABELA COMPARATIVA DOS RESULTADOS ESTABELECIDOS PELO PROJETO E OS RESULTADOS OBTIDOS NAS SIMULAÇÕES.....	81
TABELA 16 – TABELA COMPARATIVA DESSE PROJETO COM OS PROJETOS UTILIZADOS NO ESTADO DA ARTE.....	81

LISTA DE SIGLAS

ADC	Conversor Analógico Digital
DAC	Conversor Digital Analógico
DC	Corrente Contínua
DSP	Processador Digital de Sinal
LNA	Amplificador de Baixo Ruído
LPF	Filtro Passa-Baixas
OL	Oscilador Local
PA	Amplificador de Potência
P_{DC}	Potência de Corrente Contínua
P_{OUT}	Potência de Saída
RF	Radiofrequência

SUMÁRIO

1	INTRODUÇÃO	14
1.1	MOTIVAÇÃO	16
1.2	OBJETIVOS.....	17
1.2.1	Objetivo geral.....	17
1.2.2	Objetivos específicos.....	17
1.3	ESTRUTURA DA DISSERTAÇÃO	17
2	FUNDAMENTAÇÃO TEÓRICA E ESTADO DA ARTE DO AMPLIFICADOR DE POTÊNCIA COM ESTÁGIOS DE RECONFIGURABILIDADE	19
2.1	CARACTERÍSTICAS DO AMPLIFICADOR DE POTÊNCIA.....	19
2.1.1	Potência de saída	21
2.1.2	Ganho de potência	21
2.1.3	Eficiência	22
2.1.4	Linearidade.....	23
2.2	SIMULAÇÃO <i>LOAD PULL</i>	24
2.3	REDES DE IMPEDÂNCIA DE SAÍDA	25
2.3.1	Princípios da combinação de impedâncias.....	25
2.3.2	Topologias de rede de impedâncias	27
2.4	TENSÃO DE ALIMENTAÇÃO DO PA - V_{DD}	29
2.5	ESTADO DA ARTE	31
3	PROJETO DE UM AMPLIFICADOR DE POTÊNCIA COM ESTÁGIOS DE RECONFIGURABILIDADE	39
3.1	ESTÁGIO DE POTÊNCIA.....	40
3.2	ESTÁGIO DA REDE DE IMPEDÂNCIA DE SAÍDA	42
3.2.1	Simulações de <i>load pull</i> para definir as impedâncias do projeto para o melhor OCP_{1dB} do circuito	43
3.2.2	Dimensionamento da Topologia π	46

3.2.3	Rede de impedância ajustável.....	51
3.2.4	Estágio do controlador digital.....	55
4	RESULTADOS E DISCUSSÕES	59
4.1	RESULTADOS DAS SIMULAÇÕES DO ESQUEMÁTICO	61
4.2	RESULTADOS DAS SIMULAÇÕES PÓS-LEIAUTE	67
4.3	SIMULAÇÃO DE <i>CORNERS</i>	74
4.4	SIMULAÇÃO MONTE CARLO	77
4.5	RESULTADOS FINAIS	80
5	CONCLUSÃO.....	83
5.1	TRABALHOS FUTUROS.....	84
	REFERÊNCIAS	85
	APÊNDICE A – Simulação de <i>Corners</i>.....	87
	APÊNDICE B – Simulação Monte Carlo	89

1 INTRODUÇÃO

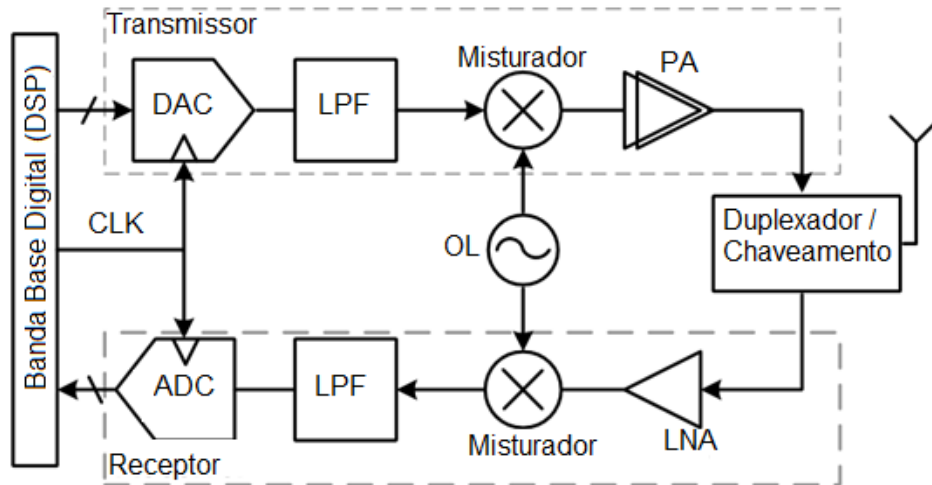
Atualmente vivemos conectados em diversos aplicativos através dos dispositivos móveis, com o intuito de conseguir acompanhar o ritmo acelerado de vida do nosso dia a dia. Os dispositivos móveis agregam diversas funcionalidades que anteriormente precisavam de aparelhos específicos para funcionar. Eles se tornaram serviços, em vez de sistemas autônomos, que os usuários podem acessar através de um único dispositivo móvel [1]. Isso permite que, em um único dispositivo, seja possível acessar notícias, ler e-mails, assistir televisão, trocar mensagens, realizar ligações, entre outros.

Os dispositivos móveis utilizam o sistema de comunicação de radiofrequência, mais conhecido como RF. Atualmente os celulares, computadores, *tablets*, *videogames* e até os novos projetos que utilizam a ideia de internet das coisas (IoT), utilizam a comunicação via RF.

Os equipamentos que utilizam a comunicação RF podem ser configurados de diversas maneiras, pois podem trabalhar com frequências diferentes, utilizar taxas de transmissão de informação em valores diferentes, mas todos eles possuem uma estrutura de funcionamento semelhante.

Para entender melhor o funcionamento de uma comunicação via RF é apresentado na Figura 1, um transceptor RF convencional, baseado em banda base digital com *digital signal processor* (DSP), com um diagrama de blocos do transmissor e outro diagrama de blocos do receptor. No diagrama de blocos do receptor, a informação é recebida pela antena, que envia a informação para o *low noise amplifier* (LNA). O LNA amplifica o sinal recebido, garantindo a menor geração de ruído possível. Após o sinal ser amplificado, ele passa pelo misturador e oscilador local (OL), onde é convertido para a frequência de banda base. Posteriormente, o sinal passa por um filtro *low-pass filter* (LPF) que atenua as frequências indesejadas, e depois passa por um *analog-to-digital converter* (ADC). O sinal é convertido para o formato digital e encaminhado para o DSP.

FIGURA 1 – Diagrama de Blocos de um Transceptor Convencional



FONTE: Adaptado de [2]

Já o diagrama de blocos do transmissor faz o trabalho inverso do receptor. Primeiramente utiliza um *digital-to-analog converter* (DAC), para deixar o sinal em formato analógico novamente, pois o sinal recebido do DSP está no formato digital. Após o sinal ter sido transformado em analógico, ele passa pelo LPF, e posteriormente pelo misturador e o oscilador local. Antes de ser transmitido, o sinal vai para o amplificador de potência (PA). O PA é o bloco responsável por amplificar o sinal que será transmitido, com uma potência de saída que seja suficiente para o sinal chegar ao destino desejado. Após amplificar o sinal, a informação é transmitida pela antena através da comunicação via RF.

Em um transceptor convencional, o PA é o bloco que mais consome energia. Esse alto consumo faz com que as baterias dos dispositivos móveis tenham uma baixa vida útil, sendo necessária a troca ou recarregamento da bateria.

Atualmente, um dos desafios é desenvolver um dispositivo móvel de alto desempenho, baixo custo e baixo consumo de energia, com uma bateria com maior tempo de vida útil. Dentro desse contexto, com o aumento das funcionalidades dos dispositivos e os avanços tecnológicos, há uma demanda crescente para pesquisas e inovações com o objetivo de melhorar a eficiência energética dos dispositivos móveis. Devido ao alto consumo de energia, o PA é um dos blocos analisados pelos pesquisadores.

1.1 MOTIVAÇÃO

Devido aos avanços tecnológicos e a necessidade de melhorias constantes nos dispositivos móveis, existe uma lacuna para pesquisas, que busquem testar a incorporação de novas funcionalidades nos PAs visando aumentar sua eficiência e o tempo de vida útil das baterias. De acordo com [3], o amplificador de potência deve amplificar um sinal RF para o nível de saída desejado, com a maior eficiência possível, mas sem consumir muita energia, pois reduziria a vida útil da bateria.

Diversas pesquisas são realizadas para melhorar o consumo de energia dos PAs. Alguns projetos trabalham com o valor de tensão de alimentação mais baixo [4], outros utilizam uma rede de impedância adaptável [5] e [6], outros utilizam configurações de PAs diferentes [7], mas todos com o objetivo de fazer a melhor combinação possível entre potência de saída, ganho, eficiência e linearidade, cada um com a sua aplicação.

Nesse sentido, esse trabalho visa desenvolver um PA que seja reconfigurável, com o intuito de ter diferentes configurações de potência de saída com uma boa eficiência energética. Este PA terá o estágio de potência dividido em três células independentes, onde cada uma terá a sua tensão de alimentação separada. Para obter-se o maior nível de potência de saída, é necessário ligar as três células do estágio de potência, sendo ele reconfigurado conforme a necessidade do sinal de saída.

Ao reconfigurar o estágio de potência, é necessário reajustar o casamento de impedância de saída do PA, para que se obtenha uma boa potência de saída e melhore a eficiência energética do PA. Esse estágio será reconfigurado com transistores que serão ligados e desligados através de chaves, gerando uma variação da rede de impedância de saída do PA. Essa variação é efetuada pelo chaveamento de seis transistores.

Por fim o PA terá uma variação manual na tensão de alimentação através de uma fonte externa, nos estágios de potência e de impedância de saída. Essa variação permitirá níveis de potência de saída diferentes, de acordo com a necessidade do PA. Cada variação terá um consumo de energia diferente, podendo assim gerar a economia necessária, mantendo uma boa eficiência energética.

1.2 OBJETIVOS

1.2.1 Objetivo geral

O objetivo geral deste trabalho consiste em desenvolver uma rede de impedância de saída reconfigurável para ser aplicada em um PA com controle da potência de saída, com o intuito de obter um baixo consumo de energia e uma boa eficiência energética no PA. O PA irá operar em uma frequência de 2,4 GHz utilizando a tecnologia CMOS 0,13 μm .

1.2.2 Objetivos específicos

Os objetivos específicos que fazem parte deste projeto são:

- realizar um estudo sistêmico de arquiteturas existentes de PAs que utilizam o sistema de reconfigurabilidade;
- propor alternativas às arquiteturas existentes de maneira a desenvolver uma rede de impedância de saída reconfigurável para um PA;
- projetar e implementar uma rede de impedância de saída reconfigurável para ser aplicada em um PA.
- implementar um PA na tecnologia CMOS com reconfigurabilidade nos estágios de potência de saída e rede de impedância de saída com controle digital, com diversos níveis de potência de saída e consumo de energia.

1.3 ESTRUTURA DA DISSERTAÇÃO

Este trabalho está dividido em quatro capítulos, além dessa introdução.

O segundo capítulo mostra as principais características de um PA, os tipos de rede de impedância que são utilizados no PA, as simulações *load pull*, a tensão de alimentação de um PA e uma comparação entre os principais trabalhos encontrados durante o estudo bibliográfico. O terceiro capítulo apresenta o desenvolvimento eletrônico dos estágios de reconfigurabilidade de potência e de rede de impedância, as simulações *load pull* realizadas no projeto e também do

controlador digital. No quarto capítulo são apresentadas as simulações efetuadas no projeto, tanto no esquemático como no pós-leiaute. E no quinto capítulo são apresentadas uma conclusão do trabalho realizado e sugestões para trabalhos futuros.

2 FUNDAMENTAÇÃO TEÓRICA E ESTADO DA ARTE DO AMPLIFICADOR DE POTÊNCIA COM ESTÁGIOS DE RECONFIGURABILIDADE

Nesse capítulo será apresentada a metodologia para desenvolver um amplificador de potência com estágios de reconfigurabilidade, a fim de obter a melhor configuração de saída com o menor consumo de potência possível.

2.1 CARACTERÍSTICAS DO AMPLIFICADOR DE POTÊNCIA

O PA de RF é uma parte vital de qualquer transmissor sem fio, pois precisa amplificar o sinal de rádio antes que ele possa ser transmitido pela antena [1]. Eles são identificados em classes como: A, B, C, D, E, etc., sendo essas classes divididas entre amplificadores de lineares e não lineares.

A classe de operação do amplificador depende da topologia do circuito, do princípio de operação, de como o transistor é polarizado e os valores dos seus componentes [8]. Os PAs de classe A, B, AB e C fazem parte do grupo de amplificadores lineares, tendo como principal característica a alta linearidade. Já os amplificadores D, E e F são classificados como não lineares, mas possuem uma alta eficiência.

Na tabela 1 temos uma tabela com a classificação dos amplificadores de potência e as suas classificações.

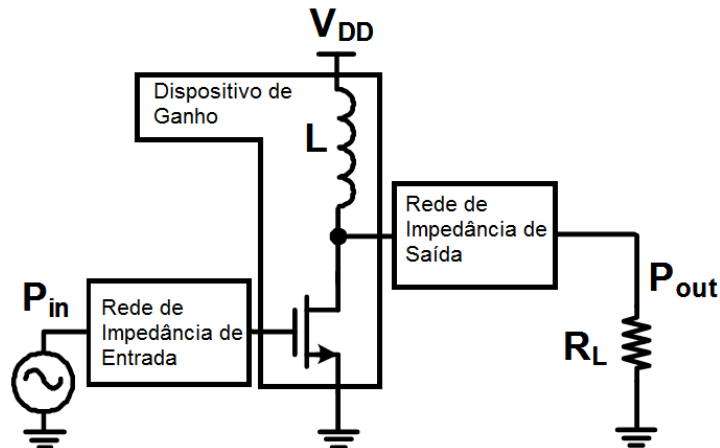
TABELA 1 – COMPARAÇÃO DAS CLASSES DOS PAs

Classes	Polarização	Ângulo de condução	Eficiência máxima	Linearidade	Potência de saída
A	Fonte de corrente	360°	50%	Excelente	Média
AB		180° a 360°	Entre 50% e 79%	Boa	Média
B		180°	79%	Boa	Média
C		Menor que 180°	Superior a 80%	Moderada	Baixa
Não-lineares	Chave	180°	Acima de 90%	Péssima	Alta

FONTE: AUTOR (2018)

Já na figura 2 observa-se um típico PA constituído por uma rede de impedância de entrada, por um dispositivo de ganho e uma rede de impedância de saída.

FIGURA 2 – Diagrama de um típico amplificador de potência

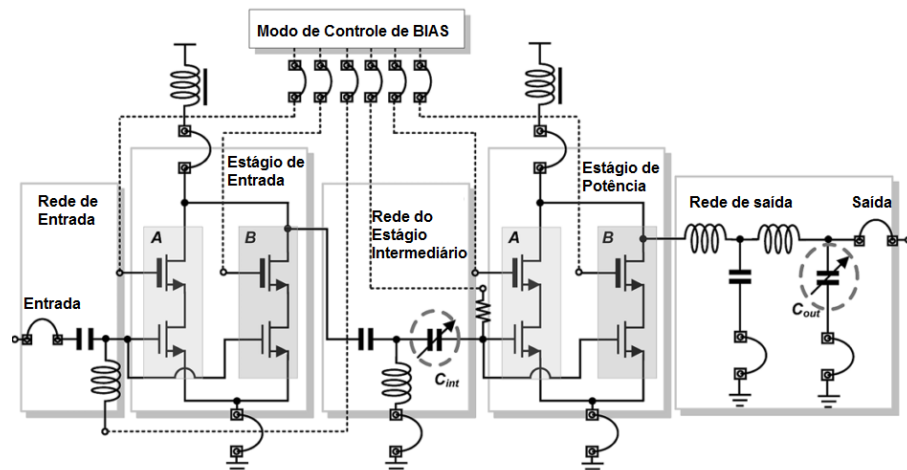


FONTE: Adaptado de [9]

A rede de impedância de entrada recebe o sinal que será amplificado e precisa ser ajustada de acordo com a impedância da fonte. Quanto melhor for o casamento de impedância de entrada, melhor será a transferência de potência da fonte para o amplificador. Geralmente esse bloco do PA é fixo, sem a necessidade de trabalhar com uma rede reconfigurável, pois praticamente não há variação na impedância de entrada do PA.

Já o dispositivo de ganho pode ser configurado de diversas maneiras, podendo ser mais simples, conforme figura 2, ou mais complexo, como por exemplo, um PA composto por um estágio de ganho conectado a um outro estágio de potência, conforme figura 3, ou algum outro tipo de configuração que caracterize um PA. Esse bloco pode ter os estágios com modos de controle, como pode ser visto no projeto de [10] com controle de ganho, ou o projeto [14] com controle de potência apresentado na figura 3.

FIGURA 3 – Diagrama de um PA com estágios de controle



FONTE: Adaptado de [12]

O bloco da rede de impedância de saída recebe o sinal já amplificado, sendo responsável por fazer o casamento de impedância entre o amplificador e a carga. A máxima potência só é possível ser transmitida quando o casamento de impedância está bem ajustado. Esse bloco também vem sendo utilizado com estágios de reconfigurabilidade, para fazer o melhor ajuste no casamento de impedância da saída do PA com a carga. Os trabalhos desenvolvidos por [4] e [5] apresentam PAs com a rede de impedância reconfigurável.

Para projetar um amplificador de potência com a configuração apresentada anteriormente, é necessário ter conhecimento sobre as suas principais propriedades, que são: potência de saída, ganho, eficiência e linearidade. Uma boa combinação entre esses parâmetros resulta em um PA bem projetado.

2.1.1 Potência de saída

A potência de saída de um amplificador é definida como a potência ativa fornecida pelo PA e entregue a antena [1]. A antena, na maioria das vezes, é representada por um resistor de carga (R_L), pois a antena é projetada para ter uma característica puramente resistiva, geralmente 50Ω . Por definição, a potência dissipada pelo resistor de carga (R_L) é igual a potência na onda eletromagnética transmitida pela antena.

A potência de saída de um PA é dada por:

$$P_{out} = \frac{V_{rms}^2}{R_L}, \quad (2.1),$$

sendo V_{rms} a tensão eficaz de saída do PA e R_L a resistência de carga.

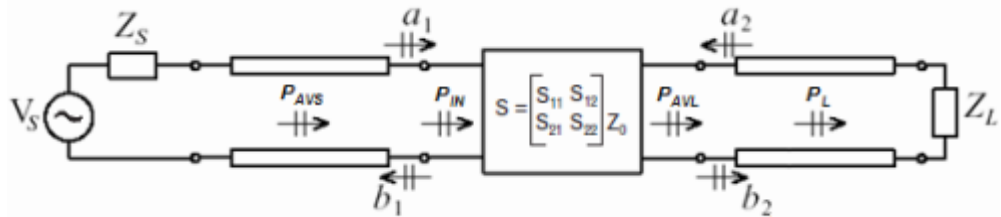
2.1.2 Ganho de potência

A amplificação do sinal é uma das funções de circuito mais básicas e predominantes nos modernos sistemas de RF e microondas [13]. Conhecer o quanto de ganho o PA pode ter é essencial para desenvolver um projeto. Em um PA existem várias definições de ganho que são importantes conhecer.

Na figura 4 observa-se uma rede de duas portas conectadas com uma fonte de tensão V_s , uma impedância da fonte Z_s e uma impedância da carga Z_L . Os

parâmetros a_1 e a_2 são as ondas incidentes em cada porta e os parâmetros b_1 e b_2 são as ondas refletidas em cada porta. Já as potências apresentadas na figura 4 são utilizadas para calcular o ganho do circuito, onde P_{AVS} é a potência disponível pela fonte, P_{IN} é a potência fornecida para o amplificador, P_{AVL} é a potência disponível pelo amplificador e P_L é a potência entregue para a carga.

FIGURA 4 – Bloco genérico de uma rede de 2 portas conectadas com terminações de fonte e carga



FONTE: Adaptado de [14]

O primeiro é o ganho de potência (G_p) que depende da impedância de carga e não da impedância da fonte, e é dado por,

$$G_p = \frac{P_L}{P_{in}}. \quad (2.2).$$

Já o ganho de potência disponível (G_a) não depende da impedância de carga. O G_a depende apenas da impedância da fonte, e é dado por,

$$G_a = \frac{P_{AVL}}{P_{AVS}}. \quad (2.3).$$

Para finalizar tem-se o ganho de transdução (G_T) que quantifica o ganho colocado entre a fonte e a carga, representado por:

$$G_T = \frac{P_L}{P_{AVS}}. \quad (2.4).$$

2.1.3 Eficiência

A eficiência é um ponto crucial para os amplificadores, pois uma baixa eficiência resulta em um PA com um consumo de energia elevado, baixa confiabilidade de operação e alto custo de implementação. Já um PA com boa eficiência tem um consumo de energia baixo, aumentando o tempo de vida útil das baterias de dispositivos móveis. Uma boa eficiência é importante para equipamentos de alta potência, onde o custo da energia elétrica ao longo da vida útil do

equipamento e o custo dos sistemas de refrigeração podem ser significativos em comparação com o preço de compra do equipamento [8].

Em um PA três tipos de eficiências são analisadas: eficiência total (η_T), eficiência de dreno (η_{DE}) e eficiência de potência acrescida (PAE).

A eficiência total é a razão da potência de saída, ou potência entregue para carga, pela potência de entrada acrescida da potência de alimentação contínua, representada por:

$$\eta_T = \frac{P_{out}}{P_{DC} + P_{in}} . \quad (2.5).$$

Já a eficiência de dreno é dada por,

$$\eta_{DE} = \frac{P_{out}}{P_{DC}} . \quad (2.6).$$

E para finalizar, a eficiência de potência acrescida é representada por.

$$PAE = \frac{P_{out} - P_{in}}{P_{DC}} . \quad (2.7).$$

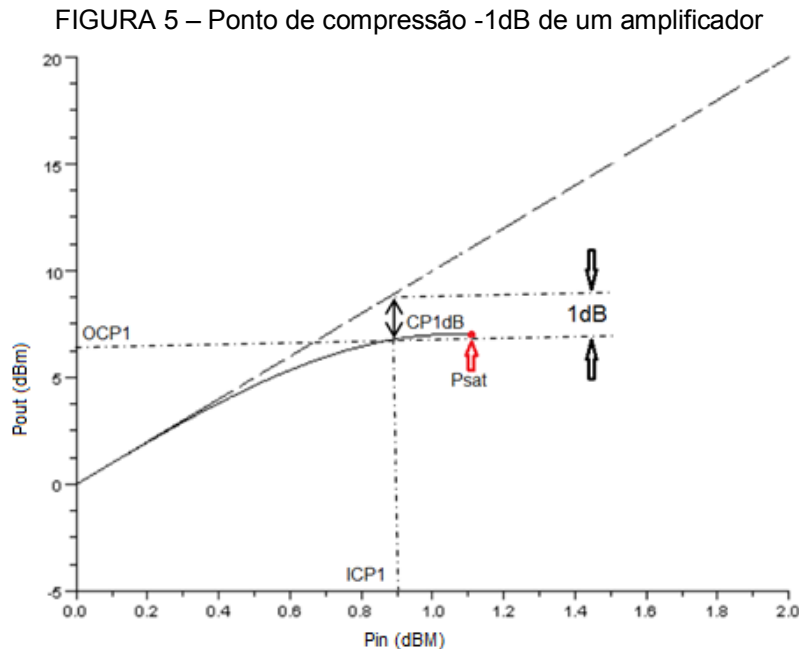
2.1.4 Linearidade

A linearidade é outro ponto muito importante do PA, pois ela implica na capacidade do sinal de entrada não sofrer distorção durante o processo de amplificação até a saída do sinal. Ela pode ser definida de duas maneiras: linearidade de fase ou linearidade de amplitude. A linearidade de fase é mais fácil de alcançar, desde que a largura da banda do sinal modulado seja pequena em comparação com a frequência da portadora. Já a linearidade de amplitude é mais difícil de alcançar e, em geral, resulta em uma eficiência menor [1].

Uma das maneiras de medir a linearidade de um PA é através do ponto de compressão -1dB. Segundo [3], tornou-se algo padronizado na comunidade de amplificadores de RF usar o ponto de compressão de -1dB como um ponto de referência geral para especificar a capacidade de energia de um amplificador ou um dispositivo de amplificação (transistor). Também representa um limite prático para a operação "linear".

Na figura 5 é apresentado um gráfico do ponto de compressão da potência de saída de um PA. Observa-se que o ponto de compressão escolhido, CP_{1dB} , está a 1dB abaixo da reta da potência ideal e é menor do que a potência de saturação

(P_{SAT}). O ponto de compressão ocorre devido a não linearidade do PA e, utilizar o seu valor no projeto, é trabalhar com um PA mais linear.



FONTE: Adaptado de [15]

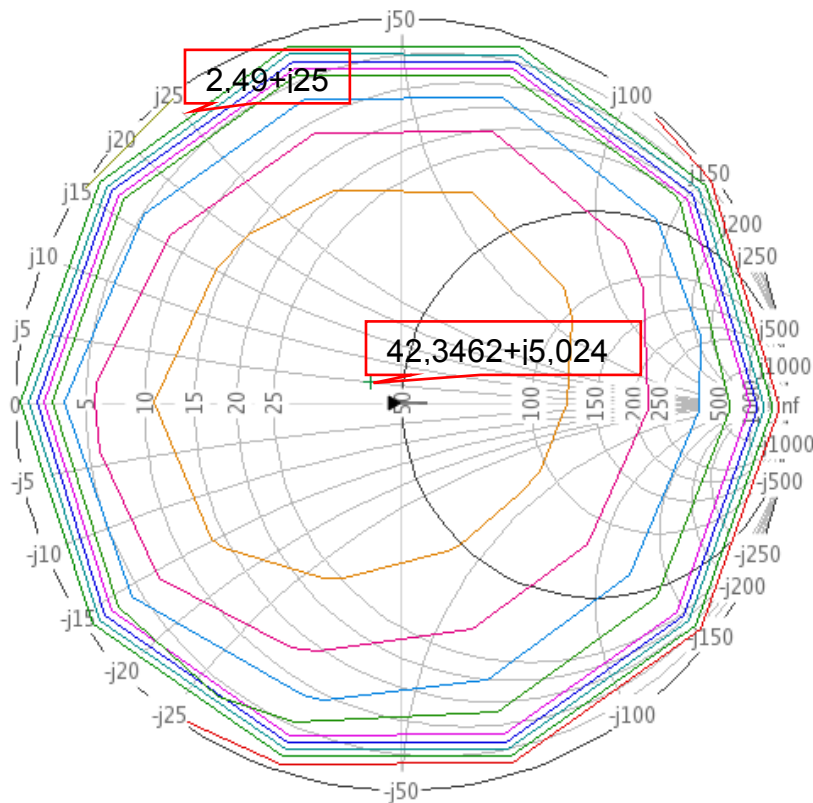
2.2 SIMULAÇÃO *LOAD PULL*

A simulação *load pull* é uma das principais técnicas de projeto para amplificador e é frequentemente usada para determinar uma impedância apropriada para o projeto desenvolvido. Com a simulação *load pull* os parâmetros de desempenho do amplificador (ganho, eficiência, potência de saída, entre outros) são representados graficamente em relação à impedância de carga como gráficos de superfície ou de contorno [8].

Na prática a simulação *load pull* consiste em varrer os coeficientes de reflexão de saída (magnitude e fase) e depois plotar esses valores na carta de Smith, mostrando os cenários possíveis de configuração da impedância de saída do PA. Sendo assim, a simulação *load pull* promove uma forma de determinar uma impedância de saída ótima com o qual o PA é capaz de fornecer uma boa potência de saída com valores aceitáveis de rendimento e ganho. Após a simulação é selecionada uma impedância que atenda as necessidades do projeto, podendo ser a impedância que tenha a melhor potência de saída, ou que tenha melhor ganho, ou melhor eficiência, ou ainda que tenha a melhor combinação de resultados.

Na figura 6 é apresentada uma simulação OCP_{1dB} utilizando a técnica de *load pull* para encontrar a melhor impedância. Essa simulação foi efetuada utilizando o *software* Virtuoso Spectre RF. Observa-se que há nove contornos na carta de Smith conforme foi configurado, onde o melhor resultado está destacado próximo do ponto central da carta de Smith com uma impedância de $42,3462+j5,024 \Omega$ e com um OCP_{1dB} de 18,37 dBm, e o pior resultado está destacado na parte superior a esquerda da carta de Smith com uma impedância de $2,49+j25$ e com um OCP_{1dB} de 2,04 dBm. Quanto maior o OCP_{1dB} , melhor é o PA.

FIGURA 6 – Simulação load pull para OCP_{1dB} de um amplificador



FONTE: O autor (2018)

Após conhecer a melhor impedância de saída do PA, é efetuado o dimensionamento dos componentes que farão parte da rede de impedância de saída do PA. Esse dimensionamento é apresentado no capítulo seguinte.

2.3 REDES DE IMPEDÂNCIA DE SAÍDA

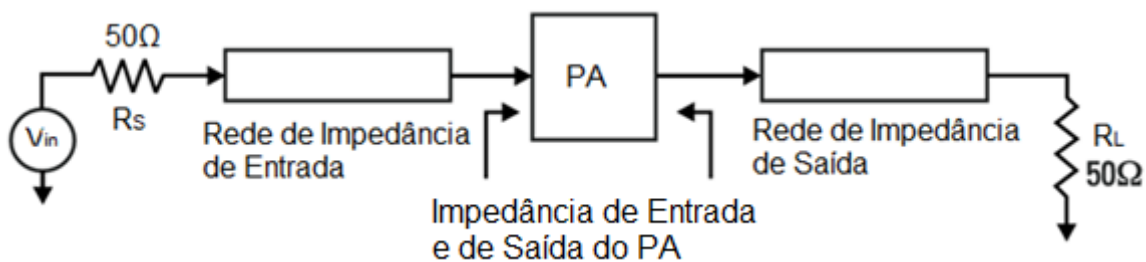
2.3.1 Princípios da combinação de impedâncias

Um dos pontos muito importantes em um PA é ter uma rede de impedâncias muito bem ajustada, de modo que se consiga obter todos os resultados esperados.

Pode-se notar no capítulo anterior, na simulação *load pull* da figura 6, que dependendo da impedância de saída do PA os resultados podem ser diferentes. Na maioria dos projetos, as impedâncias de saída são configuradas para trabalhar com uma impedância de carga de $50\ \Omega$.

A figura 7 apresenta o exemplo de um PA recebendo um sinal e, posteriormente, transmitindo o sinal amplificado. O PA recebe o sinal da fonte de entrada, V_{in} , que possui uma resistência interna R_S de $50\ \Omega$, que é conectada a uma rede de impedância de entrada. Na sua saída, o PA tem uma rede de impedância de saída e um resistor de carga R_L de $50\ \Omega$. Para que o PA tenha uma boa potência de saída, a rede de impedância de entrada e a rede de impedância de saída são responsáveis por efetuar o casamento de impedância entre o PA e a impedância da fonte e a impedância da carga.

FIGURA 7 – Diagrama de um casamento de impedância entre a fonte e a carga com um PA

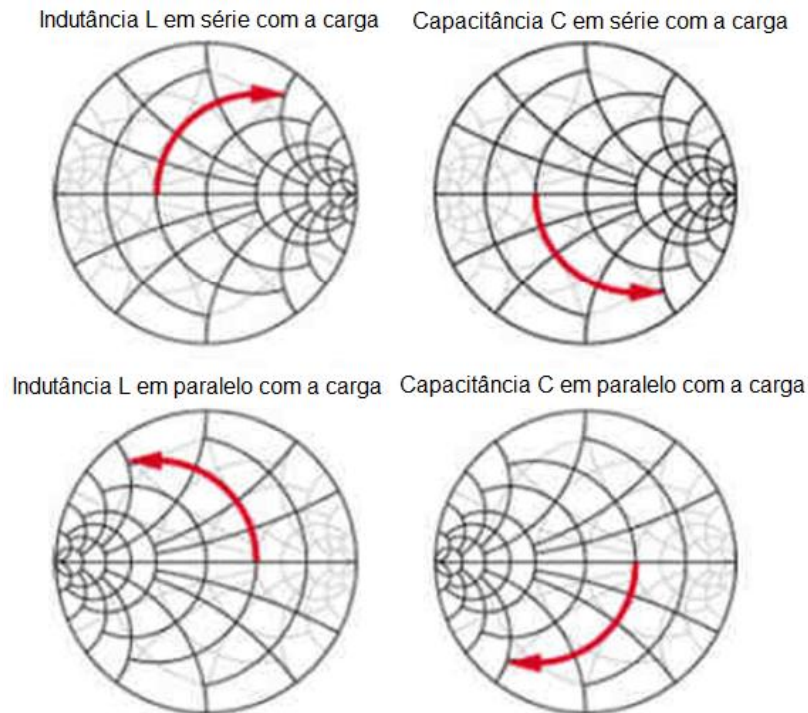


FONTE: Adaptado de [13]

Para que as impedâncias estejam bem configuradas, é necessário projetar uma rede de impedância para transformar uma impedância de carga em uma impedância igual ao complexo conjugado da impedância da fonte. Esta abordagem visa otimizar a transferência de energia da fonte para a carga e limitar a energia refletida e perdida na fonte.

Essa rede de impedância pode ser composta por capacitores e indutores, conectados em série ou paralelo, conforme a necessidade do projeto [16]. Dependendo da combinação do capacitor e indutor, a rede de impedância irá ter uma variação no plano da impedância ou admitância, conforme pode ser observado na carta de Smith da figura 8.

FIGURA 8 – Impacto de uma Indutância ou Capacitância na transformação de impedância da carga para a fonte



FONTE: Adaptado de [16]

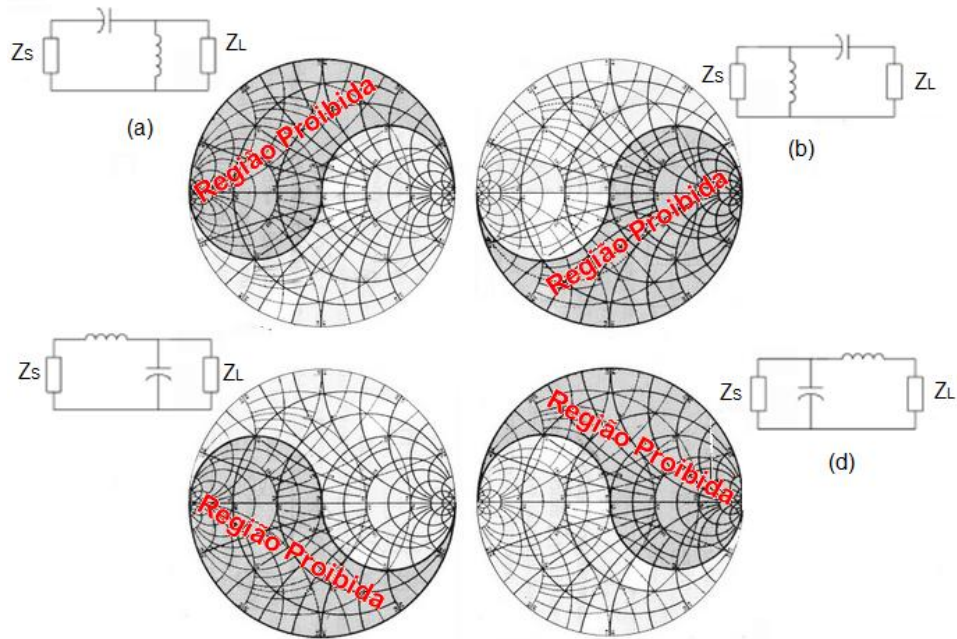
Conforme mostrado na figura 8, quando for colocado um capacitor ou indutor conectado em série com a carga, o resultado corresponderá em uma rotação no plano da impedância. Já quando o indutor ou capacitor forem conectados em paralelo com a carga, a rotação ocorrerá no plano da admitância.

2.3.2 Topologias de rede de impedâncias

As topologias ou arquiteturas de rede de impedância são utilizadas para efetuar o casamento de impedância da entrada e da saída do PA, com o intuito de otimizar a transferência de energia da fonte para a carga. A escolha da topologia determinará a capacidade da rede de impedância se ajustar para uma ou mais impedâncias. Observa-se na figura 9, que as topologias em L, com capacitores e indutores, possuem uma área de região proibida que ocupa 50% da carta de Smith, sendo que o ajuste de impedância equivalente para essa região é praticamente impossível. A região proibida é uma área onde a combinação entre indutâncias e capacitâncias não podem ser usadas para obter uma impedância no centro da carta de Smith. Por exemplo, a figura 9 (d), se $Z_s = Z_0 = 50 \Omega$, o capacitor conectado em paralelo com a fonte fará com que as impedâncias de carga que estão na região proibida não possam ser correspondente a 50Ω

A figura 9 mostra a topologia L, com a variação de posicionamento dos indutores e capacitores. Cada uma dessas topologias permite uma variação de impedância, fora da região proibida, pois a combinação dos capacitores e dos indutores na topologia L, sempre terá a rotação no mesmo sentido, fazendo com que a impedância final não consiga ocupar a região proibida.

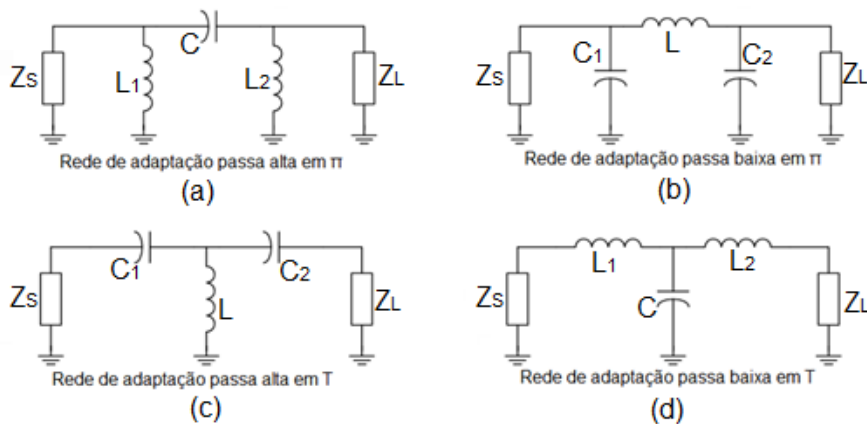
FIGURA 9 – Rede de impedância em L com a região proibida de cada topologia



FONTE: Adaptado de [16]

Além da topologia em L, alguns projetos utilizam as topologias em T ou π para formar a rede de impedância de saída do PA. Essas topologias praticamente não possuem região proibida, pois a combinação de três componentes, conforme pode ser observado na figura 10, aumenta a área de impedância que pode ser ajustada.

FIGURA 10 – Rede de impedância com as topologias T ou π



FONTE: Adaptado de [16]

A figura 10 mostra as possíveis combinações das topologias T ou π . Nota-se que a variação de posicionamento dos capacitores e indutores é que diferem às suas configurações. Em todas essas situações, a área de cobertura de impedâncias é maior devido as possíveis combinações entre os três componentes da rede de impedância. Nessas topologias também existem regiões proibidas, mas elas são bem menores, pois vão depender da rede de impedância utilizada e do tamanho dos componentes. Por um exemplo, conforme figura 10 (b), a região proibida dessa topologia vai depender do tamanho do indutor. Quanto maior for a indutância, maior será a região proibida.

Analisando as topologias apresentadas na figura 10, as figuras 10 (a) e 10 (d), possuem dois indutores e um capacitor. Nos projetos de circuitos integrados os indutores utilizam uma área muito grande. Os indutores também possuem os coeficientes de qualidades limitados e são difíceis de serem reconfiguráveis. Por esses motivos, esse projeto não utilizará nenhuma dessas duas topologias.

As topologias das figuras 10 (b) e 10 (c) possuem dois capacitores e um indutor. Os capacitores ocupam menos espaço no *chip* e podem ser facilmente reconfiguráveis. Na figura 10 (c), os capacitores estão em série com as impedâncias da fonte e de carga. Nessa topologia a dificuldade é de montar um circuito que permita a reconfigurabilidade do capacitor. Já na topologia da Figura 10 (b), os capacitores estão em paralelo com as impedâncias. Nesse caso, o circuito de reconfigurabilidade para capacitor em paralelo é mais simples de ser configurado e será discutido no Capítulo 3. Por esse motivo a topologia da Figura 10 (b), será utilizada nesse projeto.

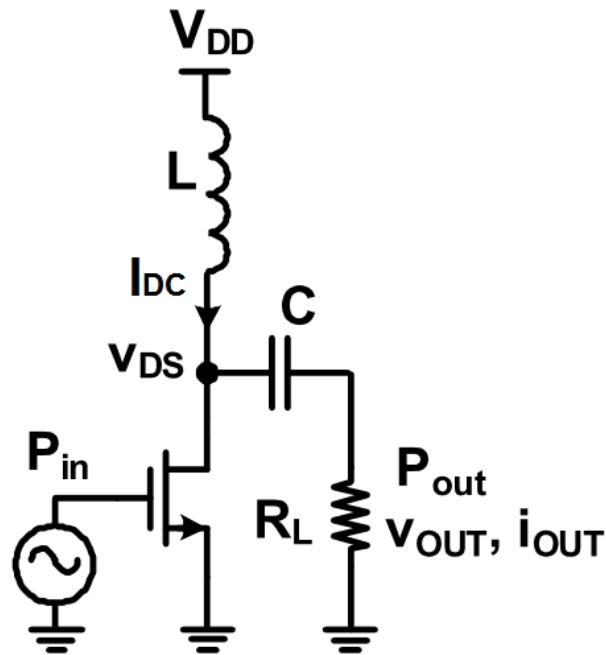
Posteriormente serão demonstrados os cálculos para definir os valores dos capacitores e indutores da topologia escolhida.

2.4 TENSÃO DE ALIMENTAÇÃO DO PA - V_{DD}

Uma das maneiras de diminuir o consumo de energia no PA é diminuir a sua tensão de alimentação. A tensão de alimentação, mais conhecida como V_{DD} , é responsável pelo ponto de operação de um PA.

A figura 11 apresenta um PA com a potência de entrada (P_{in}), V_{DD} , rede correspondente de saída e a potência de saída (P_{out}).

FIGURA 11 – Configuração simples de um PA



FONTE: Adaptado de [9]

Em um PA, quanto maior for o valor de V_{DD} , maior será o seu consumo de potência. A potência do circuito, mais conhecida como P_{DC} , é dada por,

$$P_{DC} = V_{DD} \cdot I_{DC} \quad (2.8).$$

Atualmente os PAs operam em uma faixa de $V_{DD} = 1,8$ V, sendo um dos desafios dos pesquisadores diminuir o valor de V_{DD} para diminuir o consumo de energia. À medida que a tensão ideal de um PA é baixada para diminuir o consumo de energia, a eficiência do PA cai bruscamente, e a dissipação de calor pode aumentar, mesmo que a potência de saída de RF diminua [3].

Conforme analisado, a variação do V_{DD} altera completamente o ponto de operação de um PA. Além das alterações da potência de saída, observa-se que as equações de 2.5 a 2.7 dos cálculos de eficiência do amplificador também sofrem influência com a variação de V_{DD} .

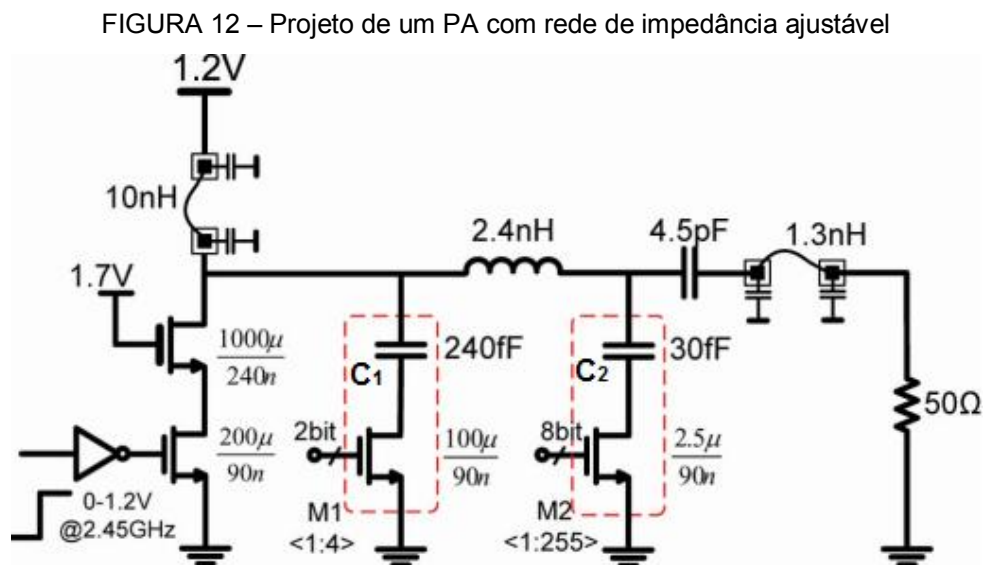
Observa-se que, alterar o V_{DD} para aumentar o tempo de vida da bateria nem sempre é a melhor solução. A alteração do V_{DD} em um PA, sem reajustar o seu ponto de operação, pode consumir mais energia. Na proposta desse trabalho, a variação do V_{DD} ocorrerá de forma manual através de uma fonte externa, onde o ponto de operação do PA será alterado, e o estágio de reconfigurabilidade da

impedância de saída ajustará uma nova impedância para que o PA possa ter uma boa potência de saída, melhorando a sua eficiência, que foi degradada pela variação do V_{DD} .

2.5 ESTADO DA ARTE

Nessa seção, será apresentada uma série de artigos sobre os PAs RF. Os artigos selecionados possuem objetivos parecidos com o trabalho proposto. Alguns artigos utilizam rede de impedância ajustável, outros variam a tensão V_{DD} , todos com o objetivo de ter uma boa eficiência e um baixo consumo de energia.

Dentro desse contexto, o ponto de partida foi o artigo [4], onde o autor apresenta um PA com uma rede de impedância de saída ajustável, possibilitando uma variação na impedância e o controle na potência de saída. Esse controle é efetuado digitalmente através dos transistores M_1 e M_2 da figura 12. O transistor M_1 , possui 2 bits de controle, e o transistor M_2 , 8 bits de controle.



FONTE: Adaptado de [4]

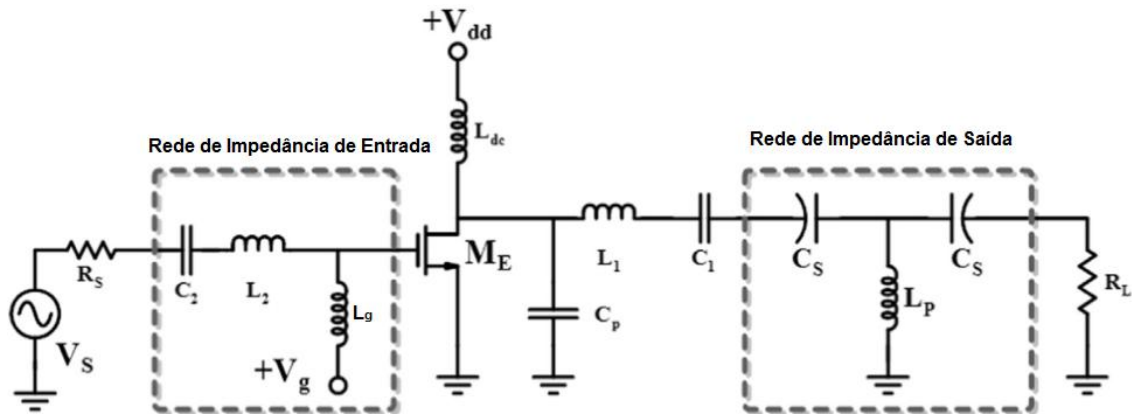
Outro ponto a destacar no circuito da figura 12 é a utilização da topologia π como rede de impedância ajustável. A variação da rede de impedância de saída do PA ocorre quando os bits de controle, que estão conectados nos transistores M_1 e M_2 , são ligados e desligados. Os bits de controle são formados por dois transistores em M_1 , 2 bits, e oito transistores em paralelo em M_2 , 8 bits. Os bits de controle alteram o valor da impedância de saída através da variação da capacitância dos

capacitores C_1 e C_2 , que estão ligados nos respectivos transistores M_1 e M_2 . Essa variação permite com que seja controlada a potência de saída do PA. Outra aplicação utilizada nesse projeto foi à variação da tensão de alimentação, onde a variação da impedância de saída permitiu com que a eficiência do PA fosse mantida, mesmo baixando a tensão. O circuito da figura 12 é um amplificador classe E, e obteve uma potência de saída de 9 dBm com uma eficiência de 27%.

No artigo [6] é apresentado um sistema de controle de impedância na saída do PA, com o intuito de melhorar a potência de saída e eficiência do PA. Nesse projeto o amplificador de potência utiliza uma topologia da rede de impedância de saída do tipo T. Outra característica interessante é que a variação da impedância não ocorre com os capacitores, mas sim com uma nova estrutura de indutor ativo, chamado de indutor ativo invertido em cascata (CASFAI).

Na figura 13 temos o esquemático proposto por [6], onde mostra-se o PA com as redes de impedâncias com capacitores e indutores. Já a figura 14, com o esquemático também proposto por [6], mostra a rede de impedância de saída com o indutor ativo.

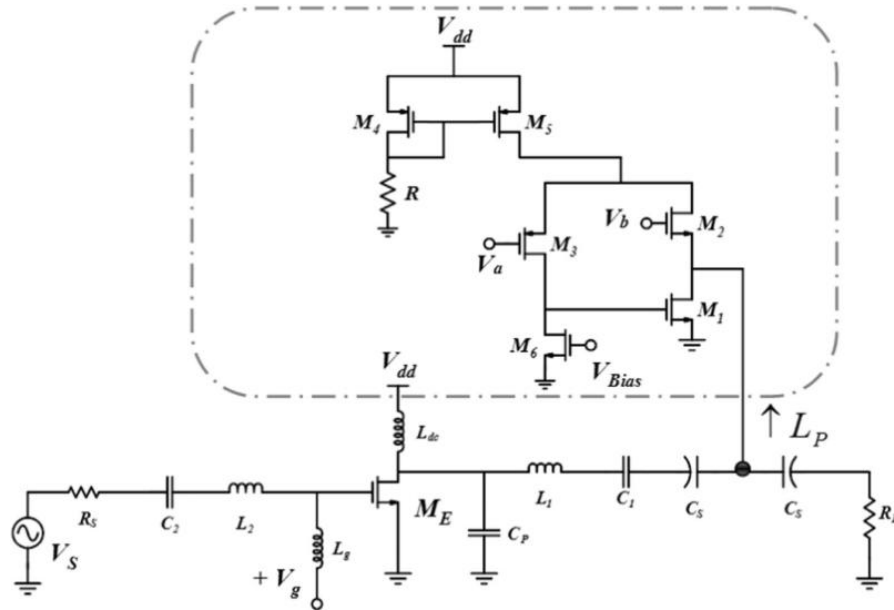
FIGURA 13 – Projeto de um PA com rede de impedância ajustável com indutor fixo LP



FONTE: Adaptado de [6]

O circuito do indutor ativo na figura 14 é o LP, que substitui o indutor convencional, também LP, da figura 13. Uma das vantagens destacadas nesse projeto é a melhoria no fator de qualidade do circuito e reduzir o tamanho do chip, uma vez que o indutor será trocado por um circuito com transistores conforme apresentado na figura 14.

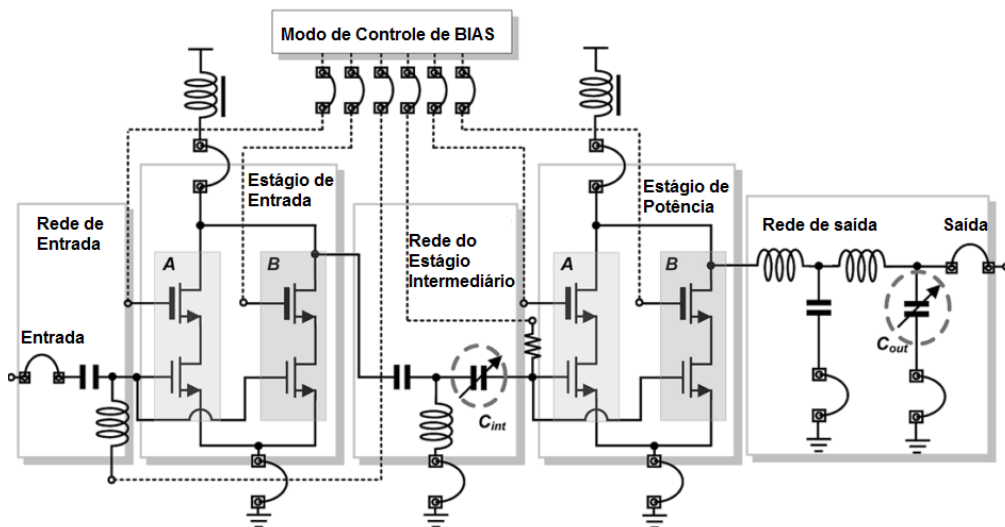
FIGURA 14 – Projeto de um PA com rede de impedância ajustável com indutor ativo CASFAI



FONTE: Adaptado de [6]

Já no artigo [12], observou-se que o autor também utiliza uma rede de impedância ajustável para melhorar a eficiência do PA. Nesse projeto, o amplificador de potência possui dois estágios de funcionamento. Tem o estágio de entrada e o estágio de saída, ambos com uma estrutura cascode, conforme pode ser observado na figura 15.

FIGURA 15 – Projeto de um PA com rede de impedância ajustável



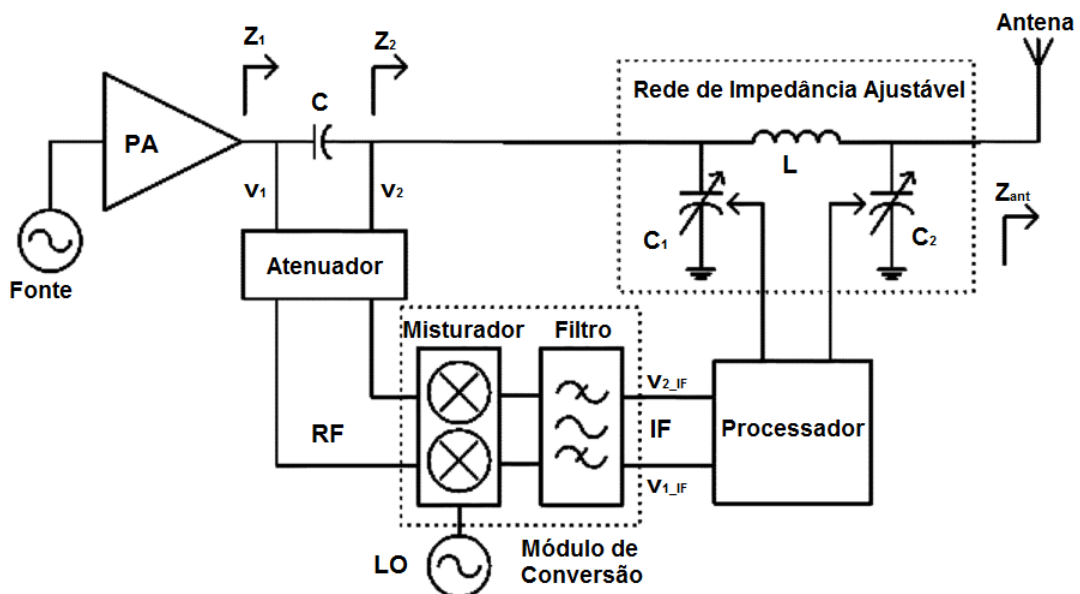
FONTE: Adaptado de [12]

No trabalho proposto por [12], o PA tem dois modos de operação, o de alta potência, chamado de HP e o de baixa potência, chamado de LP. O modo HP ocorre quando os dois estágios, de entrada e de potência, estão com o bloco “A” e “B”

habilitados. Já o modo LP, é ligado quando apenas os blocos “A”, dos dois estágios estão habilitados. Para que os dois modos de operações, HP e LP, obtenham os melhores resultados de potência e eficiência, os capacitores C_{in} e C_{out} da figura 15, são ajustados. O autor conclui que, para o seu projeto, o ajuste de impedância através dos capacitores variáveis foi utilizado para melhorar a eficiência do seu amplificador de potência, mas pode ser utilizado para melhorar outros pontos de funcionamento do PA. No artigo [5], o autor utiliza um sistema de ajuste automático da rede de impedância na saída do seu amplificador, conforme mostra a figura 16. No seu projeto, o desafio é desenvolver um sistema de detecção para identificar se a impedância de saída precisa ser reajustada. Ao detectar uma variação na impedância da antena, um algoritmo é executado por um processador, para ajustar a nova rede de impedância, que colocará o PA em boas condições de trabalho novamente.

Na figura 16, os capacitores C_1 e C_2 são reajustados conforme informação recebida pelo processador. Esse ajuste fará com que o PA trabalhe no seu melhor ponto de operação. Outro ponto que chama a atenção no projeto [5], é a topologia utilizada na rede de casamento de impedância na saída do PA. Nota-se, na figura 16, que o autor escolheu a topologia π , que possui dois capacitores em paralelo, C_1 e C_2 , e um indutor em série.

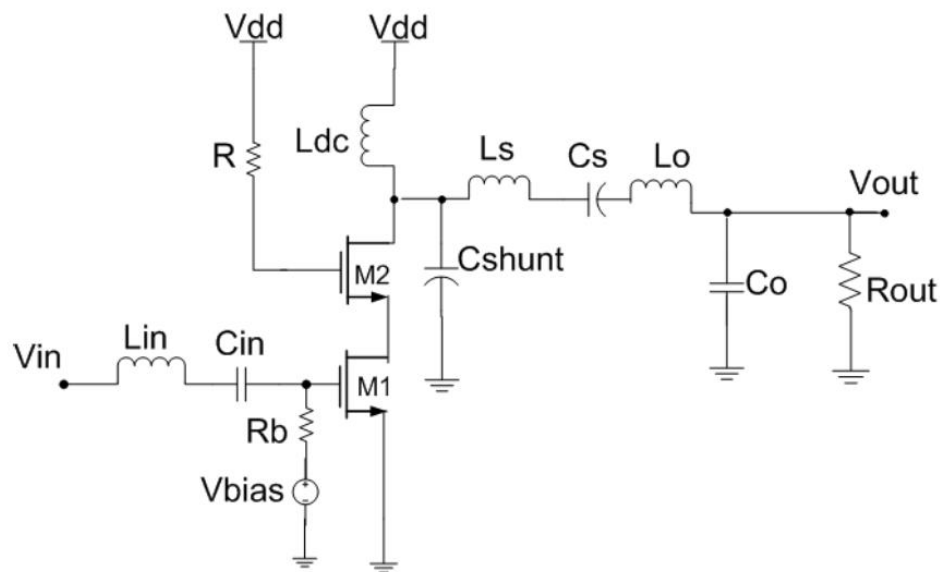
FIGURA 16 – Esquemático do projeto utilizando uma rede de impedância ajustável na saída do PA



FONTE: Adaptado de [5]

Já no artigo [17], foi utilizado um amplificador de potência com topologia cascode. A técnica utilizada para melhorar a eficiência do PA é um pouco diferente dos demais projetos. Na figura 17, é possível observar a topologia cascode, com o transistor M_1 , na configuração fonte comum (C_S), e o transistor M_2 na configuração porta comum (C_G). Os transistores possuem tamanhos pequenos, largura máxima de $10\ \mu\text{m}$ e comprimento máximo de $0,13\ \mu\text{m}$.

FIGURA 17 – Amplificador de potência com ajuste de impedância através dos transistores



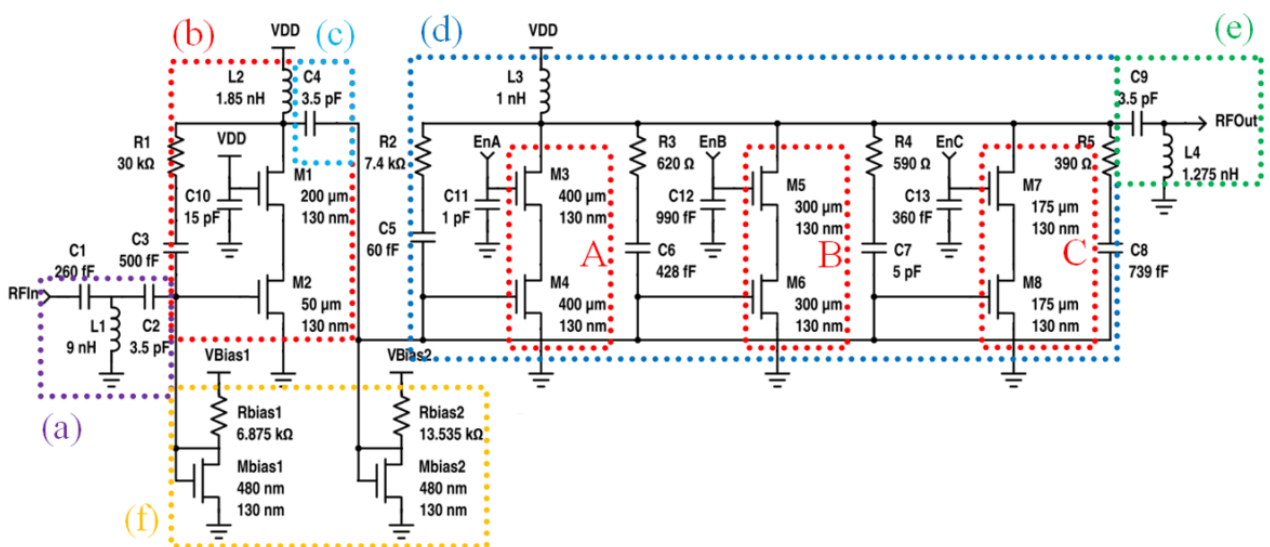
FONTE: Adaptado de [17]

O método utilizado por [17], no esquemático da figura 17, para melhorar a eficiência do PA quando a tensão de alimentação é diminuída, foi de colocar transistores em paralelo com M_1 e M_2 . Esses transistores em paralelo são chaveados em estados de ligado e desligado, e servem para controlar a impedância do circuito. Essa variação permite com que o PA trabalhe com uma variação de tensão entre $1,0\ \text{V}$ e $1,6\ \text{V}$, controlando a potência de saída e mantendo sempre uma boa eficiência.

Para finalizar o estado da arte, foi analisado o artigo [11], onde o autor tem um amplificador de potência dividido em dois estágios. O primeiro estágio é o de ganho fixo e pode ser observado na figura 18 destacado com a letra “b”. O outro estágio é o de potência, que está destacado com a letra “d” na figura 18. além desses dois estágios, o projeto está dividido nos seguintes blocos: (a) rede de impedância de entrada, (c) rede de impedância intermediária entre estágio de ganho e estágio de potência, (e) rede de impedância de saída e (f) tensão de referência.

O estágio de potência é dividido em três células, “A”, “B” e “C”, cada uma com uma configuração específica. Para o PA ter a potência máxima na saída, os três blocos do estágio de potência são alimentados por uma tensão de 1,8 V. Quando for desejada uma potência menor, é efetuada uma variação de combinação entre as três células. A menor potência de saída é obtida quando apenas a célula “C” é alimentada por 1,8 V. Dessa maneira, é possível diminuir o consumo de energia do PA, diminuindo a potência de saída.

FIGURA 18 - Amplificador de potência com controle de potência de saída



FONTE: Adaptado de [11]

A tabela 2 mostra um comparativo dos trabalhos estudados. O comparativo foi realizado entre a tecnologia de fabricação, a frequência de operação, a tensão de alimentação, o consumo de potência contínua do circuito, o ponto de compressão de 1 - dB, ganho de potência e máxima eficiência do amplificador.

TABELA 2 – TABELA COMPARATIVA DE DESEMPENHO DOS TRABALHOS ANTERIORES

Artigo	Frequência	Tecnologia a CMOS	VDD (V)	PDC (mW)	OCP _{1dB} (dBm)	Ganho (dB)	PAE (%)
[4]	2,4 GHz	0,09 μm	1,2	*	8	16 ~ 24	25 ~ 30
[6]	2,4 GHz	0,18 μm	1,5	*	15	25	70
[12]	2,4 GHz	0,18 μm	3,3	40 ~ 132	16 ~ 22,3	16 ~ 24	28 ~ 40,4
[5]	2,4 GHz	0,13 μm	1,2	2,93	0	20	34
[17]	2,4 GHz	0,13 μm	1,3	*	11,9	*	53
[11]	2,4 GHz	0,13 μm	1,8	171 ~ 415	6 ~ 18,2	13 ~ 21	3,8 ~ 21,9

*Informações não disponibilizadas

FONTE: O AUTOR (2018)

Após analisar os trabalhos anteriores, foi identificada a necessidade de desenvolver um amplificador de potência RF na frequência de 2,4GHz, que consiga manter uma boa eficiência e um baixo consumo de energia, utilizando estágios de reconfigurabilidade, tanto de potência como na impedância de saída. Observou-se que a eficiência do PA pode ser melhorada utilizando redes de impedância ajustáveis [4], [6], [12], [5], o consumo de energia pode ser diminuído baixando o valor da tensão e controlando o nível da potência de saída do PA [17], [11].

Para o projeto proposto, será utilizada uma boa base do projeto [11], devido ao seu trabalho utilizar um sistema de controle de potência independente e permitir uma variação de potência de saída entre 6 dBm e 18,2 dBm. Esse controle de potência será importante para variar o consumo de energia do PA, pois ao reduzir a potência de saída, o consumo de energia é reduzido, mas a eficiência também é reduzida. Para garantir uma boa eficiência do PA, será montada uma rede de impedância de saída utilizando uma proposta parecida com projeto [5], a fim de permitir uma grande variação no ajuste do casamento de impedância de saída do PA. Essa rede de impedância de saída terá módulos de reconfigurabilidade, fazendo com que o amplificador de potência proposto funcione sempre no seu melhor ponto de operação.

As especificações do projeto proposto são mostradas na tabela 3. Observa-se que os valores de potência de saída no ponto de compressão de 1 - dB, OCP_{1dB} , devem ser maiores do que 10 dBm para o modo de baixa potência, e maior do que 18 dBm para o modo de alta potência, baseado no projeto do [11]. Os valores de eficiência e de consumo de potência também foram tomados por base no projeto [11], mas com resultados melhores devido à rede de impedância de saída ser reconfigurada.

TABELA 3 – ESPECIFICAÇÕES DO PROJETO PROPOSTO

Parâmetros	Especificado
Frequência de operação	2,4 GHz
Tecnologia CMOS	0,13 μm
Tensão de alimentação mínima	1,1 V
Tensão de alimentação máxima	1,8 V
Consumo de potência (P_{DC}) – modo de alta potência	$\leq 400 \text{ mW}$
Consumo de potência (P_{DC}) – modo de baixa potência	$\leq 100 \text{ mW}$
Potência de saída ($\text{OCP}_{1\text{dB}}$) – modo de alta potência	$\geq 18 \text{ dBm}$
Potência de saída ($\text{OCP}_{1\text{dB}}$) – modo de baixa potência	$\geq 10 \text{ dBm}$
Eficiência (PAE) – modo de alta potência	$\geq 18\%$
Eficiência (PAE) – modo de baixa potência	$\geq 10\%$
Impedância de entrada	50 Ω
Impedância de saída	Ajustável

FONTE: O AUTOR (2018)

3 PROJETO DE UM AMPLIFICADOR DE POTÊNCIA COM ESTÁGIOS DE RECONFIGURABILIDADE

Com base na literatura estudada, um PA com dois estágios reconfiguráveis, estágio de potência e estágio da rede de impedância de saída, e um controlador digital, é proposto nessa dissertação. Todas as configurações são realizadas com componentes internos no *chip*, sem a necessidade de componentes externos.

Esse projeto é desenvolvido na tecnologia CMOS 0,13 μm , operando na frequência de 2,4 GHz, e foi realizado conforme as seguintes etapas:

- definição da topologia do PA;
- definição do modo de controle da potência do PA;
- definição da topologia da rede de impedância de saída;
- dimensionamento dos capacitores e transistores no estágio de reconfigurabilidade da rede de impedância de saída;
- configuração do controlador digital para os estágios de reconfigurabilidade do PA.

O projeto foi baseado nas topologias utilizadas por [11] e por [5], onde foi implantado um controlador digital para controlar a variação da potência de saída e da rede de impedância de saída do PA. A topologia do PA apresentada por [11] possui um estágio de ganho fixo e um estágio de potência programável, com estrutura cascode, em sete modos de operação. O estágio de potência utilizado por [11] permite a variação da tensão de alimentação de modo independente.

Já a topologia de rede de impedância de saída utilizada por [5] apresenta como resultado uma boa variação da impedância de saída, com os ajustes sendo efetuados nos capacitores. Esse ajuste permite que o PA volte a funcionar no seu melhor ponto de operação e mantenha sempre uma boa eficiência.

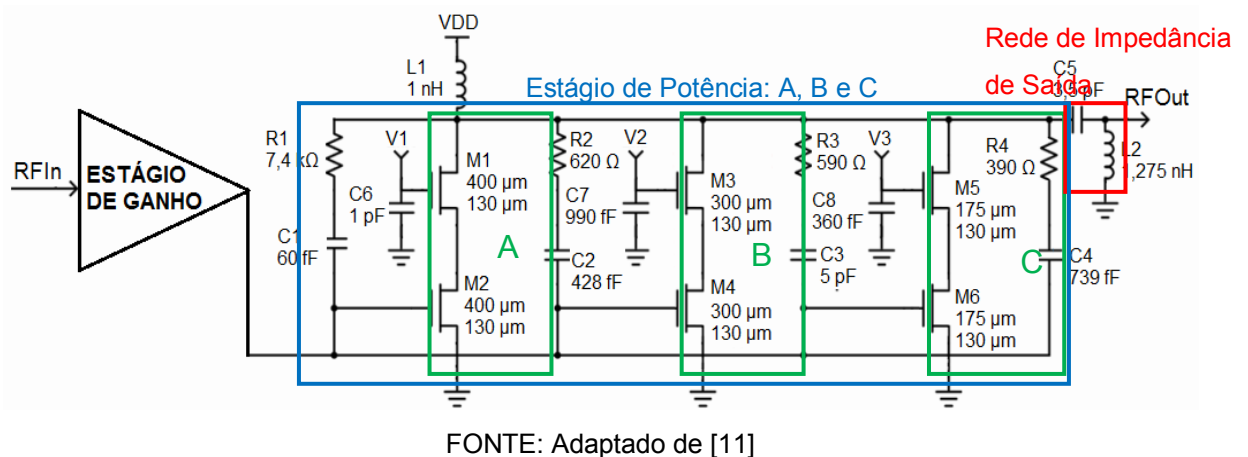
Neste capítulo será apresentado o desenvolvimento dos estágios de potência e rede de impedância de saída, e do controlador digital, bem como os resultados apresentados para cada estágio.

3.1 ESTÁGIO DE POTÊNCIA

O estágio de potência fica na saída do PA e a sua função é transmitir uma potência que seja suficiente para a carga do circuito. O estágio de potência consome muita energia do PA, sendo esse um dos motivos dos amplificadores de potência serem divididos em mais de um bloco. No projeto proposto, a utilização da topologia feita por [11] é fundamental, pois o estágio de potência pode ser ajustado, sem alterar a configuração do estágio de ganho.

Na figura 19 é apresentado o esquemático que será utilizado no projeto. Observa-se que o sinal RF entra no estágio de ganho, onde ele é amplificado. No estágio de ganho a tensão de alimentação utilizada é de 1,8 V. Após o sinal ser amplificado, ele vai para o estágio de potência, que está destacado na cor azul.

FIGURA 19 – Amplificador de potência classe AB com controle de potência de saída



O estágio de potência é composto por um indutor de bloqueio (L_1), quatro circuitos de retorno RC (R_1 a R_4 e C_1 a C_4), três capacitores para melhorar a estabilidade do circuito na frequência de 2,4 GHz (C_6 a C_8) e três células de amplificadores de potência utilizando a topologia cascode (A, B e C) [11].

Essas células são responsáveis por controlar o nível de potência de saída com que o sinal será transmitido. A célula “A” possui os transistores M_1 e M_2 com larguras maiores ($W=400 \mu\text{m}$), sendo responsável por níveis de potências maiores. Já célula “B” possui transistores M_3 e M_4 com larguras intermediárias ($W=300 \mu\text{m}$), possibilitando níveis de potências intermediários. E a célula “C” é a que transmite níveis de potências menores, pois os seus transistores M_5 e M_6 possuem larguras inferiores ($W=175 \mu\text{m}$), se comparadas com as demais. As larguras dos transistores

foram obtidas através de simulações até obter distribuição uniforme de potência entre as células.

Cada célula é controlada por um nível de tensão independente. Na figura 19, observa-se que a célula “A” tem uma entrada “ V_1 ” ligada no transistor M_1 , a célula “B” tem uma entrada “ V_2 ” e a célula “C” a entrada “ V_3 ”. Quando essas entradas estiverem ligadas, a célula estará ligada e transmitindo certo nível de potência e se elas estiverem desligadas, não haverá transferência de potência.

Como cada célula possui uma entrada independente, é possível realizar oito combinações no estágio de potência. Por exemplo, se a entrada “ V_3 ” estiver ligada e as entradas “ V_1 ” e “ V_2 ” desligadas, a potência de saída fornecida será apenas o da célula 3. Na tabela 4, observam-se as possíveis combinações pelas células do estágio de potência.

TABELA 4 – MODOS DE OPERAÇÃO DO ESTÁGIO DE POTÊNCIA

V1	V2	V3	$W_{total}(\mu m)$	Níveis de potência
0	0	0	0	0
0	0	1	175	Baixa
0	1	0	300	Baixa
1	0	0	400	Intermediária
0	1	1	$300 + 175 = 475$	Intermediária
1	0	1	$400 + 175 = 575$	Intermediária
1	1	0	$400 + 300 = 700$	Alta
1	1	1	$400 + 300 + 175 = 875$	Alta

FONTE: ADAPTADO DE [11]

As combinações apresentadas na tabela 3 ocorrem devido cada célula ter um valor diferente na largura do transistor. Como as células “A”, “B” e “C” estão ligadas em paralelo, quando as entradas “ V_1 ”, “ V_2 ” e “ V_3 ” forem ligadas, as larguras dos transistores se somam, aumentando o nível de potência de saída. Nota-se, na tabela 4, que o nível de potência mais alto ocorre quando todas as células estão ligadas, e o nível mais baixo ocorre quando as células estão desligadas.

As variações de potência de saída também podem ocorrer com as variações nos valores de tensão, que serão aplicados nas entradas “ V_1 ”, “ V_2 ” e “ V_3 ”. A proposta desse projeto é variar a tensão das entradas “ V_1 ”, “ V_2 ” e “ V_3 ” juntamente

com a tensão de alimentação entre 1,0 V até 1,8 V, para obter níveis de potências e consumo de energia diferente.

A rede de impedância de saída utilizada por [11], que está destacada em vermelho na figura 19, não será utilizada nesse projeto, devido à limitação de reconfigurabilidade, conforme literatura estudada.

3.2 ESTÁGIO DA REDE DE IMPEDÂNCIA DE SAÍDA

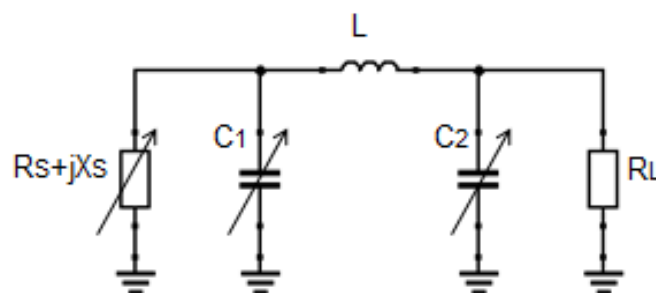
Nos capítulos 2.2 e 2.3 foram apresentados o método de simulação *load pull*, para encontrar uma impedância ótima de saída do circuito, e os tipos de topologia de rede de impedância que são utilizados nos amplificadores de potência.

Após analisar o estudo bibliográfico realizado e comparar as diferenças das topologias, foi escolhida uma rede de impedância que possa ser reconfigurável e que possibilite melhorar o ponto de operação do PA.

A rede de impedância escolhida utiliza a topologia em π , com dois capacitores em paralelo e um indutor em série. Essa rede de impedância permite um grande intervalo de impedância de saída e será fundamental para ajustar o ponto de operação do amplificador de potência.

Na figura 20 é apresentada a rede de impedância de saída. Essa topologia é composta por uma impedância de entrada, Z_S , mais conhecida como impedância da fonte, onde R_S e X_S correspondem respectivamente a parte real e imaginária de Z_S e são variáveis, pois representam a impedância de saída do PA operando em modos diferentes. Os capacitores C_1 e C_2 são os componentes que serão ajustados conforme a variação do ponto de operação do PA. Já o indutor L é um componente com valor fixo. E na saída tem-se a impedância de carga Z_L , que possui apenas uma parte real, R_L .

FIGURA 20 – Rede de impedância com topologia em π com capacitor variável



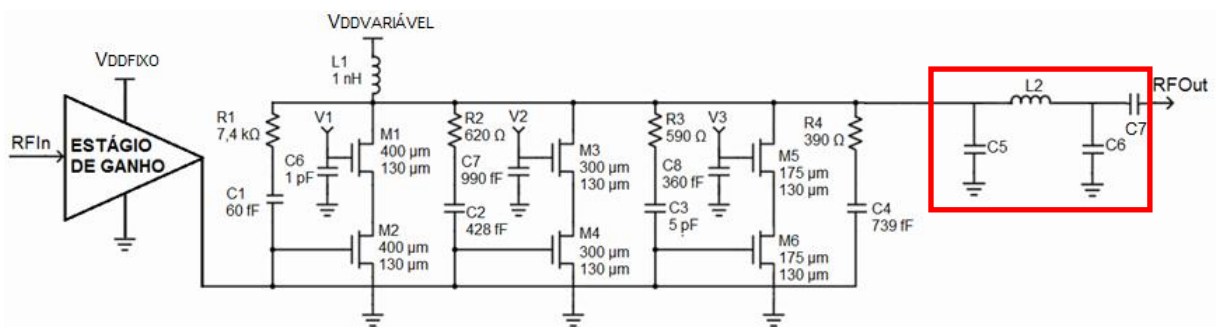
FONTE: Autor (2018)

Após definir a topologia que será utilizada no projeto, foram efetuadas as simulações de *load pull* para definir os valores de impedâncias do circuito e posteriormente calcular os valores dos componentes.

3.2.1 Simulações de *load pull* para definir as impedâncias do projeto para o melhor OCP_{1dB} do circuito

A simulação do *load pull* foi realizada no circuito apresentado na figura 21, com o estágio de potência controlado pelas chaves “V₁”, “V₂” e “V₃” e uma rede de impedância fixa. A rede de impedância de saída, em destaque na figura 21, é fixa para poder determinar as melhores impedâncias para cada estágio de reconfigurabilidade que será apresentado no projeto proposto.

FIGURA 21 – Circuito do amplificador de potência do projeto proposto com rede de impedância fixa



FONTE: Autor (2018)

Primeiramente foi definido que o V_{DDFIXO} terá o valor de 1,8 V, mantendo a configuração inicial do estágio de ganho. O $V_{DDVARIÁVEL}$ será variado entre 1,0 V até 1,8 V, e as tensões “V₁”, “V₂” e “V₃” das células de potência terão o mesmo valor do $V_{DDVARIÁVEL}$. Os capacitores “C₅”, “C₆” e o indutor “L₂” formam uma rede de impedância fixa na topologia π e o capacitor “C₇” é utilizado para bloquear o sinal DC na saída RF. Foi utilizada essa rede de impedância fixa, sem variar a impedância de saída, a fim de obter resultados com diferentes configurações do PA variando a potência de saída e o $V_{DDVARIÁVEL}$, com o intuito de comparar esses resultados com os resultados que serão obtidos com a variação da rede de impedância de saída variável.

Na tabela 5, pode-se observar todas as simulações possíveis, sendo comparado o OCP_{1dB} sem *load pull*, com o OCP_{1dB} com *load pull*. Nota-se que em alguns pontos de configuração, é possível ver que o PA tem pontos de melhorias

para ter uma potência de saída melhor. Vale ressaltar que a simulação *load pull* faz uma varredura no circuito e apresenta a melhor impedância de saída para o melhor resultado que pode ser configurado no PA. Na configuração com a rede de impedância fixa, a potência de saída do PA é a do OCP_{1dB} sem *load pull*.

TABELA 5 – SIMULAÇÃO *LOAD PULL* COM REDE DE IMPEDÂNCIA FIXA NO PROJETO

SIMULAÇÃO	$V_{DDVARIÁVEL}$ (V)	V1 (V)	V2 (V)	V3 (V)	OCP_{1dB} (dBm)	OCP_{1dB} (dBm) COM <i>LOAD PULL</i>	P_{DC} Total (mW)	IMPEDÂNCIA DE SAÍDA COM <i>LOAD PULL</i>
1	1,8	0	0	1,8	6,43	9,93	101,10	15,11+j34,30
2	1,8	0	1,8	0	11,25	13,77	146,60	25,56+j29,88
3	1,8	0	1,8	1,8	15,02	16,31	209,90	36,62+j13,57
4	1,8	1,8	0	0	13,43	15,21	179,60	31,10+j26,32
5	1,8	1,8	0	1,8	16,21	17,17	241,90	29,83+j10,98
6	1,8	1,8	1,8	0	17,75	18,29	285,00	35,91+j8,40
7	1,8	1,8	1,8	1,8	18,96	19,23	344,60	41,32+j0,069
8	1,7	0	0	1,7	6,39	9,77	96,08	15,10+j34,30
9	1,7	0	1,7	0	11,18	13,51	139,90	25,56+j29,88
10	1,7	0	1,7	1,7	15,17	16,02	199,20	36,62+j21,64
11	1,7	1,7	0	0	13,63	14,95	170,80	31,10+j26,32
12	1,7	1,7	0	1,7	16,05	16,84	229,30	29,83+j10,98
13	1,7	1,7	1,7	0	17,73	17,90	269,80	35,91+j8,40
14	1,7	1,7	1,7	1,7	18,55	18,80	326,80	42,57-j4,73
15	1,6	0	0	1,6	6,34	9,56	92,12	15,10+j34,30
16	1,6	0	1,6	0	11,10	13,16	133,20	25,56+j29,88
17	1,6	0	1,6	1,6	14,72	15,61	188,40	36,62+j21,64
18	1,6	1,6	0	0	13,51	14,60	162,10	31,10+j26,32
19	1,6	1,6	0	1,6	16,05	16,46	217,10	35,91+j8,40
20	1,6	1,6	1,6	0	17,01	17,47	255,80	42,64+j4,85
21	1,6	1,6	1,6	1,6	18,25	18,27	311,30	46,31-j8,41
22	1,5	0	0	1,5	6,27	9,25	88,17	20,19+j32,49
23	1,5	0	1,5	0	10,98	12,79	126,40	31,10+j26,32
24	1,5	0	1,5	1,5	14,48	15,18	177,70	41,85+j15,72
25	1,5	1,5	0	0	13,06	14,19	153,40	36,62+j21,64
26	1,5	1,5	0	1,5	15,77	15,97	204,30	35,91+j8,40
27	1,5	1,5	1,5	0	16,88	16,92	241,10	41,32+j0,069
28	1,5	1,5	1,5	1,5	17,58	17,70	294,10	46,31-j8,41
29	1,4	0	0	1,4	6,19	8,94	84,23	20,19+j32,48
30	1,4	0	1,4	0	10,82	12,35	119,60	31,10+j26,32
31	1,4	0	1,4	1,4	14,14	14,70	167,10	35,91+j8,40
32	1,4	1,4	0	0	13,10	13,77	144,50	29,83+j10,98
33	1,4	1,4	0	1,4	15,33	15,44	192,20	42,64+j4,85
34	1,4	1,4	1,4	0	16,35	16,40	226,00	42,57-j4,73

TABELA 5 – SIMULAÇÃO *LOAD PULL* COM REDE DE IMPEDÂNCIA FIXA NO PROJETO

SIMULAÇÃO	V _{DDVARIÁVEL} (V)	V1 (V)	V2 (V)	V3 (V)	OCP _{1dB} (dBm)	OCP _{1dB} (dBm) COM LOAD <i>PULL</i>	P _{DC} Total (mW)	IMPEDÂNCIA DE SAÍDA COM LOAD <i>PULL</i>
35	1,4	1,4	1,4	1,4	16,93	17,17	276,00	41,62-j15,54
36	1,3	0	0	1,3	6,09	8,52	80,29	20,19+j32,49
37	1,3	0	1,3	0	10,57	11,85	112,80	31,10+j26,32
38	1,3	0	1,3	1,3	13,98	14,13	156,50	35,91+j8,40
39	1,3	1,3	0	0	12,78	13,28	135,50	29,83+j10,98
40	1,3	1,3	0	1,3	14,86	14,93	179,00	42,64+j4,85
41	1,3	1,3	1,3	0	15,85	15,89	209,20	42,57-j4,73
42	1,3	1,3	1,3	1,3	16,44	16,65	253,00	52,17-j19,65
43	1,2	0	0	1,2	5,95	7,99	76,32	25,56+j29,88
44	1,2	0	1,2	0	10,22	11,33	105,80	36,62+j21,64
45	1,2	0	1,2	1,2	13,49	13,60	145,10	46,44+j8,48
46	1,2	1,2	0	0	12,40	12,81	126,00	29,83+j10,98
47	1,2	1,2	0	1,2	14,40	14,44	164,40	41,32+j0,069
48	1,2	1,2	1,2	0	15,42	15,48	189,30	46,31-j8,41
49	1,2	1,2	1,2	1,2	16,20	16,35	222,80	52-j9,52
50	1,1	0	0	1,1	5,74	7,43	72,25	25,56+j29,88
51	1,1	0	1,1	0	9,76	10,79	98,54	36,62+j21,64
52	1,1	0	1,1	1,1	12,90	12,99	133,70	46,44+j8,48
53	1,1	1,1	0	0	11,95	12,28	116,10	35,91+j8,40
54	1,1	1,1	0	1,1	13,84	13,87	149,70	42,64+j4,85
55	1,1	1,1	1,1	0	14,94	14,95	168,50	42,57-j4,73
56	1,1	1,1	1,1	1,1	15,70	15,78	195,80	52-j9,52
57	1	0	0	1	5,40	6,62	68,08	25,56+j29,87
58	1	0	1	0	9,47	9,98	91,54	36,62+j21,64
59	1	0	1	1	12,00	12,05	123,40	46,44+j8,48
60	1	1	0	0	11,21	11,44	107,20	41,85+j15,72
61	1	1	0	1	12,90	12,90	137,90	50+j0
62	1	1	1	0	13,99	13,99	154,20	50+j0
63	1	1	1	1	14,64	14,70	180,60	52-j9,52

FONTE: AUTOR (2018)

Observa-se na tabela 5 que a variação de resultados é muito grande, com configuração onde o PA tem um consumo de 344,60 mW e um OCP_{1dB} com load pull de 19,23 dBm para a simulação número “7”. Já a simulação “57” é a que possui o menor consumo 68,08 mW e o menor OCP_{1dB} de 6,62 dBm. A variação da impedância de saída também é grande, para diversas simulações a impedância de saída sofreu alteração para obter o melhor OCP_{1dB} na simulação *load pull*.

Após analisar os resultados da tabela 5, foram selecionadas apenas as simulações que possuem um OCP_{1dB} com *load pull* acima de 10 dBm, sendo esse o valor mínimo colocado na métrica do projeto. Com essa seleção, 53 simulações serão utilizadas para ser efetuado o cálculo dos componentes e dimensionamento do projeto, conforme será apresentado no próximo capítulo.

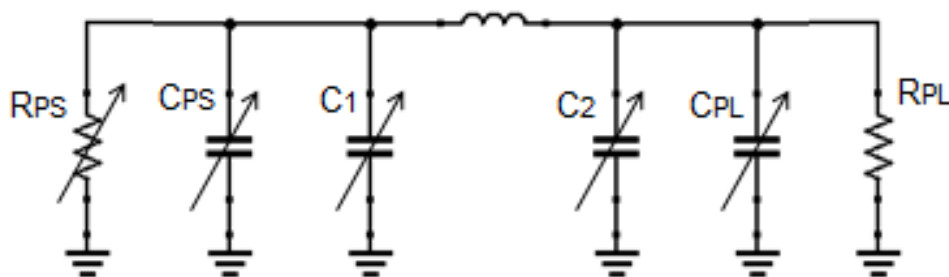
3.2.2 Dimensionamento da Topologia π

O método utilizado possui baixa complexidade e cálculos simples, tendo como base o trabalho que [5] realizou. A diferença desse projeto, para o projeto proposto por [5], é que nesse projeto a impedância de carga é fixa e a impedância da fonte é variável. Já no projeto de [5], a variação ocorre na impedância de carga e a impedância da fonte é fixa, pois nesse projeto é analisada a interferência externa em um PA e não a variação da impedância na saída do PA.

O primeiro passo desse método é transformar a topologia em π convencional da figura 20 em uma rede de impedância equivalente.

Antes de gerar a rede de impedância equivalente é apresentada na figura 22 uma rede de impedância intermediária a fim de facilitar o entendimento da transformação proposta da topologia π convencional. Observa-se que, na figura 22, que a impedância Z_S foi substituída por um resistor R_{PS} , conforme cálculos das equações 3.1 e 3.3, e entre a impedância de fonte Z_S e o capacitor C_1 aparece um capacitor C_{PS} que faz parte do processo de transformação da topologia convencional da figura 20 para a rede de impedância equivalente, conforme equação 3.5. Já a impedância de carga Z_L foi substituída por uma resistência de carga R_{PL} , através das fórmulas 3.2 e 3.4, e entre a impedância da carga Z_L e o capacitor C_2 , tem-se o capacitor C_{PL} que foi obtido através da equação 3.5.

FIGURA 22 – Rede de impedância com topologia em π intermediária para a nova configuração



FONTE: Autor (2018)

Após conhecer a rede de impedância intermediária é apresentado os cálculos necessários para a transformação da rede de impedância equivalente. Primeiramente é definido o coeficiente de qualidade da fonte, Q_S , e o coeficiente de qualidade da carga, Q_L , que são representados por,

$$Q_S = \frac{-X_S}{R_S}, \quad (3.1),$$

e

$$Q_L = \frac{-X_L}{R_L}. \quad (3.2).$$

A impedância da fonte agora é representada por um resistor R_{PS} , e a impedância de carga por um resistor R_{PL} :

$$R_{PS} = R_S \cdot (1 + Q_S^2), \quad (3.3),$$

e

$$R_{PL} = R_L \cdot (1 + Q_L^2). \quad (3.4).$$

Os capacitores da topologia equivalente são representados por C_{PS} e C_{PL} , dados por:

$$C_{PS} = \frac{Q_S}{R_{PS} \cdot \omega}, \quad (3.5),$$

e

$$C_{PL} = \frac{Q_L}{R_{PL} \cdot \omega}. \quad (3.6),$$

onde, ω é a frequência angular e f a frequência, representado por,

$$\omega = 2 \cdot \pi \cdot f. \quad (3.7).$$

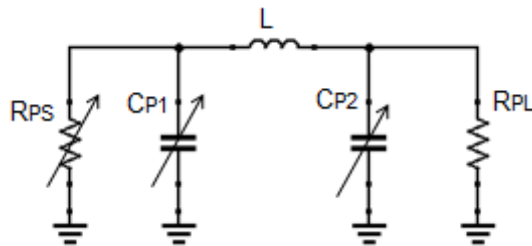
Como os capacitores C_{PS} e C_1 , C_{PL} e C_2 estão em paralelos são definidos os capacitores equivalentes C_{P1} e C_{P2} respectivamente, dados por:

$$C_{P1} = C_{PS} + C_1 = \frac{Q_S}{R_{PS} \cdot \omega} + C_1, \quad (3.8),$$

e

$$C_{P2} = C_{PL} + C_2 = \frac{Q_L}{R_{PL} \cdot \omega} + C_2. \quad (3.9),$$

A figura 23 apresenta a rede de impedância equivalente final após todo o processo de transformação descrito anteriormente. Observa-se que, na figura 23, a impedância de fonte Z_S foi substituída por R_{PS} . Já a impedância de carga Z_L foi substituída por R_{PL} . Os capacitores C_1 e C_2 foram substituídos por C_{P1} e C_{P2} , respectivamente. O indutor, L , é o único componente que não sofre alteração nesse método de configuração da rede de impedância.

FIGURA 23 – Rede de impedância com topologia em π equivalente final

FONTE: Autor (2018)

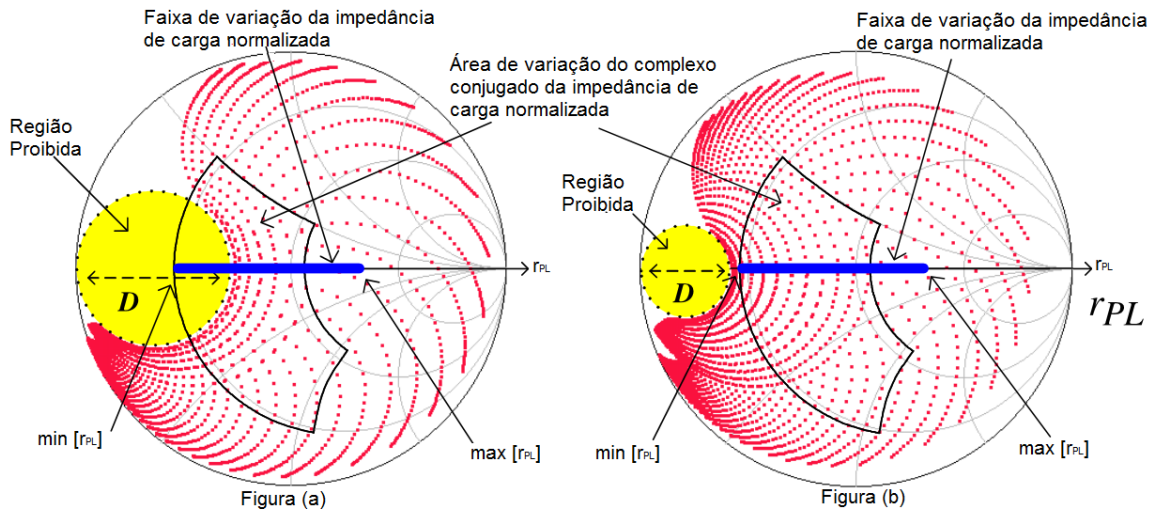
Após dimensionar todos os componentes equivalentes, é preciso definir o indutor. Apesar do indutor ser um componente fixo na rede de impedância de saída, o seu valor é fundamental, pois a grande variação de impedância depende dele.

Na figura 24 pode ser analisado um teste efetuado por [5], com dois valores de indutores diferentes, figura 24 (a), $L = 2,4 \text{ nH}$, e figura 24 (b), $L = 1,7 \text{ nH}$, onde foi atribuído uma variação de capacitâncias, para C_{P1} e C_{P2} , entre $0,2 \text{ pF}$ e 10 pF , com uma resolução de $0,2 \text{ pF}$. Observa-se que, nas duas figuras, há uma região chamada de proibida. Dentro da região proibida, que está em amarelo, há uma área de impedância que não poderá ser utilizada pela rede de impedância, limitando assim a rede de impedância ajustável.

Nota-se também que a região proibida da figura 24 (a) é maior que da figura 24 (b). Essa área de ocupação está diretamente ligada ao tamanho do indutor. Quanto menor for o indutor, menor será a região proibida, e maior será a área de ajuste de impedâncias.

Na figura 24 (a), a região proibida ocupa a mesma área da faixa de impedância de carga normalizada, r_{PL} , e também a faixa do complexo conjugado da impedância de carga normalizada. Essa faixa de impedância que está dentro da região proibida não poderá ser ajustada na rede de impedância de saída. Já na figura 24 (b), isso não ocorre, sendo possível ajustar qualquer faixa de impedância de carga.

FIGURA 24 – Gráfico de um sintonizador dinâmico de impedância em 2,4 GHz em função da impedância, (a): $L = 2,4$ nH e (b): $L = 1,7$ nH



FONTE: Adaptada de [5]

O cálculo para achar o diâmetro da região proibida, pode ser utilizado para achar o valor do indutor, basta apenas ter definido a área de impedância e o diâmetro da região proibida. O diâmetro é dado por:

$$D = \frac{L \cdot \omega}{R_{PS}} , \quad (3.10),$$

onde D é o diâmetro desejado e L o valor do indutor.

Após definir o dimensionamento dos componentes da topologia equivalente, é necessário encontrar os valores dos capacitores, para que a rede de impedância de saída fique completa. Vale ressaltar que, o objetivo principal de uma rede de impedância é adaptar a impedância de carga normalizada r_{PL} a impedância da fonte normalizada r_{PS} igual a 1 e localizada no centro da carta de Smith.

A próxima etapa é definir um ponto onde r_{PL} e r_{PS} sejam iguais e que seja possível dimensionar o valor dos capacitores. Esse ponto será chamado de x_0 , e é representado por:

$$x_0 = \frac{1 + \sqrt{r_{PL} - (l\omega)^2}}{l\omega} , \quad (3.11),$$

onde l é a indutância normalizada, r_{PL} é a impedância de carga normalizada e ω é a frequência angular. As expressões da indutância normalizada e da impedância de carga normalizada são dadas por:

$$l = \frac{L}{R_{PS}} , \quad (3.12),$$

e

$$r_{PL} = \frac{R_{PL}}{R_{PS}}, \quad (3.13),$$

sendo L o indutor da rede de impedância.

Após encontrar o x_0 são encontradas as admitâncias do circuito através de y_1 e y_2 representadas por,

$$y_1 = 1 - jx_0, \quad (3.14),$$

e

$$y_2 = \frac{1}{z_1 - jl\omega}, \quad (3.15),$$

onde z_1 é a impedância de y_1 , dada por

$$z_1 = \frac{1}{y_1}. \quad (3.16).$$

Com as admitâncias da rede de impedância encontradas, é possível encontrar os valores dos componentes equivalentes C_{P1} e C_{P2} , através de:

$$C_{P1} = \frac{-Im(y_1)}{R_{PS}\omega}, \quad (3.17),$$

e

$$C_{P2} = \frac{Im(y_2)}{R_{PL}\omega}. \quad (3.18).$$

A partir das equações 3.17 e 3.18, é possível encontrar os valores dos capacitores C_1 e C_2 , representados por:

$$C_1 = C_{P1} - \frac{Q_S}{R_{PS}\omega}, \quad (3.19),$$

e

$$C_2 = C_{P2} - \frac{Q_L}{R_{PL}\omega}. \quad (3.20).$$

Após demonstrar os cálculos dos capacitores, o método para configurar a rede de impedância é finalizado. Nota-se que o processo é bem simples, sendo necessário definir um valor de indutância que cubra toda a área de impedância e através das fórmulas de 3.11 a 3.20, são calculados os capacitores, formando assim a rede de impedância.

Para validar a teoria apresentada, é apresentado um cenário com as configurações das impedâncias da fonte e da carga da figura 20. Foram selecionadas três impedâncias da tabela 5, da simulação *load pull* para encontrar os valores dos componentes.

As impedâncias R_{PS} e R_{PL} são calculadas através das fórmulas 3.3 e 3.4, respectivamente. O valor de indutância utilizado é 1,24 nH, o mesmo utilizado na

simulação de *load pull*. Os valores de x_0 , y_1 e y_2 , são dados por 3.11, 3.14 e 3.15, respectivamente. E os capacitores C_1 e C_2 são extraídos das equações 3.19 e 3.20, respectivamente. Os resultados são apresentados na tabela 6.

TABELA 6 – RESULTADO DOS CÁLCULOS PARA DIMENSIONAMENTO DOS COMPONENTES DA TOPOLOGIA π

Simul.	Freq. (GHz)	Impedâncias Iniciais		Impedâncias Transformadas		L (nH)	X0	Y1	Y2	C1 (pF)	C2 (pF)
		Zs (Ω)	ZL (Ω)	RPS (Ω)	RPL (Ω)						
14	2,4	42,57 - j4,73	50	43,09	50	1,24	4,62	1-j4,62	0,84+j4,298	6,94	5,70
50	2,4	25,56+j29,28	50	56,79	50	1,24	5,71	1-j5,71	1,12+j6,04	5,34	8,01
63	2,4	52 - j9,52	50	53,74	50	1,24	5,47	1-j5,47	1,069+j5,68	6,52	7,53

FONTES: O AUTOR (2018)

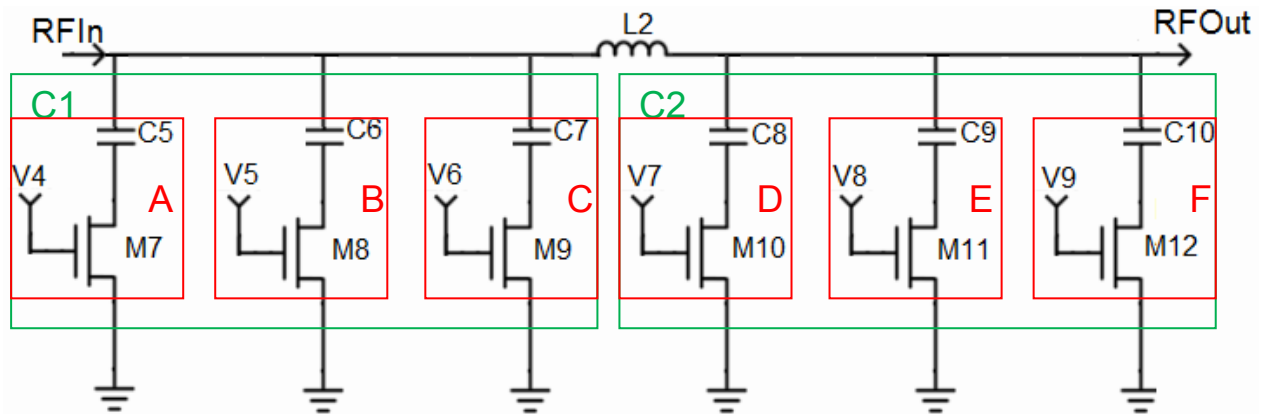
Esse método é utilizado para ajustar o ponto de operação do amplificador de potência. Se a impedância da fonte ou da carga variar, é necessário variar os capacitores, para que o PA volte a ter o seu melhor ponto de funcionamento.

3.2.3 Rede de impedância ajustável

Conforme verificado anteriormente, a rede de impedância em topologia π utilizada nesse projeto terá capacitores variáveis, fazendo o controle da impedância do PA. A variabilidade nos ramos capacitivos baseia-se em um sistema de comutação de banco de capacitores, perfeitamente acoplado à tecnologia CMOS [5]. Esse sistema de variação dos capacitores foi escolhido devido ter baixo consumo e por possibilitar uma grande variação de impedância.

Na figura 25 é apresentada a topologia π com o banco de capacitores que será utilizado nesse projeto. O bloco em verde “C₁” é composto pelos seguintes componentes: os capacitores C₅, C₆ e C₇, os transistores M₇, M₈ e M₉, e as chaves “V₄”, “V₅” e “V₆”. Esses componentes substituem o capacitor C₁ da figura 20. A variação das chaves “V₄”, “V₅” e “V₆”, fará o ajuste da impedância de saída. O bloco em verde “C₂” tem a mesma função do bloco “C₁”, sendo que os seus componentes e as chaves substituem o capacitor C₂ da figura 20.

FIGURA 25 – Rede de impedância de saída com banco de capacitores que será utilizado no projeto



FONTE: O autor (2018)

Para substituir os capacitores C_1 e C_2 da figura 22 foi preciso fazer um dimensionamento dos transistores (M_7 , M_8 , M_9 , M_{10} , M_{11} e M_{12}) e dos novos capacitores (C_5 , C_6 , C_7 , C_8 , C_9 e C_{10}). O fator levado em consideração é que a soma das capacitâncias, dos transistores e dos novos capacitores, precisa ser a mais próxima possível do capacitor substituído.

O dimensionamento foi efetuado por bloco, onde foram analisadas as células em vermelho “(A, B, C, D, E e F)”, separadamente. Cada célula foi configurada para gerar um valor de capacitância, possibilitando uma variação muito grande de impedâncias. Com seis células diferentes, é possível obter sessenta e quatro combinações, conforme expressão abaixo:

$$x = 2^n, \quad (3.18),$$

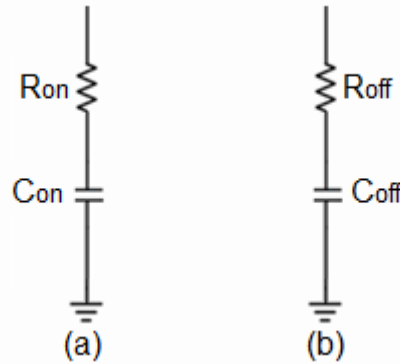
sendo n o número de células e x a resultante da equação.

As configurações diferentes nas células podem ser nos capacitores ou nos transistores. As células podem ter todos os mesmos valores nos capacitores e mudar a configuração dos transistores, ou podem ter os mesmos transistores e valores de capacitores diferentes.

Nesse projeto foram configurados os transistores dos blocos com os mesmos valores e ajustados os capacitores para que seja obtida a mesma capacitância dos capacitores C_1 e C_2 . Os transistores dos blocos “1” e “2” são diferentes, sendo a configuração da seguinte maneira: M_7 , M_8 e M_9 são iguais, e M_{10} , M_{11} e M_{12} são iguais.

Para dimensionar os valores dos capacitores, primeiramente foi calculada a capacitância do transistor. Na figura 26 é apresentado um modelo simplificado de capacitância do transistor.

FIGURA 26 – Modelo simplificado da capacitância no transistor



FONTE: O autor (2018)

Na figura 26 (a), C_{ON} é a capacitância do transistor e R_{ON} é a resistência do transistor no instante em que ele está ligado [5]. As equações de C_{ON} e R_{ON} são dadas por

$$C_{ON} \approx \frac{1}{rds_{ON}^2 \cdot Cgd \cdot \omega_0^2}, \quad (3.19),$$

e

$$R_{ON} \approx rds_{ON}, \quad (3.20),$$

onde rds_{ON} é a resistência entre dreno e fonte, Cgd é a capacitância entre gate e dreno e ω_0 é a frequência angular.

Já a figura 26 (b), C_{OFF} é a capacitância do transistor e R_{OFF} é a resistência do transistor no instante em que ele está desligado [5]. As equações de C_{OFF} e R_{OFF} são dadas por

$$C_{OFF} \approx Cgd, \quad (3.21),$$

e,

$$R_{OFF} \approx \frac{rds_{OFF}}{(rds_{OFF} \cdot Cgd \cdot \omega_0)^2}. \quad (3.22).$$

Quando o transistor está ligado, a resistência rds_{ON} precisa ser baixa o suficiente para não interferir muito na impedância da célula, e a capacitância Cgd precisa ser alta o suficiente para não alterar a capacitância do capacitor na célula. As equações de rds_{ON} e Cgd são dados por

$$rds_{ON} = \frac{1}{\mu_n \cdot C_{ox} \cdot \frac{W}{L} \cdot (V_{GS} - V_{TH})}, \quad (3.23),$$

e

$$C_{gd} = \frac{W \cdot L \cdot C_{ox}}{2} + W \cdot C_{ov} . \quad (3.24).$$

onde C_{ov} é a capacitância de sobreposição, C_{ox} é a capacitância de óxido do gate, W é a largura do canal e L é a largura do canal.

Já quando o transistor está desligado, a resistência r_{dsOFF} é alta, consequentemente C_{OFF} terá um valor baixo, analisando pela fórmula. Já a capacitância C_{gd} com a chave desligada é dada por

$$C_{gd} = W \cdot C_{ov} . \quad (3.25).$$

Colocando em prática o que foi visto na teoria, o dimensionamento dos transistores e capacitores é apresentado na tabela 7, onde as capacitâncias C_{GDON} , $C_{GD OFF}$, e as resistências R_{ON} e R_{OFF} foram retiradas das simulações e as capacitâncias C_{ON} e C_{OFF} foram calculadas utilizando as equações 3.19 e 3.21.

TABELA 7 – DIMENSIONAMENTO DOS TRANSISTORES E CAPACITORES DO BANCO DE CAPACITORES QUE SERÃO UTILIZADOS NO PROJETO

Componentes	Bloco 1			Bloco 2		
	Célula A	Célula B	Célula C	Célula D	Célula E	Célula F
Dimensionamento do Transistor	W=150µm L=130nm M= 4	W=150µm L=130nm M= 4	W=150µm L=130nm M= 4	W=142,5µm L=130nm M= 2	W=142,5µm L=130nm M= 2	W=142,5µm L=130nm M= 2
C_{GDON}	411 fF	411 fF	411 fF	195,2 fF	195,2 fF	195,2 fF
R_{ON}	674,9 mΩ	674,9 mΩ	674,9 mΩ	1,454 Ω	1,454 Ω	1,454 Ω
C_{ON}	23,5 pF	23,5 pF	23,5 pF	10,7 pF	10,7 pF	10,7 pF
$C_{GD OFF}$	193,5 fF	193,5 fF	193,5 fF	91,95 fF	91,95 fF	91,95 fF
R_{OFF}	15,6 KΩ	15,6 KΩ	15,6 KΩ	35,42 KΩ	35,42 KΩ	35,42 KΩ
C_{OFF}	193,5 fF	193,5 fF	193,5 fF	91,95 fF	91,95 fF	91,95 fF
Capacitor	$C_5 =$ 750,35 fF	$C_6 = 1,10$ pF	$C_7 =$ 950,16 fF	$C_8 = 499,74$ fF	$C_9 = 750,34$ fF	$C_{10} = 1,50$ pF

FONTES: O AUTOR (2018)

Já os valores dos capacitores foram obtidos após definir o tamanho dos transistores, pois é necessário obter um valor que capacitância que permita ajustar a impedância desejada. Cada célula possui um valor de capacitor diferente permitindo uma variação na impedância de saída do banco de capacitores. Por exemplo, a célula A, quando o transistor estiver ligado a capacitância gerada nessa célula será de 727,13 fF, pois o capacitor C_5 está em série com a capacitância C_{ON} , fazendo com que a capacitância equivalente seja bem próxima do valor do capacitor C_5 . Já

quando o transistor está desligado, a capacitância equivalente será de 153,83 fF, pois o capacitor C5 está em série com a capacitância C_{OFF} .

A equação para os cálculos da capacitância equivalente da célula A para o transistor ligado, C_{eqA} , é apresentado a seguir,

$$C_{eqA} = \frac{1}{\frac{1}{C5} + \frac{1}{C_{ON}}} . \quad (3.26).$$

O dimensionamento dos componentes apresentados na tabela 7 será utilizado no projeto, sendo os valores ajustados durante as simulações, até encontrar a melhor configuração.

3.2.4 Estágio do controlador digital

Conforme mencionado no estudo bibliográfico, esse projeto irá utilizar um decodificador para controlar as variações dos estágios de potências e da rede de impedância de saída. O decodificador tem a função de receber um código binário e acionar a saída conforme programado [18]. No projeto, o decodificador irá receber um código binário e acionará as chaves conforme dimensionado.

O projeto tem nove chaves de controle, sendo “V₁”, “V₂” e “V₃” para controle da potência de saída do PA, e de “V₄” a “V₉” para ajuste da impedância de saída. Fazer esse controle manualmente é demorado e suscetível a erros, por isso foi dimensionado um decodificador.

Primeiramente foi dimensionada uma tabela verdade com quatro *bits* de entrada e foram configuradas as saídas. Foi efetuada uma análise nas 53 simulações selecionadas para calcular as impedâncias e verificado quais simulações apresentam os melhores resultados. Nessa análise foram selecionados 12 simulações para serem controladas pelo decodificador. Para essa seleção foi levado em consideração primeiramente os resultados que tinham os melhores OCP_{1dB} e que estão acima de 10 dBm, depois os resultados que tinham a menor consumo de energia e por fim os resultados com os melhores ganhos. No Capítulo 4 será discutido como foram selecionados esses resultados.

A tabela verdade é onde colocamos todas as possíveis situações de entradas com os seus respectivos resultados de saída [19]. A tabela verdade proposta no projeto é apresentada na tabela 8.

TABELA 8 – TABELA VERDADE DO CONTROLADOR DIGITAL DO PROJETO PROPOSTO

ENTRADAS				SAÍDAS								
A	B	C	D	V1	V2	V3	V4	V5	V6	V7	V8	V9
0	0	0	0	1	1	1	1	1	1	1	1	1
0	0	0	1	1	1	0	0	1	1	0	1	1
0	0	1	0	1	0	1	1	1	0	0	0	1
0	0	1	1	1	0	1	1	0	1	1	0	1
0	1	0	0	0	1	1	1	1	0	0	0	1
0	1	0	1	0	1	1	1	0	1	0	0	1
0	1	1	0	0	1	1	1	1	0	1	0	1
0	1	1	1	1	0	0	1	0	1	1	1	0
1	0	0	0	0	1	0	1	1	0	0	1	0
1	0	0	1	0	1	0	1	1	0	1	1	0
1	0	1	0	0	1	0	1	0	1	1	1	0
1	0	1	1	0	1	0	1	0	1	0	0	1
1	1	0	0	0	0	1	1	1	1	0	0	0
1	1	0	1	X	X	X	X	X	X	X	X	X
1	1	1	0	X	X	X	X	X	X	X	X	X
1	1	1	1	X	X	X	X	X	X	X	X	X

FONTES: O AUTOR (2018)

Conforme mencionado anteriormente, a tabela verdade possui quatro *bits* de entrada e nove saídas para serem controladas. Na tabela 8, as entradas são “A”, “B”, “C” e “D”, que estão destacadas em verde. As combinações abaixo dessas entradas formam o código que será recebido pelo decodificador. As saídas estão em vermelho, “V₁” até “V₉”, que são responsáveis por ligar ou desligar os estágios de potência e a rede de impedância de saída do PA.

Quando o decodificador receber o código “0000”, observa-se na tabela 8 que todas as saídas serão ligadas, ou seja, todas as chaves ficarão em nível alto. Quando o decodificador receber o código “1000”, apenas as saídas “V₂”, “V₄”, “V₅” e “V₈”, serão ligadas, as demais ficarão desligadas.

Após montar os códigos de entrada e saída do decodificador, é necessário montar um circuito lógico combinacional que faça esse chaveamento dentro do *chip*. O circuito combinacional é aquele em que a saída, ou as saídas, dependem exclusivamente dos códigos de entrada [19].

Para simplificar os resultados da tabela verdade, será utilizado o método de simplificação de expressões booleanas utilizando o diagrama de Karnaugh. Esse

método é muito utilizado na montagem de circuitos combinacionais, por esse motivo será utilizado nesse projeto.

Na figura 27 observa-se um diagrama de Karnaugh para “4” variáveis, “A”, “B”, “C” e “D”. As combinações de “0” e “1” que estão dentro do diagrama, foram retiradas da tabela verdade da saída “V₁”. No diagrama são colocadas todas as saídas, de modo que todas as posições sejam ocupadas.

FIGURA 27 – Diagrama de Karnaugh 4 variáveis – Saída “V₁” da Tabela 7

		\bar{C}		C	
		1	1	1	1
\bar{A}		0	0	1	0
A		0	X	X	X
		0	0	0	0
	\bar{D}	D		\bar{D}	
					\bar{B}
					B
					\bar{B}

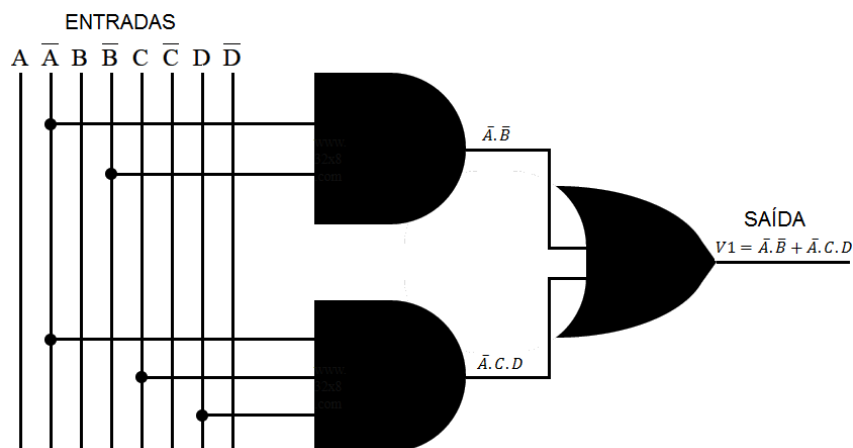
FONTE: O autor (2018)

Observa-se na figura 27 que as combinações que tem “1” foram destacadas. Com essas saídas selecionadas, é gerado um circuito que satisfaça essa condição. A saída resultante é dada por:

$$V_1 = \bar{A} \cdot \bar{B} + \bar{A} \cdot C \cdot D \quad (3.27).$$

O circuito que representa essa saída está na figura 28.

FIGURA 28 – Circuito lógico da saída “V₁” da Tabela 8



FONTE: O autor (2018)

Observa-se que as entradas passam primeiramente por uma porta lógica E e após a combinação da porta E, passam para a porta lógica OU, resultando em uma saída simplificada.

As outras saídas, de “V₂” até “V₉” também passaram pelo procedimento de simplificação através do diagrama de Karnaugh e posteriormente foram montados

os circuitos combinacionais. As saídas resultantes do decodificador proposto no projeto são encontradas na tabela 9. Observa-se que para cada saída há um circuito combinacional. Todos esses circuitos são conectados simultaneamente ligando ou desligando as saídas de “V₁” até “V₉” conforme o código de entrada recebido.

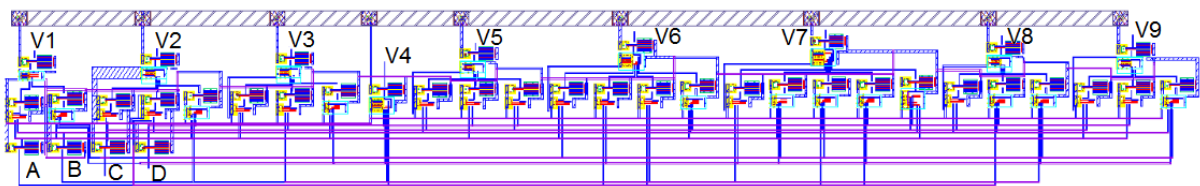
TABELA 9 – TABELA COM A EQUAÇÃO DO CIRCUITO COMBINACIONAL DE CADA SAÍDA

SAÍDAS	CIRCUITO COMBINACIONAL DAS SAÍDAS DO DECODIFICADOR
V1	$\bar{A}.\bar{B} + \bar{A}.C.D$
V2	$\bar{A}.\bar{C} + A.\bar{B} + \bar{A}.B.\bar{D}$
V3	$\bar{A}.\bar{D} + B.\bar{C} + \bar{A}.\bar{B}.C$
V4	$\bar{D} + C + B + A$
V5	$\bar{B}.\bar{C} + \bar{A}.\bar{D} + \bar{C}.\bar{D}$
V6	$\bar{A}.D + A.C + A.B + \bar{A}.\bar{B}.\bar{C}$
V7	$B.C + \bar{A}.C.D + A.\bar{C}.D + A.C.\bar{D} + \bar{A}.\bar{B}.\bar{C}.\bar{D}$
V8	$\bar{B}.\bar{C} + A.\bar{B}.\bar{D} + B.C.D$
V9	$\bar{A}.\bar{C} + \bar{A}.\bar{D} + \bar{B}.C.D$

FONTE: O AUTOR (2018)

Após obter os circuitos combinacionais foi utilizado o software Virtuoso Spectre RF para gerar o esquemático e o leiaute do decodificador. Na figura 29 é apresentado o leiaute do decodificador que será utilizado no projeto com as entradas “A”, “B”, “C” e “D” e as saídas de “V1” até “V9”.

FIGURA 29 – Leiaute do decodificador utilizado no projeto



FONTE: O autor (2018)

Vale ressaltar que o decodificador efetuará as combinações previamente estabelecidas, conforme simulações efetuadas no projeto. Os ajustes serão feitos apenas para controlar a potências de saída e para ajustar a impedância de saída. A tensão de alimentação do PA também será variada, mas não será controlada pelo decodificador, ela será ajustada manualmente.

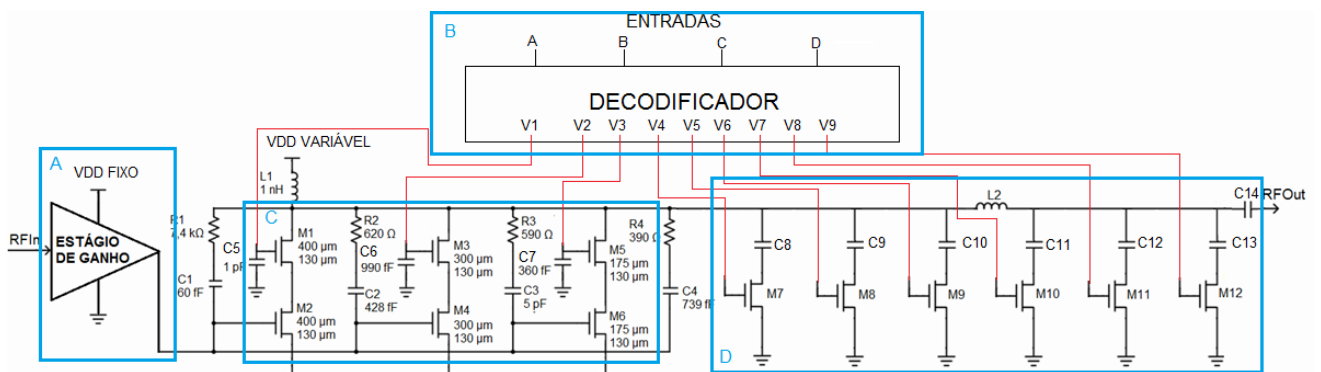
4 RESULTADOS E DISCUSSÕES

Neste capítulo são apresentados os resultados do projeto proposto. Serão utilizadas duas terminologias diferentes para apresentar os resultados: simulações com o esquemático do circuito e simulações do pós-leiaute. Desta forma, é possível avaliar e comprovar o funcionamento do PA.

Na figura 30 é apresentado o esquemático completo do projeto. O circuito é dividido em quatro estágios. O primeiro estágio é o do ganho, bloco “A” da figura 30. Esse bloco possui uma alimentação fixa, chamada de “VDD FIXO”, de 1,8 V, e não terá reconfigurabilidade.

O bloco “B” é onde fica o decodificador. Observa-se que o decodificador possui quatro entradas e nove saídas. Esse bloco é responsável por reconfigurar o PA após receber o código na sua entrada. Os códigos estão definidos e foram apresentados na tabela 8, com as entradas e saídas.

FIGURA 30 – Esquemático completo do projeto proposto



FONTE: O autor (2018)

O estágio programável de potência de saída está no bloco “C”, que possui três células alimentadas pelo bloco “B”. Cada célula corresponde a um nível de potência. As três primeiras saídas do decodificador são responsáveis por reconfigurar o estágio de potência.

Já a rede de impedância de saída faz parte do bloco “D”. Esse estágio possui seis células de configuração, possibilitando uma variação de até “64” níveis

de impedância de saída. As seis células são alimentadas pelo decodificador, que reconfigura a impedância de saída conforme os códigos pré-estabelecidos.

Os blocos “C” e “D” são alimentados por uma tensão variável, que na figura 30 é chamada de “VDD VARIÁVEL”. Essa tensão irá variar de forma manualmente de 1,1 V até 1,8 V, fazendo uma variação no consumo de energia do PA.

Foi colocado um capacitor na saída da rede de impedância, o “C14”, que será responsável por bloquear o sinal de corrente contínua na saída de RF. Esse capacitor possui um valor fixo de 10 pF.

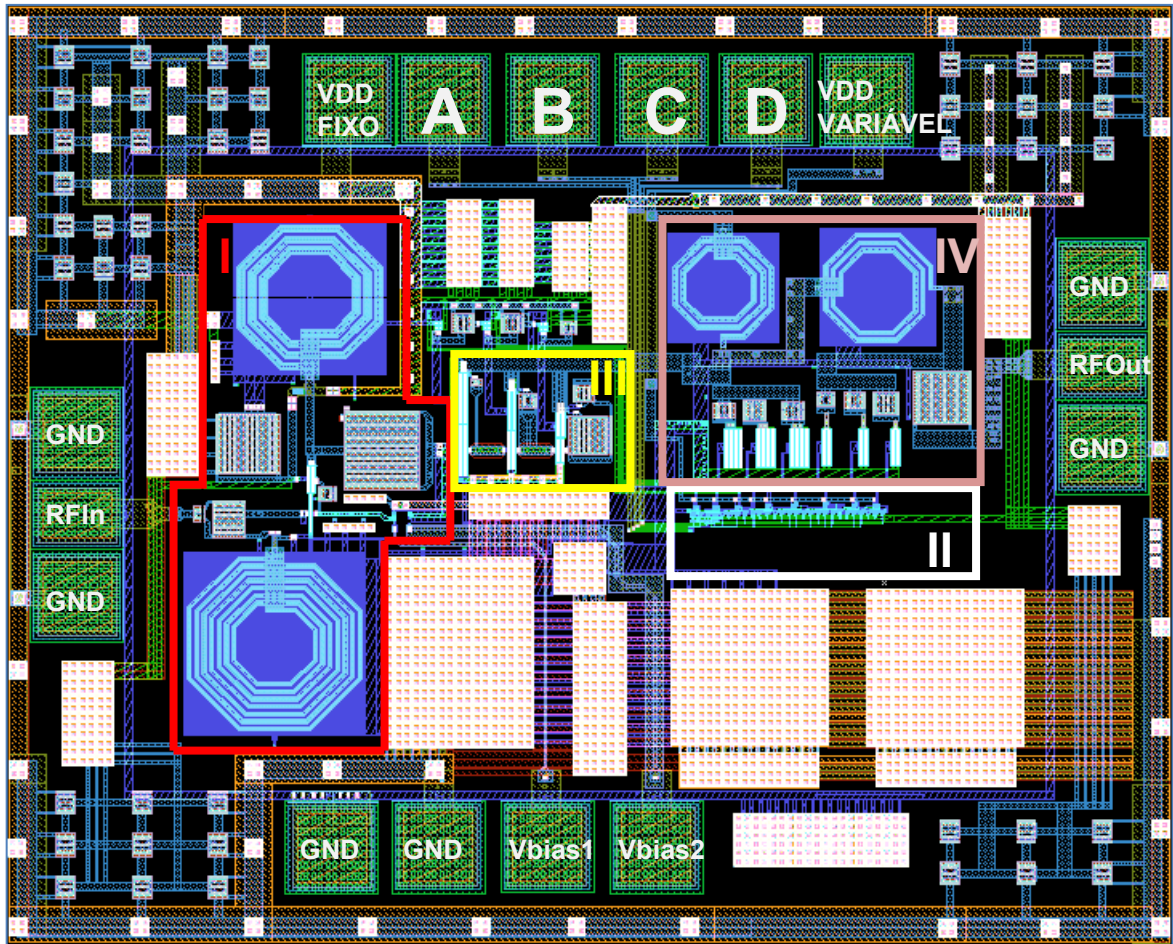
Após configurar o esquemático foi efetuado o leiaute do circuito, utilizando o *software* Virtuoso versão IC1.6.7. No desenvolvimento do leiaute, foram obedecidas as regras estabelecidas pelo fabricante, utilizando a ferramenta DRC, que quer dizer, checando as regras do desenho. Foi efetuado o teste de LVS, leiaute *versus* esquemático, que faz comparações do leiaute com o diagrama do esquemático.

Na figura 31 é apresentado o leiaute completo do projeto. O leiaute, é composto por quatro blocos, do “I” até o “IV”, sendo que os blocos de “I” e “III” foram aproveitados do projeto desenvolvido por [11], e os blocos “II” e “IV” são novos e foram desenvolvidos nesse projeto .

O bloco “I” é o estágio de ganho fixo e é composto por uma rede de impedância de entrada, o estágio de ganho, a rede de impedância que conecta os estágios de ganho e de potência e a tensão de referência do circuito, são todos blocos fixos, não possuem nenhuma condição de reconfigurabilidade. No diagrama do esquemático da figura 30, essa parte do leiaute está no bloco “A”.

Os blocos “II”, “III” e “IV” são os estágios de reconfigurabilidade do projeto. O bloco “III” controla os níveis de potência, o bloco “IV” é a rede de impedância de saída e o “II” é o controlador digital. Esses blocos foram dimensionados conforme capítulos anteriores.

FIGURA 31 – Leiaute completo do projeto proposto



FONTE: O autor (2018)

O leiaute possui também os *pads* de sinal RF (“RFIn” e “RFOut”), os *pads* de corrente contínua (“VDD FIXO”, “VDD VARIÁVEL” E “GND”), os *pads* de entrada do sinal digital (“A”, “B”, “C” e “D”), os capacitores de desacoplamento e blocos planos distribuídos de metais para as tensões “V_{DD}” e “GND”.

4.1 RESULTADOS DAS SIMULAÇÕES DO ESQUEMÁTICO

Após apresentar o esquemático e leiaute completo do projeto proposto, foram realizadas simulações para verificar o funcionamento do PA. As simulações no esquemático servem como parâmetro para o desenvolvimento do projeto, sendo fundamental para fazer os ajustes e dimensionamento dos componentes.

Primeiramente foi efetuada uma análise nos 53 resultados que foram selecionados nas simulações de *load pull* com a rede de impedância fixa. Dessas 53 simulações, foram retiradas apenas 20 para serem simuladas com a rede de impedância variável. Para essa seleção foram utilizadas primeiramente as métricas

do projeto, seguido dos resultados que tinham um OCP_{1dB} acima de 10 dBm e um baixo consumo de energia, e posteriormente dos que apresentavam um melhor ganho, que é o S21 na tabela 10. Foi seguido uma escala de variação de mais ou menos 0,5 dBm para esses 20 resultados selecionados.

Após essa seleção, foram simulados novamente todos os resultados, agora variando a impedância de saída, com o intuito de fazer os resultados chegarem próximos dos obtidos com a simulação de *load pull*. A impedância de saída será ajustada conforme dimensionamento efetuado no capítulo anterior, onde foi substituído os capacitores fixos, por uma rede de impedância com banco de capacitores controlada por seis chaves, de “V₄” até “V₉”. Essas chaves serão alimentadas pelo mesmo valor de tensão do $V_{DDVARIÁVEL}$, variando de 1,1 V até 1,8 V. Para essas simulações foi utilizado o *software* Virtuoso Spectre RF e configurado com uma temperatura de 70 °C e ajustado na frequência de 2,4 GHz.

Na tabela 10 é possível analisar os resultados obtidos com a rede de impedância variável, observa-se que os resultados chegaram bem próximo da simulação *load pull*. Observa-se os pontos em destaque na tabela 10 que apresentam uma variação de mais de 1,5 dBm ao comparar o OCP_{1dB} de impedância fixa com o OCP_{1dB} com impedância variável. Nota-se também que a variação de consumo de energia e potência de saída é bem amplo, pois o maior consumo é 344,60 mW para 18,96 dBm e 98,54 mW para 10,63 dBm.

TABELA 10 – COMPARAÇÃO DOS RESULTADOS DAS SIMULAÇÕES DA REDE DE IMPEDÂNCIA FIXA COM A REDE DE IMPEDÂNCIA VARIÁVEL

$V_{DDVARIÁVEL}$ (V)	V1 (V)	V2 (V)	V3 (V)	OCP1 (dBm) IMP. FIXA	OCP _{1dB} (dBm) IMP. FIXA COM LOAD PULL	OCP _{1dB} (dBm) - COM IMP. VAR.	S21(dB) IMP. FIXA	S21(dB) IMP. VAR.	Pdc Total (mW) IMP. VAR
1,80	1,80	1,80	1,80	18,96	19,23	18,96	27,21	27,21	344,60
1,70	1,70	1,70	1,70	18,55	18,80	18,55	27,20	27,20	326,80
1,80	1,80	1,80	0,00	17,75	18,29	17,94	26,30	26,23	285,00
1,60	1,60	1,60	0,00	17,01	17,47	17,10	26,24	26,16	255,80
1,80	1,80	0,00	1,80	16,21	17,17	16,84	25,47	25,27	241,90
1,70	1,70	0,00	1,70	16,05	16,84	16,55	25,44	25,42	229,30
1,80	0,00	1,80	1,80	15,02	16,31	16,03	25,27	25,20	209,90
1,60	0,00	1,60	1,60	14,72	15,61	15,34	25,21	25,17	188,40
1,50	0,00	1,50	1,50	14,48	15,18	14,93	25,17	25,20	177,70
1,40	0,00	1,40	1,40	14,14	14,70	14,45	25,14	25,14	167,10
1,80	1,80	0,00	0,00	13,43	15,21	15,18	23,45	23,58	179,60

TABELA 10 – COMPARAÇÃO DOS RESULTADOS DAS SIMULAÇÕES DA REDE DE IMPEDÂNCIA FIXA COM A REDE DE IMPEDÂNCIA VARIÁVEL

V _{DDVARIÁVEL} (V)	V1 (V)	V2 (V)	V3 (V)	OCP1 (dBm) IMP. FIXA	OCP _{1dB} (dBm) IMP. FIXA COM LOAD PULL	OCP _{1dB} (dBm) - COM IMP. VAR.	S21(dB) IMP. FIXA	S21(dB) IMP. VAR.	Pdc Total (mW) IMP. VAR.
1,50	1,50	0,00	0,00	13,06	14,19	13,93	23,30	23,47	153,40
1,80	0,00	1,80	0,00	11,25	13,77	13,77	22,59	23,04	146,60
1,70	0,00	1,70	0,00	11,18	13,51	13,47	22,56	23,01	139,90
1,60	0,00	1,60	0,00	11,10	13,16	13,08	22,50	22,99	133,20
1,50	0,00	1,50	0,00	10,98	12,79	12,77	22,50	23,00	126,40
1,40	0,00	1,40	0,00	10,82	12,35	12,29	22,42	22,94	119,60
1,30	0,00	1,30	0,00	10,57	11,85	11,74	22,38	22,88	112,80
1,20	0,00	1,20	0,00	10,22	11,33	11,17	22,22	22,67	105,80
1,10	0,00	1,10	0,00	9,76	10,79	10,63	22,04	22,32	98,54

FONTE: O AUTOR (2018)

A tabela 11 apresenta como ficou o chaveamento na rede de impedância de saída, pois para cada configuração foi configurada uma impedância de saída. Observa-se que, em algumas configurações, o chaveamento da impedância de saída foi o mesmo, alterando apenas o valor da tensão.

TABELA 11 – TABELA COM CHAVEAMENTO DA REDE DE IMPEDÂNCIA DE SAÍDA E DO CONTROLE DE POTÊNCIA

VDDVAR (V)	V1 (V)	V2 (V)	V3 (V)	V4 (V)	V5 (V)	V6 (V)	V7 (V)	V8 (V)	V9 (V)	OCP1 (dBm)	S21 (dB)	Pdc Total (mW)
1,80	1,80	1,80	1,80	1,80	1,80	1,80	1,80	1,80	1,80	18,96	27,21	344,60
1,70	1,70	1,70	1,70	1,70	1,70	1,70	1,70	1,70	1,70	18,55	27,20	326,80
1,80	1,80	1,80	0,00	0,00	1,80	1,80	0,00	1,80	1,80	17,94	26,23	285,00
1,60	1,60	1,60	0,00	0,00	1,60	1,60	0,00	1,60	1,60	17,10	26,16	255,80
1,80	1,80	0,00	1,80	1,80	1,80	0,00	0,00	0,00	1,80	16,84	25,27	241,90
1,70	1,70	0,00	1,70	1,70	0,00	1,70	1,70	0,00	1,70	16,55	25,42	229,30
1,80	0,00	1,80	1,80	1,80	1,80	0,00	0,00	0,00	1,80	16,03	25,20	209,90
1,60	0,00	1,60	1,60	1,60	0,00	1,60	0,00	0,00	1,60	15,34	25,17	188,40
1,80	1,80	0,00	0,00	1,80	1,80	0,00	1,80	1,80	0,00	15,18	23,58	177,70
1,50	0,00	1,50	1,50	1,50	1,50	0,00	1,50	0,00	1,50	14,93	25,20	167,10
1,40	0,00	1,40	1,40	1,40	1,40	0,00	1,40	0,00	1,40	14,45	25,14	179,60
1,50	1,50	0,00	0,00	1,50	0,00	1,50	1,50	1,50	0,00	13,93	23,47	153,40
1,80	0,00	1,80	0,00	1,80	1,80	0,00	0,00	1,80	0,00	13,77	23,04	146,60
1,70	0,00	1,70	0,00	1,70	1,70	0,00	0,00	1,70	0,00	13,47	23,01	139,90
1,60	0,00	1,60	0,00	1,60	1,60	0,00	0,00	1,60	0,00	13,08	22,99	133,20
1,50	0,00	1,50	0,00	1,50	1,50	0,00	1,50	1,50	0,00	12,77	23,00	126,40
1,40	0,00	1,40	0,00	1,40	1,40	0,00	1,40	1,40	0,00	12,29	22,94	119,60
1,30	0,00	1,30	0,00	1,30	0,00	1,30	1,30	1,30	0,00	11,74	22,88	112,80
1,20	0,00	1,20	0,00	1,20	0,00	1,20	1,20	1,20	0,00	11,17	22,67	105,80
1,10	0,00	1,10	0,00	1,10	0,00	1,10	1,10	1,10	0,00	10,63	22,32	98,54

FONTE: O AUTOR (2018)

Após validar o funcionamento da rede de impedância variável no projeto, foi configurado o controlador digital, de modo que o controle de potência e o ajuste de impedância sejam realizados digitalmente. Para simplificar o controle digital, foi diminuído o número de configurações, de 20 para 12, onde o critério de seleção foi o seguinte: primeiramente foi retirado os chaveamentos de impedâncias de saída que estão iguais (“V₄” até “V₉”) comparando qual configuração tem os melhores resultados de OCP_{1dB} e com o menor consumo de energia. Após esse filtro, foi retirado mais algumas simulações seguindo os mesmos critérios de ter o melhor OCP_{1dB} e menor consumo.

A tabela 12 mostra a configuração que ficou estabelecida para o controlador digital selecionar os níveis de potência de saída e consumo de energia utilizando um simples código de entrada.

Observa-se que o controlador digital receberá um código de quatro *bits* e acionará as saídas que já estão pré-estabelecidas. A tensão “V_{DDVARIÁVEL}” será ajustada manualmente, já as chaves de potência de saída, “V₁”, “V₂” e “V₃” destacadas em verde, e as chaves de “V₄” até “V₉”, em vermelho, são controladas pelo controlador digital. Quando a chave está em nível “1”, ela recebe o mesmo valor de tensão que está ajustada no “V_{DDVARIÁVEL}”, e quando está em nível “0”, a chave está desligada.

TABELA 12 – TABELA COM CÓDIGO DE ENTRADA E O CÓDIGO DE SAÍDA DO CONTROLADOR DIGITAL

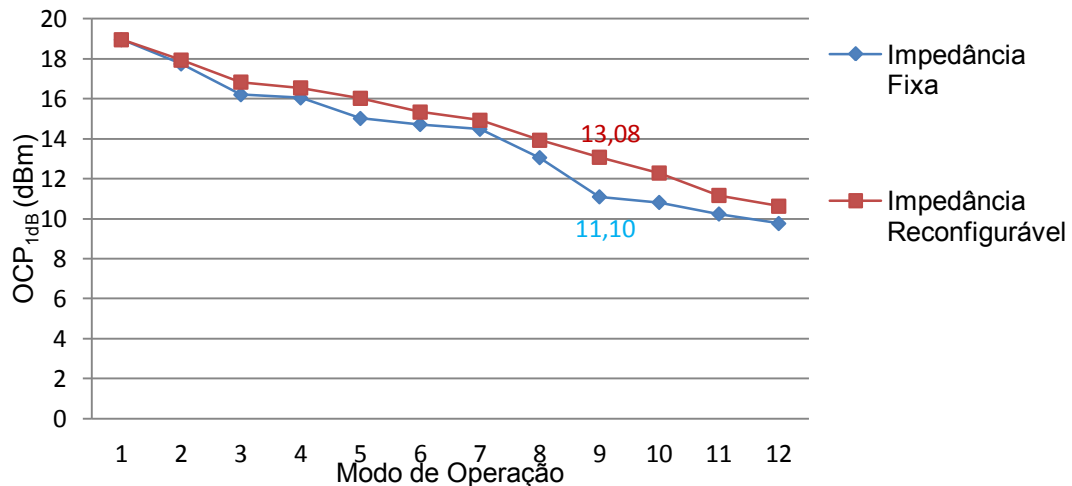
Modo de operação	V _{DDVARIÁVEL}	Código de Entrada	Código de Saída								
			V1	V2	V3	V4	V5	V6	V7	V8	V9
1	1,80	0000	1	1	1	1	1	1	1	1	1
2	1,80	0001	1	1	0	0	1	1	0	1	1
3	1,80	0010	1	0	1	1	1	0	0	0	1
4	1,70	0011	1	0	1	1	0	1	1	0	1
5	1,80	0100	0	1	1	1	1	0	0	0	1
6	1,60	0101	0	1	1	1	0	1	0	0	1
7	1,50	0110	0	1	1	1	1	0	1	0	1
8	1,50	0111	1	0	0	1	0	1	1	1	0
9	1,60	1000	0	1	0	1	1	0	0	1	0
10	1,40	1001	0	1	0	1	1	0	1	1	0
11	1,20	1010	0	1	0	1	0	1	1	1	0
12	1,10	1011	0	1	0	1	0	1	0	0	1

FONTE: O AUTOR (2018)

Após definir os modos de operação do projeto e já ter apresentado a viabilidade do controle do estágio de potência e a rede de impedância reconfigurável são apresentadas novas simulações comparando as simulações da rede de impedância fixa com a rede de impedância variável, utilizando o controlador digital, para avaliar melhor o PA. As métricas escolhidas para avaliar o PA são: OCP_{1dB} , PAE e P_{DC} . Além dessas métricas, serão apresentados resultados compostos como, PAE em OCP_{1dB} e P_{DC} em OCP_{1dB} , sendo as simulações efetuadas com a frequência de 2,4 GHz e uma temperatura de 70 °C.

A figura 32 mostra a comparação dos resultados do ponto de compressão de 1-dB, da rede de impedância fixa com a rede de impedância reconfigurável da tabela 10 com apenas os 12 modos de operação selecionados na tabela 12. Observa-se que, ao utilizar a reconfigurabilidade da rede de impedância de saída, os resultados do OCP_{1dB} melhoram em todos os pontos de operação. No modo de operação “9”, o PA tem um OCP_{1dB} de 11,10 dBm, e após a reconfigurabilidade da impedância de saída, o PA passou a ter um OCP_{1dB} de 13,08 dBm.

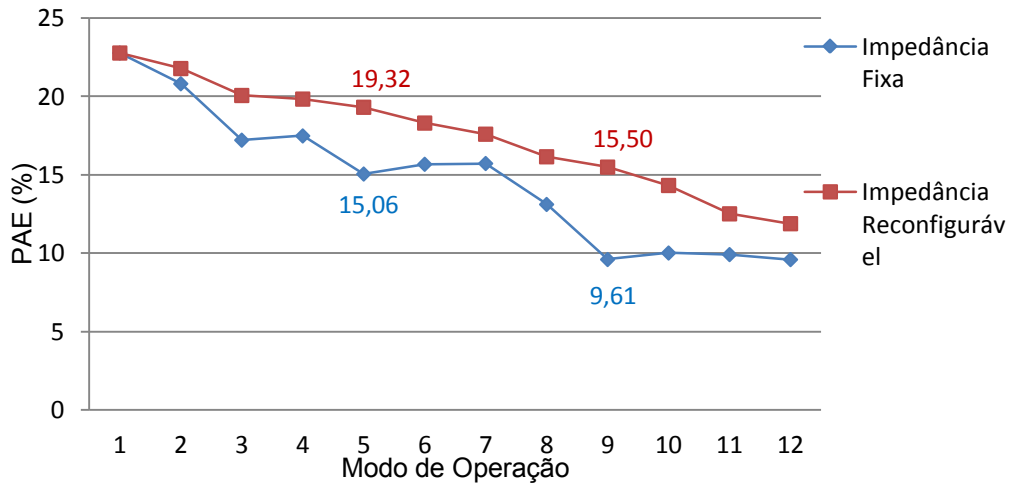
FIGURA 32 – Resultados do OCP_{1dB} da Rede de Impedância Fixa x Rede de Impedância Variável



FONTE: O autor (2018)

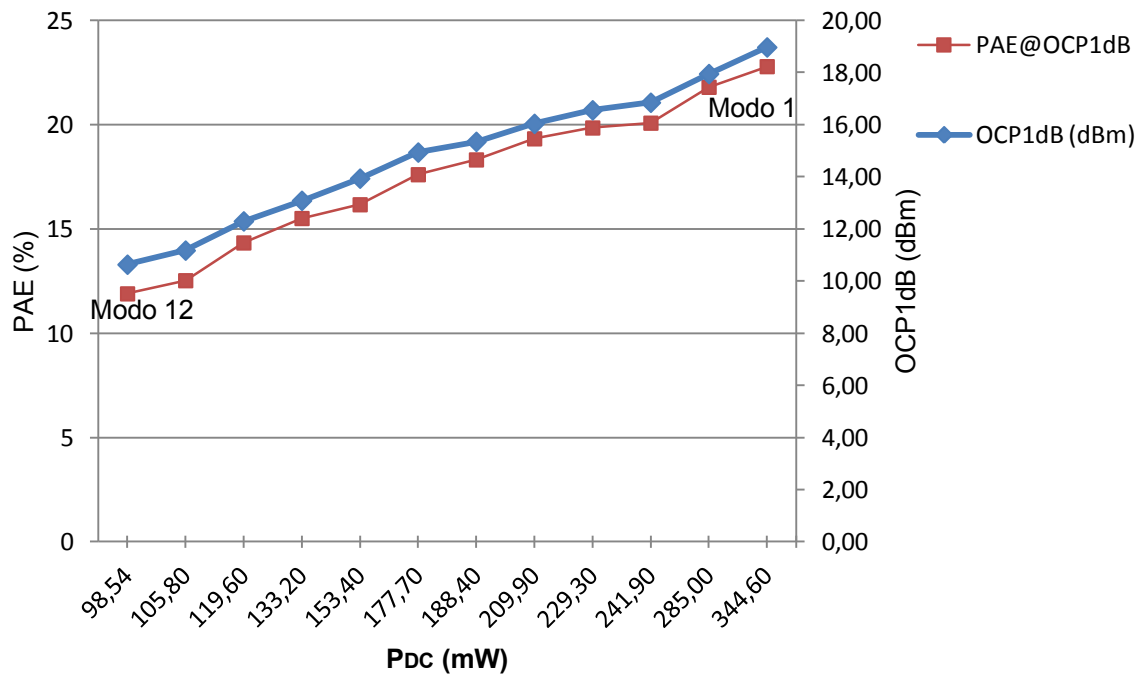
Já a figura 33 apresenta a comparação da eficiência (PAE) do PA com a rede de impedância fixa e com a rede de impedância ajustável. Observa-se que a eficiência do projeto apresenta um melhor resultado quando utiliza a rede de impedância reconfigurável. No modo de operação “5”, a melhoria de eficiência é de 4,26%, e no ponto de operação “9”, a melhoria é de 5,89%. A reconfigurabilidade da rede de impedância de saída resulta em uma melhoria de 22% e 38% de eficiência nos pontos de operação “9” e “13”, respectivamente.

FIGURA 33 – Resultados do PAE da Rede de Impedância Fixa x Rede de Impedância Variável



FONTE: O autor (2018)

Outro ponto muito importante do projeto é o consumo de energia. Com os estágios de reconfigurabilidade, é possível selecionar um ponto de operação que possua um baixo consumo. Na figura 34 é efetuada uma comparação do consumo de energia, P_{DC} , com o ponto de compressão -1dB e a eficiência do PA. Observa-se que a dissipação de potência do PA é reduzida a medida que, a potência de saída do circuito e a eficiência também são diminuídas.

FIGURA 34 – Resultados do P_{DC} comparado com $\text{PAE}@OCP_{1\text{dB}}$ e $OCP_{1\text{dB}}$ da Rede de Impedância

FONTE: O autor (2018)

O modo de operação “1” na figura 34 apresenta um consumo 344,60 mW do PA, para ter uma potência de saída de 18,96 dBm e uma eficiência de 22,78%. Já o

modo de operação “12” apresenta um consumo de 98,54 mW para ter 10,63 dBm de potência de saída e 11,89% de eficiência no PA. Nota-se que o OCP_{1dB} e a eficiência apresentam linearidade nas suas variações, de acordo com o módulo selecionado.

A tabela 13 mostra um comparativo entre os resultados da rede de impedância fixa e a rede de impedância variável. Nota-se que a rede de impedância reconfigurável, apresenta melhoria no PA em todos os modos de operação.

TABELA 13 – TABELA COMPARATIVA ENTRE A REDE DE IMPEDÂNCIA FIXA E A REDE DE IMPEDÂNCIA AJUSTÁVEL

Modo de operação	Resultados do Esquemático do Projeto Impedância fixa			Resultados do Esquemático do Projeto Impedância variável			Comparações dos resultados	
	OCP_{1dB} B (dBm)	PAE@ OCP_{1dB} B (%)	PDC (mW)	OCP_{1dB} B (dBm)	PAE@ OCP_{1dB} B (%)	PDC (mW)	Delta OCP_{1dB} B (dBm)	Delta PAE@ OCP_{1dB} B (%)
1	18,96	22,78	344,60	18,96	22,78	344,60	0,00	0,00
2	17,75	20,82	285,00	17,94	21,79	285,00	0,19	0,97
3	16,21	17,22	241,90	16,84	20,07	241,90	0,63	2,85
4	16,05	17,49	229,30	16,55	19,84	229,30	0,50	2,35
5	15,02	15,06	209,90	16,03	19,32	209,90	1,01	4,26
6	14,72	15,68	188,40	15,34	18,31	188,40	0,62	2,63
7	14,48	15,73	177,70	14,93	17,60	177,70	0,45	1,87
8	13,06	13,12	153,40	13,93	16,16	153,40	0,87	3,04
9	11,10	9,61	133,20	13,08	15,50	133,20	1,98	5,90
10	10,82	10,02	119,60	12,29	14,33	119,60	1,47	4,31
11	10,24	9,92	105,80	11,17	12,52	105,80	0,93	2,60
12	9,76	9,60	98,54	10,63	11,89	98,54	0,87	2,29

FONTE: O AUTOR (2018)

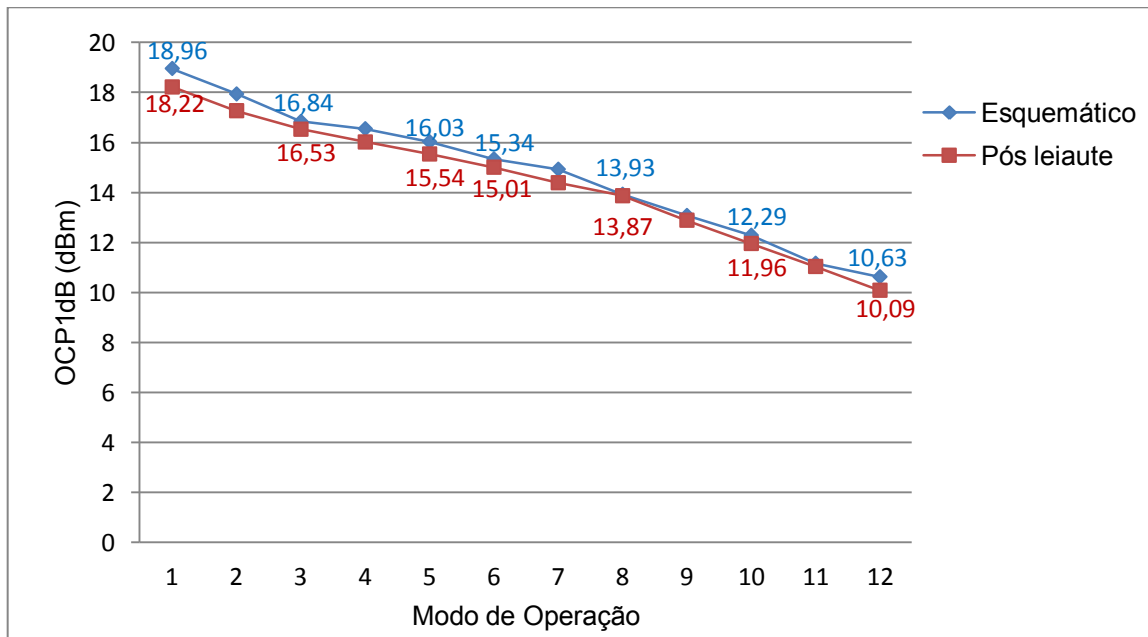
4.2 RESULTADOS DAS SIMULAÇÕES PÓS-LEIAUTE

Nas simulações pós-leiaute, os resultados apresentados também serão os mesmos que os estabelecidos na métrica do projeto. A simulação pós-leiaute é uma etapa muito importante do projeto, pois verifica o impacto dos elementos parasitas que são adicionados no projeto após a sua extração. Nas simulações do

esquemático, os elementos parasitas são desconsiderados. Todas as simulações foram efetuadas com a temperatura de 70 °C utilizando o *software* Virtuoso Spectre RF.

A figura 35 mostra uma comparação do OCP_{1dB} da simulação do pós-leiaute com o esquemático. Observa-se que os modos de operação do circuito permitem com que sejam selecionados diversos níveis de potência de saída, tanto para o pós-leiaute como para o esquemático. Nota-se também que a diferença entre o OCP_{1dB} do pós-leiaute com o esquemático é baixa, tendo uma perda de 0,74 dBm para o modo “1” e 0,06 dBm para o modo “8”. Essa perda ocorre devido aos elementos parasitas das simulações pós-leiaute.

FIGURA 35 – Resultado OCP_{1dB} da simulação pós-leiaute *versus* esquemático

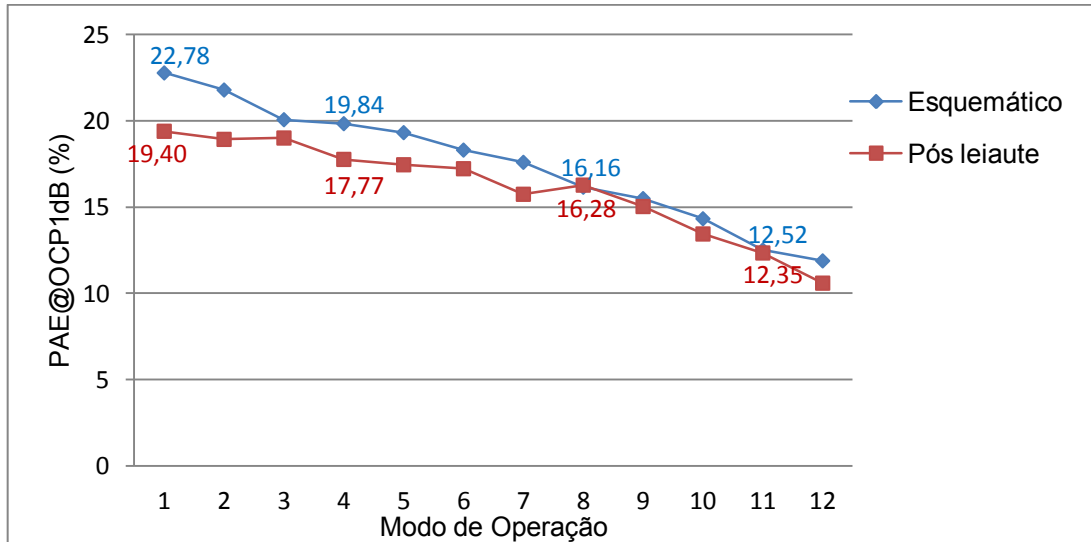


FONTE: O autor (2018)

A figura 36 apresenta uma comparação dos resultados da eficiência do PA na simulação de pós-leiaute com a simulação do esquemático. Observa-se que mesmo no modo de operação mais baixo, a eficiência do PA é maior que 10%. Vale ressaltar que o modo de operação “12” opera com baixa potência para reduzir o consumo de energia do PA, reduzindo também a eficiência. Ao comparar os resultados PAE do pós-leiaute com o esquemático, observa-se uma perda de 3,38% para o modo de operação “1” e 2,07% para o modo “4”. A partir do modo “8” a perda

de eficiência do pós-leiaute para o esquemático diminui, sendo que no modo "8" o PAE do pós-leiaute é 0,08% maior que o PAE do esquemático.

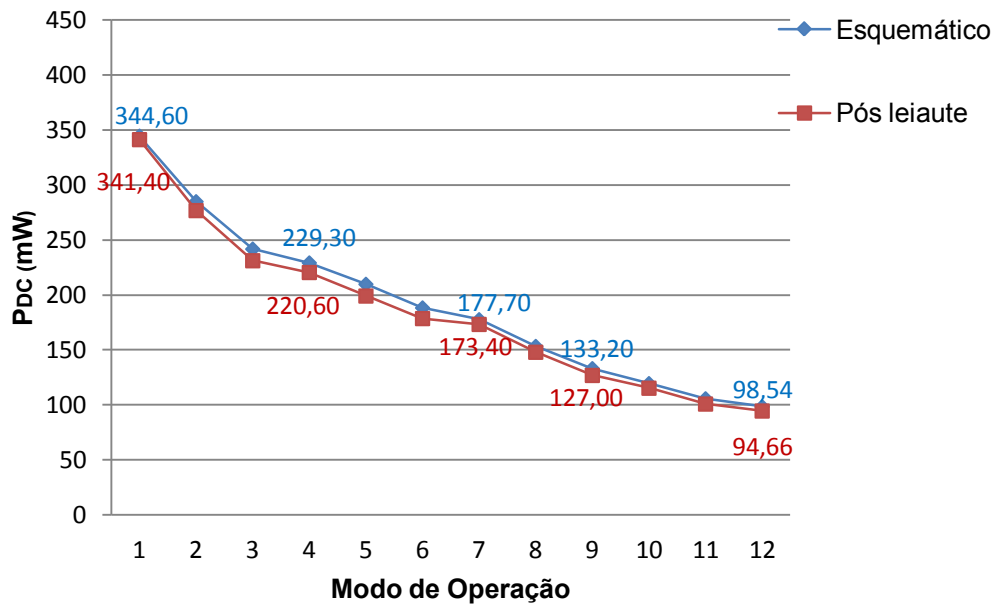
FIGURA 36 – Resultado PAE da simulação pós-leiaute versus esquemático



FONTE: O autor (2018)

A figura 37 mostra a comparação do consumo de energia do PA simulado no pós-leiaute com o simulado no esquemático, de acordo com o modo de operação selecionado. Nota-se que a variação do consumo de energia, se comparado com os resultados do esquemático do circuito, é bem pequena. Outro ponto que chama a atenção é que há uma redução de quase 250 mW do modo "1" para o modo "12", permitindo com que o consumo de energia do PA seja diminuído quando o PA não precisar trabalhar com a potência máxima.

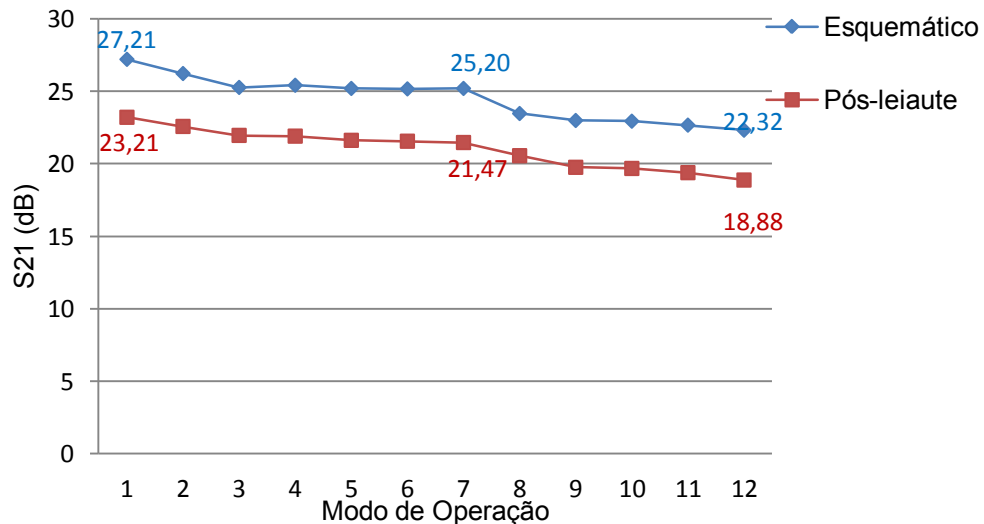
FIGURA 37 – Resultado PDC da simulação pós-leiaute versus esquemático



FONTE: O autor (2018)

Já na figura 38 são apresentados os resultados do estágio de ganho S21 do PA. Observa-se que há uma variação de ganho conforme o modo de operação é selecionado, mantendo-se constante em alguns instantes. Ao comparar os resultados da simulação pós-leiaute com o esquemático nota-se uma perda de 4 dB praticamente para todos os modos de operação.

FIGURA 38 – Resultado Ganho do PA da simulação pós-leiaute *versus* esquemático

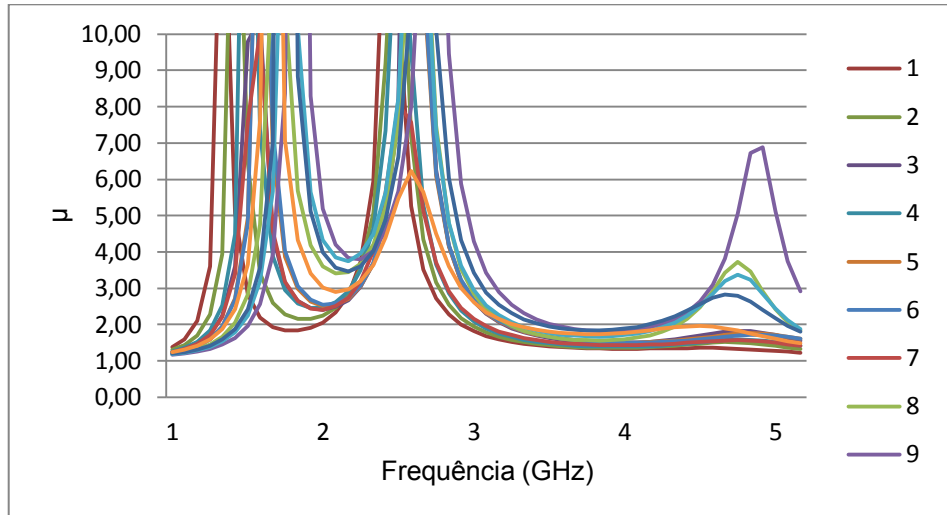


FONTE: O autor (2018)

Na figura 39 é apresentada a estabilidade do PA através da simulação do fator μ , onde o PA é considerável estável se o fator μ for maior do que 1. Nota-se que para uma largura de banda entre 1 GHz e 5 GHz o mínimo do fator μ

encontrado foi de 1,17, mostrando que o PA é incondicionalmente estável para todos os modos de operação.

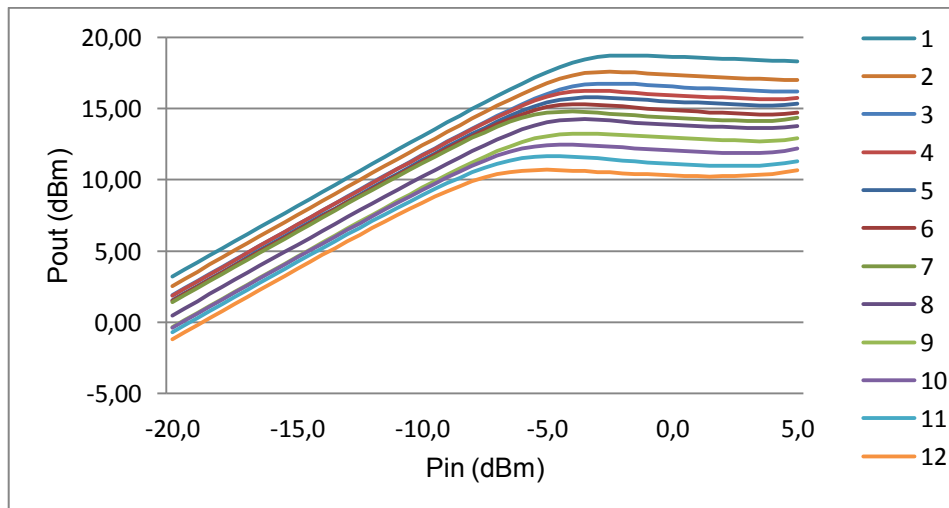
FIGURA 39 – Simulação do fator μ versus frequência para cada modo de operação



FONTE: O autor (2018)

A figura 40 apresenta a simulação da potência de saída em relação com a potência de entrada para todos os modos de operação. O modo de operação de alta potência atinge um OCP_{1dB} de 18,22 dBm com um P_{SAT} de 18,7 dBm. Já o modo de baixa potência atinge um OCP_{1dB} de 10,6 dBm e um P_{SAT} de 10,7 dBm.

FIGURA 40 – Simulação P_{OUT} versus P_{IN} para cada modo de operação

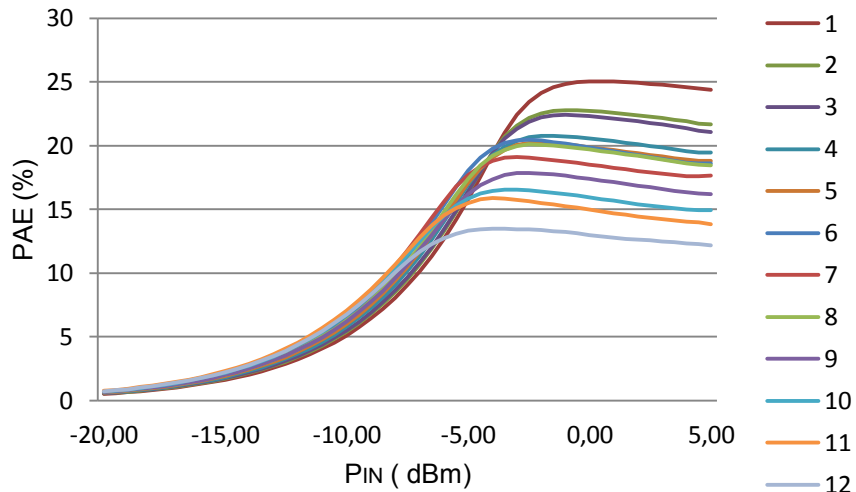


FONTE: O autor (2018)

As figuras 41 e 42 apresentam os resultados das simulações da eficiência PAE para todos os modos de operação. Na figura 41 é apresentada a eficiência PAE versus a potência de entrada. Observa-se que o modo de alta potência possui um pico de eficiência de 25% e o modo de baixa potência um pico de 13,5%. Já a figura 42 apresenta uma relação entre eficiência e potência de saída. Nota-se que para um

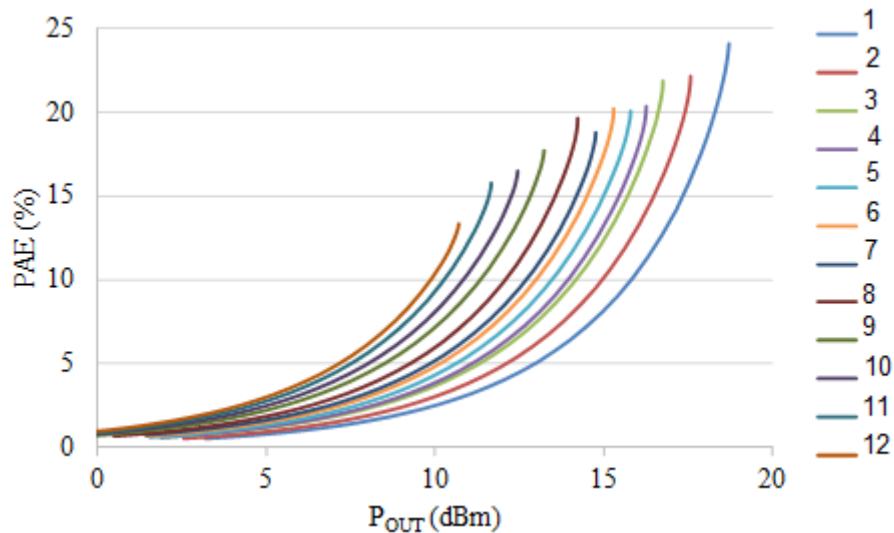
P_{OUT} de 14 dBm, o modo 7 tem um PAE de 18% e, conseqüentemente, é mais adequado para a aplicação. Uma vez que o consumo de energia de uma PA é proporcional à sua eficiência, o maior PAE significa o menor consumo de PDC para esse ponto de operação.

FIGURA 41 – Simulação PAE versus P_{IN} para cada modo de operação



FONTE: O autor (2018)

FIGURA 42 – Simulação PAE versus P_{OUT} para cada modo de operação

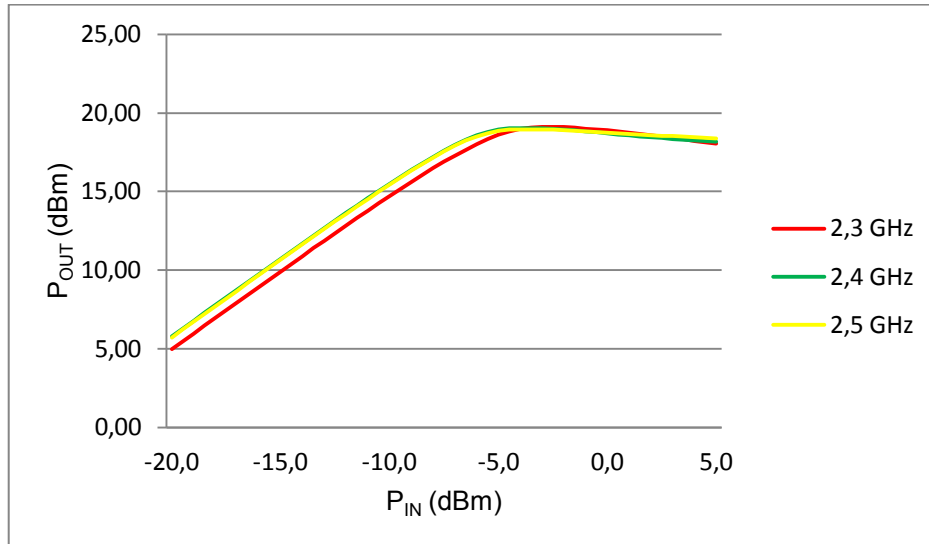


FONTE: O autor (2018)

Foi analisado também o comportamento do funcionamento do PA fora da frequência de operação de 2,4 GHz, conforme apresentado nas figuras 43 e 44. Na figura 43 é apresentada a simulação de P_{OUT} versus P_{IN} para as frequências de 2,3 GHz, 2,4 GHz e 2,5 GHz para o modo de operação “1”. Nota-se que para a frequência de 2,5 GHz o resultado de P_{OUT} está muito próximo do encontrado em 2,4 GHz tendo uma variação máxima de 0,05 dBm. Já a figura 44 apresenta a relação

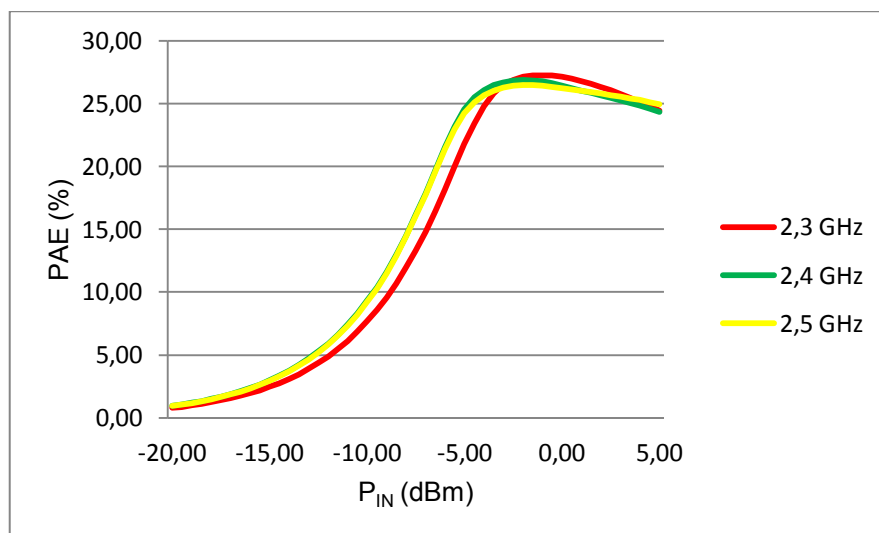
entre a eficiência versus a potência de entrada. Observa-se que o maior pico de eficiência ocorre para a frequência de 2,3 GHz com 27,26% para uma potência de entrada de -1 dBm.

FIGURA 43 – Simulação P_{OUT} versus P_{IN} para o modo de operação “1” com as frequências de 2,3 GHz, 2,4 GHz e 2,5 GHz.



FONTE: O autor (2018)

FIGURA 44 – Simulação PAE versus P_{IN} para o modo de operação “1” com as frequências de 2,3 GHz, 2,4 GHz e 2,5 GHz.



FONTE: O autor (2018)

Na tabela 14 são apresentados os resultados de todos os modos de operação da simulação pós-leiaute. Observa-se que os resultados do pós-leiaute, não sofreram perdas muito significativas, se comparado com o resultado das simulações do esquemático na tabela 13. Nota-se na tabela 14 que há uma simetria nos resultados das simulações, conforme os modos de operação são selecionados.

TABELA 14 – RESULTADOS DAS SIMULAÇÕES PÓS-LEIAUTE

Modo de operação	Resultados das Simulações Pós-leiaute			
	OCP _{1dB} (dBm)	S ₂₁ (dB)	PAE@OCP _{1dB} (%)	PDC (mW)
1	18,22	23,21	19,40	341,40
2	17,27	22,58	18,93	276,90
3	16,53	21,96	19,01	231,30
4	16,02	21,91	17,77	220,60
5	15,54	21,62	17,46	199,20
6	15,01	21,56	17,23	178,70
7	14,39	21,47	15,75	173,40
8	13,87	20,56	16,28	148,10
9	12,89	19,76	15,04	127,00
10	11,96	19,68	13,45	115,40
11	11,04	19,39	12,35	101,00
12	10,09	18,88	10,60	94,66

FONTE: O AUTOR (2018)

4.3 SIMULAÇÃO DE *CORNERS*

A simulação de *corners*, ou simulação de cantos, é essencial para validar a robustez do projeto. Nesta simulação, o amplificador de potência é testado aos seus extremos, para verificar o seu funcionamento em diferentes pontos de operação. Em geral, a simulação de *corners* utiliza três tipos de variações: duas ambientais e uma de fabricação.

As fontes de variação também são conhecidas como: processo de fabricação, temperatura e tensão de alimentação, ou também são chamadas de PVT. O projeto deve ser dimensionado para funcionar nos extremos dessas três variáveis.

As variações da temperatura e da tensão afetam diretamente a capacidade da potência de saída do PA. Já os processos de fabricação interferem no ganho, na impedância de saída e na largura de banda do amplificador de potência.

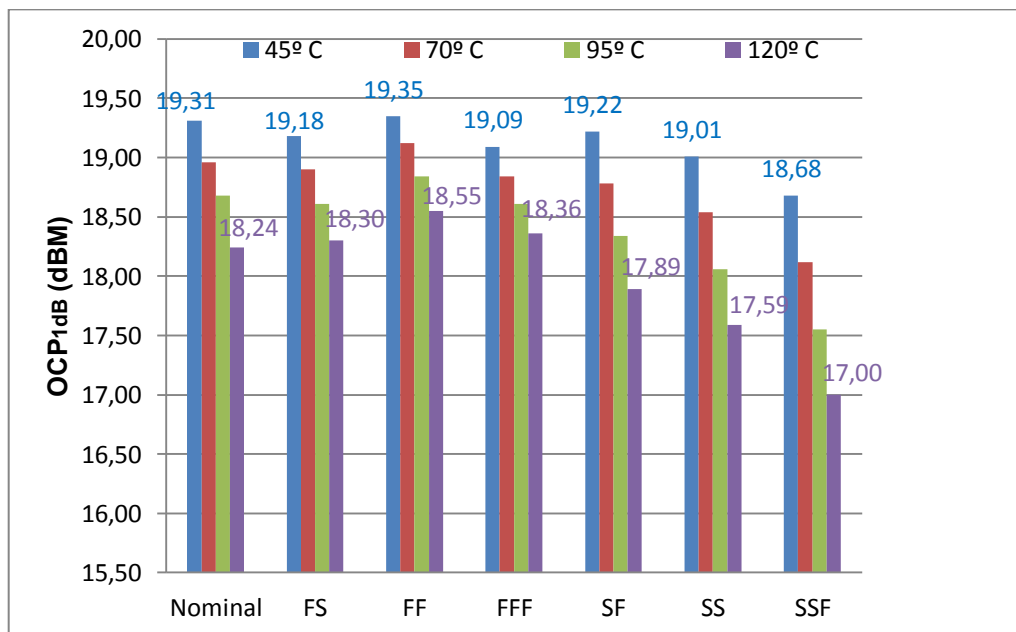
Os processos de fabricação utilizam diversos *corners* para validar a robustez do PA. Nesse projeto serão utilizados sete tipos de processos nas simulações: nominal (TT), *Fast-Slow* (FS), *Slow-Fast* (SF), *Fast-Fast* (FF), *Slow-Slow* (SS), *Fast-Fast-Functional* (FFF) and *Slow-Slow-Functional* (SSF). O processo nominal

corresponde à simulação do ponto de operação conforme foi projetado o PA. Os *corners*, (FS), (SF), (FF) e (SS), simulam a fabricação dos dispositivos NFETs e PFETs de maneira mais rápida ou mais lenta, depende do processo utilizado. Já os *corners* (FFF) e (SSF) são chamados de processos funcionais.

A tensão de alimentação será variada de -0,1 V, de acordo com o modo de operação selecionado. Por exemplo, o modo de operação “1” tem como tensão nominal de 1,8 V, a variação será de -0,1 V, que resulta em 1,7 V. Já a temperatura será variada em quatro pontos: temperatura baixa, 45 °C, temperatura nominal, 70 °C, e temperatura elevada, 95 °C e 120 °C.

O modo de operação “1” foi selecionado para demonstrar os resultados das simulações. Na figura 45 é apresentado os resultados do parâmetro OCP_{1dB} com a tensão de alimentação em 1,8 V e variação da temperatura. Observa-se que para baixas temperaturas o OCP_{1dB} apresenta resultados melhores e conforme a temperatura vai aumentando o OCP_{1dB} vai diminuindo. Nota-se que com 45 °C o OCP_{1dB} é de 19,35 dBm para o processo de fabricação FF e para 120 °C o OCP_{1dB} é de 17 dBm para o processo SSF.

FIGURA 45 – Simulação de *corners* OCP_{1dB} para o modo de operação “1” com 1,8 V



FONTE: O autor (2018)

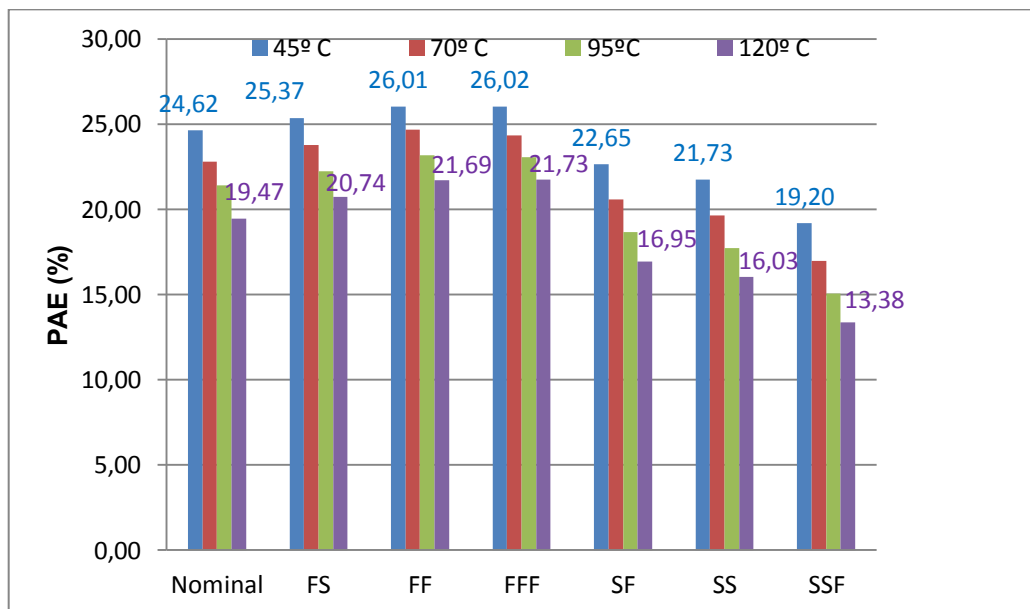
A figura 46 apresenta os resultados de eficiência PAE do modo de operação “1”. Observa-se que, com a temperatura em 45 °C, apenas o processo SSF teve o PAE menor que o processo nominal. Nota-se também que o aumento da

temperatura faz com que o PA saia do seu ponto de operação e tenha baixa eficiência, principalmente no processo de fabricação SSF.

Já a figura 47 apresenta os resultados P_{DC} do projeto para o modo de operação “1” com 1,7 V de tensão de alimentação. Nota-se que ao aumentar a temperatura o consumo de energia diminui para praticamente todos os processos de fabricação. Isso ocorre devido a tensão limiar e a mobilidade diminuírem com o aumento da temperatura e V_{GS} (tensão *gate-source*) ter um valor elevado fazendo com que a corrente de dreno diminua [20], ocorrendo então a queda no consumo de energia do PA.

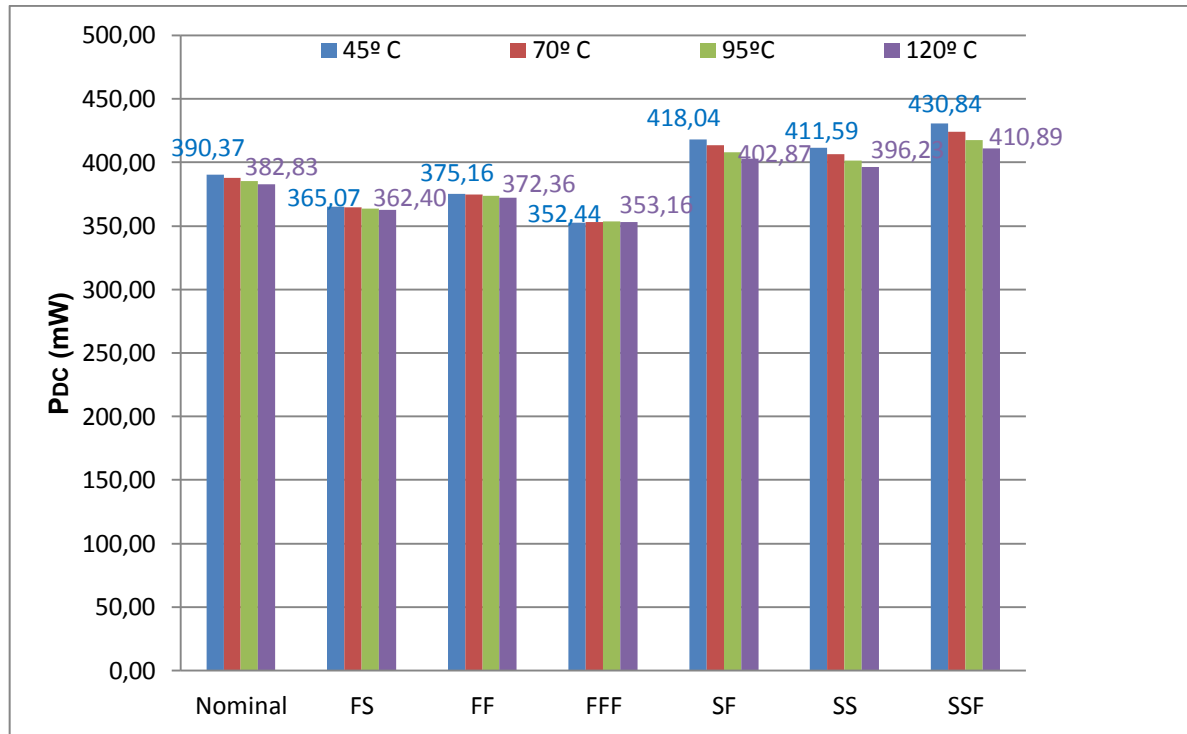
O processo de fabricação FFF é o único que aumenta o consumo de energia do PA ao aumentar a temperatura. Isso ocorre porque nesse processo de fabricação V_{GS} é muito baixo fazendo com que a corrente de dreno aumente com o aumento da temperatura [20], consequentemente aumenta o consumo de energia.

FIGURA 46 - Simulação de *corners* PAE para o modo de operação “1” com 1,8 V



FONTE: O autor (2018)

FIGURA 47 – Simulação de *corners* P_{DC} para o modo de operação “1” com 1,7 V



FONTE: O autor (2018)

Após as simulações de *corners*, observa-se que o circuito apresenta uma boa robustez para os processos de fabricação mais rápidos, FS, FF e FFF, tendo os resultados bons para os três modos de operação apresentados. Percebe-se também que com o aumento da temperatura os resultados são degradados, principalmente para os processos de fabricação mais lentos, SS, SF e SSF.

Os resultados da simulação de *corners* para o modo de operação “1” com 1,7 V e 1,8 V do projeto proposto são apresentados no Apêndice A.

4.4 SIMULAÇÃO MONTE CARLO

A simulação *Monte Carlo* é usada para encontrar os efeitos de variações aleatórias em um circuito. Esse método consiste em executar uma simulação repetidamente com diferentes parâmetros escolhidos aleatoriamente. A simulação *Monte Carlo* foi realizada no ambiente do Virtuoso Spectre RF, onde foram selecionadas as variações do tipo *Mismatch* e *Process*, para validar a robustez do projeto. A variação *Mismatch* analisa as possíveis variações nas características físicas e elétricas dos componentes do *chip*, já a variação *Process* analisa a variação que pode ocorrer na fabricação de um *chip* para outro.

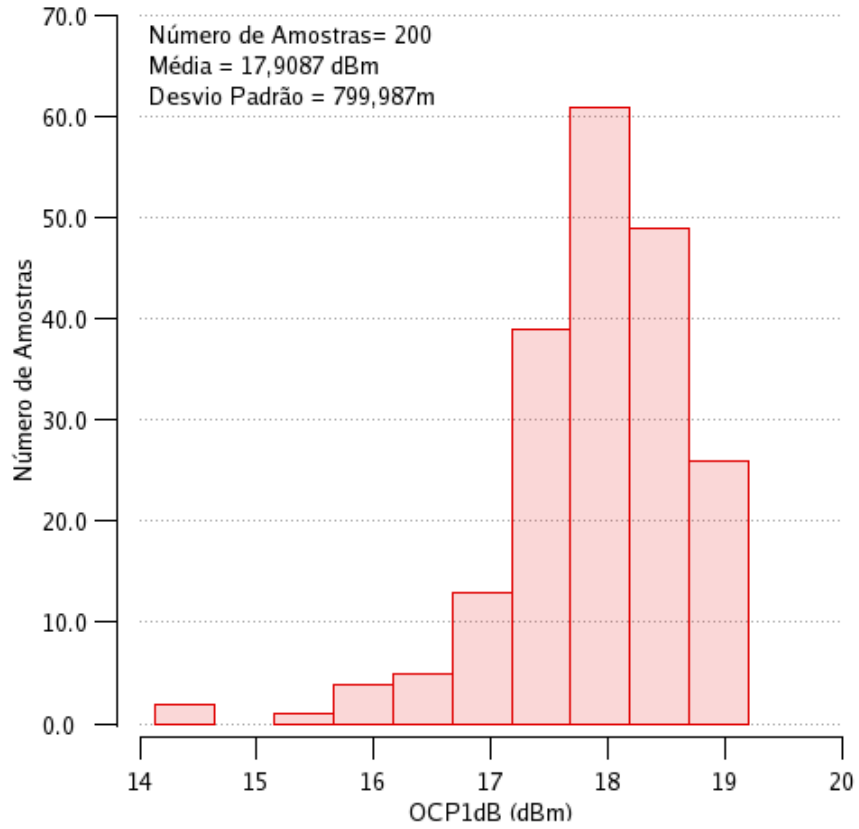
Para essa simulação, foram utilizados 200 pontos para análise de cada modo de operação do projeto, considerando uma temperatura de 70 °C. Assim como nas simulações de *corners*, o modo de operação “1” foi selecionado para apresentar os resultados.

Os resultados da simulação Monte Carlo são apresentados nas figuras 48, 49 e 50 para o modo de operação “1”. Observa-se que, na figura 48, o resultado da média do parâmetro OCP_{1dB} é de 17,91 dBm e está bem próxima do valor simulado no pós-leiaute, apresentado na tabela 14, de 18,22 dBm. Das 200 amostras realizadas, para o parâmetro OCP_{1dB} , 175 amostras estão entre um OCP_{1dB} de 17,13 dBm e 19,07 dBm. Praticamente 1 dBm acima e 1 dBm abaixo do OCP_{1dB} apresentado na tabela 14.

Já a figura 49 apresenta os resultados das 200 amostras para o parâmetro PAE. Nota-se que a média resultante é de 18,47%, praticamente 1% a menos do que apresentado na tabela 14 de 19,40%. Selecionando os resultados PAE acima de 17% são obtidas 161 amostras das 200 amostras que foram realizadas.

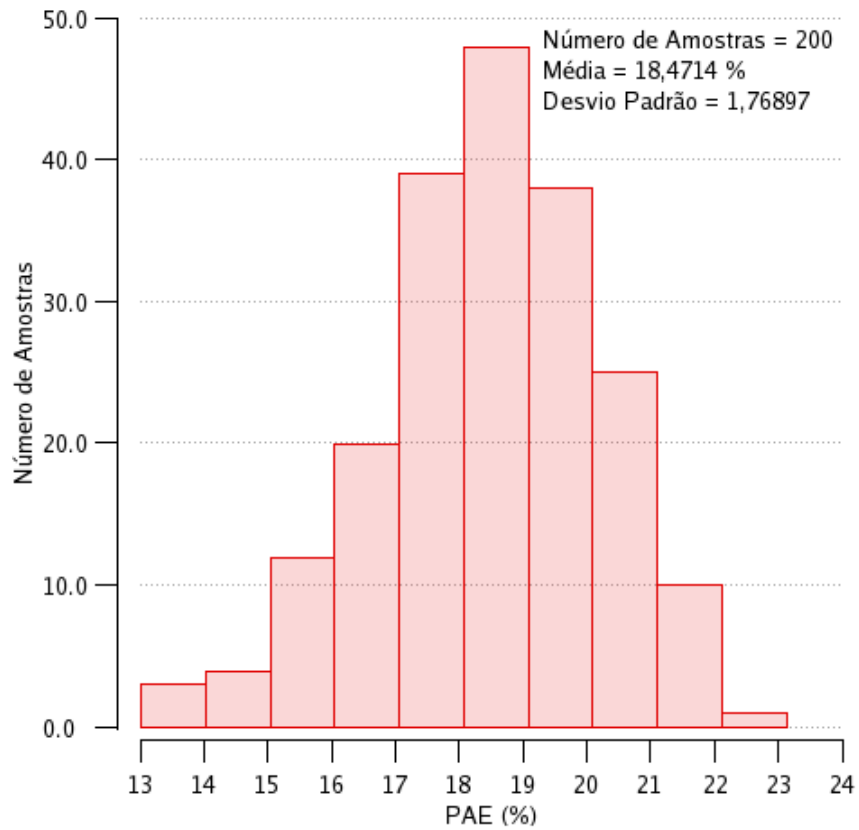
Na figura 50 é apresentado os resultados do ganho S21 com uma média de 23,07 dB das 200 amostras realizadas, muito próximo do resultado encontrado na simulação pós-leiaute de 23,21 dB. Nessa simulação são encontradas 173 amostras com um resultado acima de 22 dB.

FIGURA 48 – Simulação Monte Carlo do parâmetro OCP_{1dB} para o modo de operação “1”



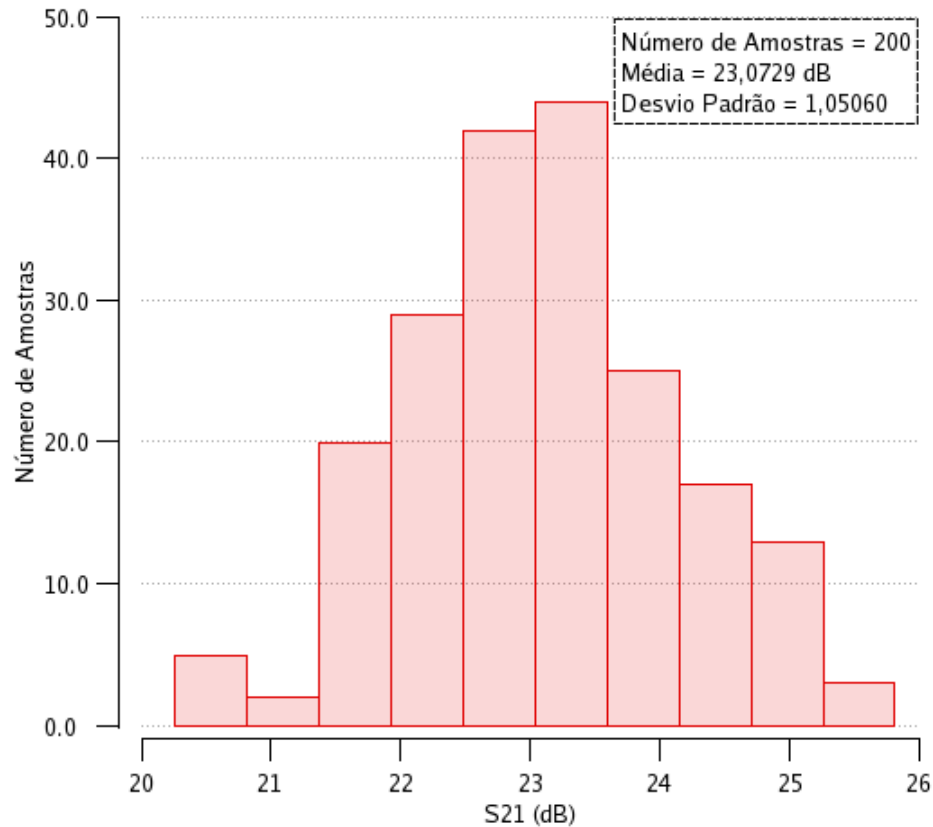
FONTE: O autor (2018)

FIGURA 49 – Simulação Monte Carlo do parâmetro PAE para o modo de operação “1”



FONTE: O autor (2018)

FIGURA 50 – Simulação Monte Carlo do parâmetro S21 para o modo de operação “1”



FONTE: O autor (2018)

Os resultados da simulação Monte Carlo para todos os modos de operações do projeto proposto são apresentados no Apêndice B.

4.5 RESULTADOS FINAIS

Baseado nos resultados apresentados anteriormente, são comparados os resultados finais após as simulações do esquemático e pós leiaute, com as métricas estabelecidas no início do projeto.

Observa-se na tabela 15 que os resultados foram satisfatórios, todos os parâmetros ficaram dentro das métricas estabelecidas. O OCP_{1dB} e o PAE para baixa potência ficaram acima do estabelecido pelo projeto.

Ao comparar os resultados esperados com as simulações de *corners*, nota-se que o processo de fabricação FF é ideal para esse projeto. Todos os resultados ficaram dentro das métricas do projeto, mesmo alterando o valor da tensão de 0,1 V para baixo. Já a simulação *Monte Carlo* também apresentou resultados dentro das métricas do projeto, com exceção o P_{DC} do modo "1" na coluna mínimo que ficou muito acima do que foi obtido na simulação pós-leiaute

TABELA 15 – TABELA COMPARATIVA DOS RESULTADOS ESTABELECIDOS PELO PROJETO E OS RESULTADOS OBTIDOS NAS SIMULAÇÕES

Parâmetros	Especificado	Simulação Esquemático	Simulação Pós Leiaute
Frequência de operação	2,4 GHz	2,4 GHz	2,4 GHz
Tecnologia CMOS	0,13 μm	0,13 μm	0,13 μm
Tensão de alimentação mínima	1,1 V	1,1 V	1,1 V
Tensão de alimentação máxima	1,8 V	1,8 V	1,8 V
Consumo de potência (P_{DC}) – modo de alta potência	≤ 400 mW	344,60 mW	341,40 mW
Potência de saída (OCP_{1dB}) – modo de alta potência	≥ 18 dBm	18,96 dBm	18,22 dBm
Potência de saída (OCP_{1dB}) – modo de baixa potência	≥ 10 dBm	10,63 dBm	10,09 dBm
Eficiência (PAE) – modo de alta potência	$\geq 18\%$	19,40%	18,96%
Eficiência (PAE) – modo de baixa potência	$\geq 10\%$	11,89%	10,60%
Impedância de entrada	50 Ω	50 Ω	50 Ω
Impedância de saída	Ajustável	Ajustável	Ajustável

FONTE: O AUTOR (2018)

A tabela 16 faz uma comparação dos resultados obtidos nesse projeto com os projetos apresentados no estado da arte. Observa-se que os projetos de [4], [6], [12] apresentam boa eficiência, mas possuem uma linearidade degradada por utilizar um PA Classe E. Já o projeto proposto por [17] apresenta uma variação muito boa de OCP_{1dB} e PAE, mas tem um consumo elevado devido utilizar uma tensão de alimentação muito alta. O projeto proposto por [5] tem bons resultados de eficiência e consumo de energia, mas a sua potência de saída é igual zero. O projeto do [11] apresenta uma variação muito boa em todos os aspectos, mas no ponto de operação de baixa potência, os resultados são muito baixo.

TABELA 16 – TABELA COMPARATIVA DESSE PROJETO COM OS PROJETOS UTILIZADOS NO ESTADO DA ARTE

Artigo	Frequência	Tecnologia CMOS	VDD (V)	PDC (mW)	OCP_{1dB} (dBm)	Ganho (dB)	PAE@ OCP_{1dB} (%)
[4]	2,4 GHz	0,09 μm	1,2	*	8	16 ~24	25 ~ 30
[6]	2,4 GHz	0,18 μm	1,5	*	15	25	70
[12]	2,4 GHz	0,18 μm	3,3	*	16 ~ 22,3	16 ~ 24	28 ~ 40,4
[5]	2,4 GHz	0,13 μm	1,2	2,93	0	20	34
[17]	2,4 GHz	0,13 μm	1,3	*	11,9	*	53
[11]	2,4 GHz	0,13 μm	1,8	171 ~ 415	6 ~ 18,2	13 ~ 21	3,8 ~ 21,9
Este Trabalho	2,4 GHz	0,13 μm	1,1 ~ 1,8	95 ~ 341	9,3 ~ 18,2	23,2 ~ 27,1	9,6 ~ 19,4

FONTE: O AUTOR (2018)

Sendo assim, os resultados do PA proposto apresentam um compromisso entre os parâmetros, alcançando bons resultados tanto para as configurações de baixa e alta potência. Nota-se que ao comparar os resultados com o projeto do [11], que possui uma rede de impedância fixa, os parâmetros de consumo mínimo de energia e eficiência do PA foram melhorados.

5 CONCLUSÃO

Este trabalho apresentou um amplificador de potência baseado nos projetos de [11] e [5]. O objetivo foi utilizar uma topologia conhecida no estudo bibliográfico que fosse capaz de ser reconfigurada, e que atingisse níveis de consumo de energia diferentes, com eficiência e uma boa potência de saída.

Nesse trabalho foi adotada uma rede de impedância de saída com a topologia em π , com dois capacitores em paralelo e um indutor em série com a carga. Essa topologia permitiu ao projeto desenvolver uma rede de impedância reconfigurável, fazendo com que a eficiência e a potência de saída fossem melhoradas, após o ponto de operação do PA ser alterado.

Foi utilizado também um estágio de potência reconfigurável, com três células de potência ligadas em paralelo, e com controles individuais. Cada célula é configurada com uma largura diferente do transistor, permitindo com que fosse ajustado o nível de potência de saída do PA. Esse controle permitiu ao projeto níveis de consumo de energia diferentes, possibilitando que o PA opere com baixo consumo quando não for necessário transmitir a informação com alta potência.

Para controlar os estágios de reconfigurabilidade de potência e da rede de impedância de saída, foi utilizado um controlador digital com modos de operação pré-definidos, controlando diversos níveis de potência e consumo de energia no PA. Esse controlador digital permitiu que o PA que fosse reconfigurado de forma rápida e precisa, sendo necessário apenas um código para alterar a configuração do amplificador de potência.

Pode-se concluir que para chegar nos resultados satisfatórios desse projeto, foi necessário fazer várias correções durante o dimensionamento do projeto, tanto no esquemático como no pós-leiaute. Durante as simulações do esquemático, foi necessário realizar ajustes finos nos componentes. Já na simulação de pós-leiaute, foi necessário redimensionar o tamanho dos componentes sendo necessário refazer algumas simulações no esquemático para verificar se as alterações necessárias para o leiaute não alterariam os resultados obtidos no esquemático. Já as trilhas do leiaute foram redimensionadas diversas vezes a fim de diminuir as interferências dos parasitas no projeto e conseguir obter os resultados satisfatórios. Fazer um PA robusto que consiga operar em todos os extremos, conforme foi analisado na simulação de *corners*, é muito difícil, e um desafio para os pesquisadores.

Por último, neste trabalho foi apresentado um amplificador de potência com estágios de reconfigurabilidade em tecnologia CMOS 0,13 μm , operando em uma frequência de 2,4 GHz. Os diversos níveis de potência de saída e de consumo de energia foram obtidos utilizando os estágios reconfiguráveis de potência e da rede de impedância de saída, sendo estes controlados por um decodificador.

Além das variações realizadas nos estágios de potência e da rede de impedância, foi efetuada uma variação manual na tensão de alimentação desses estágios, para diminuir o consumo de energia, proporcionalmente a potência de saída do PA. Quanto menor a potência de saída fornecida pelo PA, menor será o seu consumo de energia. Usando o PA em estágio de baixa potência, com uma tensão de 1,1 V, foi obtido um consumo de potência de saída de 95 mW, tendo um ponto de compressão de -1dB com 10,1 dBm na saída do amplificador.

Os resultados obtidos indicam que o PA apresentado nesse projeto apresenta um impacto considerável, permitindo aumentar a vida útil da bateria dos dispositivos RF.

5.1 TRABALHOS FUTUROS

Como sugestões para trabalhos futuros de amplificadores de potência, ficam destacadas as seguintes considerações.

- implementar uma variação automática na tensão de alimentação dos estágios reconfiguráveis, com controle digital;
- implementar um estágio de ganho reconfigurável para melhorar a eficiência do PA;
- melhorar o layout para reduzir o impacto dos elementos parasitas no projeto.

REFERÊNCIAS

- [1] P. REYNAERT e M. STEYAERT, ***RF POWER AMPLIFIERS FOR MOBILE COMMUNICATIONS***, 1º ed. Netherlands: Springer Netherlands, 2006.
- [2] S. M. ALAVI, ***All-Digital I/Q RF-DAC***. 2014. 193 pg. Thesis (Doctorate of Science in Electrical Engineering) - Microelectronics & Computer Engineering, Technische Universiteit Delft, Netherlands, 2014.
- [3] S. C. CRIPPS, ***RF Power Amplifiers for Wireless Communications***, Second Edi., vol. 40, nº 6. London: Artech House, 2006.
- [4] V. CHIRONI, S. MEMBER, B. DEBAILLIE, A. MEMBER, S. D. AMICO, A. BASCHIROTTO, J. CRANINCKX, e M. INGELS, “**A Digitally Modulated Class-E Polar Amplifier in 90 nm CMOS**”, *IEEE Trans. CIRCUITS Syst. Trans. CIRCUITS Syst.*, vol. 60, nº 4, p. 918–925, 2013.
- [5] F. C. W. PO, E. DE FOUCAULD, D. MORCHE, P. VINCENT, e E. KERCHERVE, “**A Novel Method for Synthesizing an Automatic Matching Network and Its Control Unit**”, *IEEE Trans. Circuits Syst. I Regul. Pap.*, vol. 58, nº 9, p. 2225–2236, set. 2011.
- [6] A. SABERKARI, S. ZIABAKHSH, H. MARTINEZ, e E. ALARCÓN, “**Active inductor-based tunable impedance matching network for RF power amplifier application**”, *Integr. VLSI J.*, vol. 52, p. 301–308, jan. 2016.
- [7] Y. YOON, H. KIM, H. KIM, K.-S. LEE, C. LEE, e J. S. KENNEY, “**A 2.4-GHz CMOS Power Amplifier With an Integrated Antenna Impedance Mismatch Correction System**”, *IEEE J. Solid-State Circuits*, vol. 49, nº 3, p. 608–621, mar. 2014.
- [8] M. ALBULET, ***RF Power Amplifiers***. Atlanta: Scitech Publishing, 2001.
- [9] J. FRITZIN, “**Power Amplifier Circuits in CMOS Technologies**”. 108 pg. Thesis (Linköping Studies in Science and Technology) - Linköpings universitet, SE-581 83 Linköping, Sweden Linköping, 2009.
- [10] E. L. SANTOS, B. LEITE, e A. MARIANO, “**Multimode 2.4 GHz CMOS power amplifier with gain control for efficiency enhancement at power backoff**”, in *2015 IEEE 6th Latin American Symposium on Circuits & Systems (LASCAS)*, 2015, p. 1–4.
- [11] F. SANTOS, A. MARIANO, e B. LEITE, “**2.4 GHz CMOS digitally programmable power amplifier for power back-off operation**”, in *2016 IEEE 7th Latin American Symposium on Circuits & Systems (LASCAS)*, 2016, p. 159–162.

- [12] Y. YOON, J. KIM, H. KIM, K. H. AN, O. LEE, C. LEE, e J. S. KENNEY, “**A Dual-Mode CMOS RF Power Amplifier With Integrated Tunable Matching Network**”, *IEEE Trans. Microw. Theory Tech.*, vol. 60, n^o 1, p. 77–88, jan. 2012.
- [13] D. M. POZAR, ***Microwave Engineering***, Fourth Edi. Amherst, USA: John Wiley & Sons, Inc., 2011.
- [14] R. GILMORE, ***Practical RF Circuit Design for Modern Wireless Systems***, Volume II. London: Artech House, 2003.
- [15] J. A. BRAGA, “**Autoteste e Correção de Não-linearidades de Circuitos RF**”.123 pg. Dissertação (Mestrado Integrado em Engenharia Electrotécnica e de Computadores Major) - Faculdade de Engenharia da Universidade do Porto, Porto, Portugal, 2010.
- [16] B. S. VIRDEE, A. S. VIRDEE, e B. Y. BANYAMIN, “**Broadband Microwave Amplifiers**”, A. S. V. Ben Y. Banyamin, Bal S. Virdee, Org. Boca Raton; London; New York: Artech House, 2004, p. 231.
- [17] S. A. Z. MURAD, M. F. AHAMD, M. M. SHAHIMIN, R. C. Ismail, e K. L. Cheng, “**High Efficiency CMOS Class E Power Amplifier Using 0 . 13 μm Technology**”, *2012 IEEE Symp. Wirel. Technol. Appl.*, p. 85–88, 2012.
- [18] A. P. MALVINO, ***Digital Principels and Applications***, 7th, 2010^o ed. New Delhi: Tata Mcgraw Hill Education Private Limited, 2010.
- [19] I. V. IDOETA e F. M. CAPUANO, ***Elementos de Eletrônica Digital***, 41^o ed, vol. 41. São Paulo, 2012.
- [20] R. J. BAKER, ***CMOS Circuit Design, Layout, and Simulation***, Third Edit. New Jersey: John Wiley & Sons, Inc., Publication, 2010.

APÊNDICE A – Simulação de *Corners*

- Resultados das simulações de *corners* para o modo de operação 1 com 1,7 V.

Modo	Temperatura (°C)	Tensão de alimentação (V)	Processo	OCP _{1dB} (dBm)	PAE (%)	S21 (dB)	P _{DC} (mW)
1	45° C	1,70	Nominal	18,92	23,70	27,91	390,37
			FS	18,84	24,77	28,19	365,07
			FF	19,03	25,66	28,72	375,16
			FFF	18,73	25,21	28,95	352,44
			SF	18,78	21,55	27,46	418,04
			SS	18,59	20,78	27,00	411,59
			SSF	18,26	18,31	26,45	430,84
1	70° C	1,70	Nominal	18,55	21,88	27,16	387,83
			FS	18,49	22,75	27,49	364,57
			FF	18,73	23,84	28,05	374,66
			FFF	18,51	23,91	28,29	353,24
			SF	18,33	19,55	26,66	413,29
			SS	18,12	18,74	26,18	406,66
			SSF	17,69	16,20	25,59	424,27
1	95° C	1,70	Nominal	18,26	20,52	26,57	385,50
			FS	18,22	21,47	26,79	363,67
			FF	18,42	22,15	27,37	373,78
			FFF	18,24	22,36	27,64	353,47
			SF	17,88	17,76	25,86	408,17
			SS	17,64	16,92	25,37	401,55
			SSF	17,13	14,36	24,74	417,66
1	120° C	1,70	Nominal	17,82	18,65	25,69	382,83
			FS	17,91	20,02	26,10	362,40
			FF	18,14	20,83	26,70	372,36
			FFF	17,95	20,90	26,98	353,16
			SF	17,43	16,16	25,07	402,87
			SS	17,16	15,31	24,57	396,23
			SSF	16,57	12,77	23,91	410,89

- Resultados das simulações de *corners* para o modo de operação 1 com 1,8 V.

Modo	Temperatura (°C)	Tensão de alimentação (V)	Processo	OCP _{1dB} (dBm)	PAE (%)	S21 (dB)	P _{DC} (mW)
1	45° C	1,80	Nominal	19,31	24,62	27,95	412,33
			FS	19,18	25,37	28,22	385,63
			FF	19,35	26,01	28,76	396,63
			FFF	19,09	26,02	28,99	372,67
			SF	19,22	22,65	27,50	441,72
			SS	19,01	21,73	27,04	434,56
			SSF	18,68	19,20	26,49	454,88
1	70° C	1,80	Nominal	18,96	22,79	27,21	409,66
			FS	18,90	23,77	27,53	385,27
			FF	19,12	24,69	28,09	396,11
			FFF	18,84	24,35	28,34	373,52
			SF	18,78	20,58	26,70	436,90
			SS	18,54	19,63	26,22	429,55
			SSF	18,12	16,98	25,64	448,14
1	95° C	1,80	Nominal	18,68	21,40	26,62	407,21
			FS	18,61	22,22	26,84	384,35
			FF	18,84	23,16	27,42	395,19
			FFF	18,61	23,06	27,68	373,77
			SF	18,34	18,68	25,91	432,05
			SS	18,06	17,73	25,42	424,17
			SSF	17,55	15,05	24,80	441,18
1	120° C	1,80	Nominal	18,24	19,47	25,74	403,15
			FS	18,30	20,74	26,16	383,02
			FF	18,55	21,69	26,75	393,70
			FFF	18,36	21,73	27,03	373,45
			SF	17,89	16,95	25,13	427,73
			SS	17,59	16,03	24,63	418,75
			SSF	17,00	13,38	23,96	434,23

APÊNDICE B – Simulação Monte Carlo

- Resultados das simulações de Monte Carlo com 200 amostras para todos os modos de operações do projeto.

Modo de operação	Parâmetro	Mínimo	Médio	Máximo	Desvio padrão
1	OCP _{1dB} (dBm)	14,13	18,03	19,21	0,80
	PAE (%)	13,01	18,47	23,14	1,77
	S21 (dB)	20,26	23,07	25,83	1,05
	P _{DC} (mW)	570,74	403,69	224,15	57,47
2	OCP _{1dB} (dBm)	14,39	17,79	18,92	0,67
	PAE (%)	14,88	20,93	24,72	1,72
	S21 (dB)	23,10	26,13	29,67	1,10
	P _{DC} (mW)	448,96	332,68	218,52	42,80
3	OCP _{1dB} (dBm)	13,67	16,68	17,68	0,57
	PAE (%)	13,66	19,42	23,00	1,86
	S21 (dB)	22,15	25,16	28,69	1,10
	P _{DC} (mW)	376,78	279,04	183,19	35,84
4	OCP _{1dB} (dBm)	13,14	16,38	17,52	0,63
	PAE (%)	13,80	19,14	22,59	1,67
	S21 (dB)	22,24	25,32	28,83	1,11
	P _{DC} (mW)	357,52	264,63	173,60	34,04
5	OCP _{1dB} (dBm)	12,77	15,93	17,52	0,62
	PAE (%)	13,59	18,86	22,59	1,58
	S21 (dB)	22,23	25,09	28,83	1,05
	P _{DC} (mW)	318,10	236,20	154,51	30,31
6	OCP _{1dB} (dBm)	12,47	17,88	16,07	15,19
	PAE (%)	12,36	17,88	20,89	17,88
	S21 (dB)	22,18	28,35	25,06	25,05
	P _{DC} (mW)	286,50	212,70	138,78	27,33
7	OCP _{1dB} (dBm)	11,75	14,79	15,78	0,60
	PAE (%)	12,07	16,99	20,05	1,57
	S21 (dB)	22,19	25,08	28,34	1,06
	P _{DC} (mW)	270,65	200,80	130,92	25,84
8	OCP _{1dB} (dBm)	11,03	13,81	14,67	0,50
	PAE (%)	11,21	15,97	18,88	1,57
	S21 (dB)	20,25	23,35	26,88	1,11
	P _{DC} (mW)	235,10	174,05	113,45	22,31
9	OCP _{1dB} (dBm)	10,12	12,98	13,84	0,54
	PAE (%)	10,95	15,17	17,54	1,30
	S21 (dB)	19,93	22,86	26,14	1,07

	P_{DC} (mW)	196,54	146,17	94,80	18,65
Modo de operação	Parâmetro	Mínimo	Médio	Máximo	Desvio padrão
10	OCP _{1dB} (dBm)	9,27	12,17	13,11	0,56
	PAE (%)	9,90	13,96	16,33	1,27
	S21 (dB)	19,87	22,81	26,02	1,07
	P_{DC} (mW)	176,63	131,33	84,91	16,76
11	OCP _{1dB} (dBm)	8,87	10,96	12,00	0,47
	PAE (%)	7,82	12,44	14,81	1,59
	S21 (dB)	19,50	22,57	25,75	1,06
	P_{DC} (mW)	156,69	116,38	74,85	14,88
12	OCP _{1dB} (dBm)	7,85	10,42	11,58	0,57
	PAE (%)	7,36	11,59	13,78	1,32
	S21 (dB)	19,14	22,22	25,35	1,07
	P_{DC} (mW)	146,55	108,70	69,55	13,95