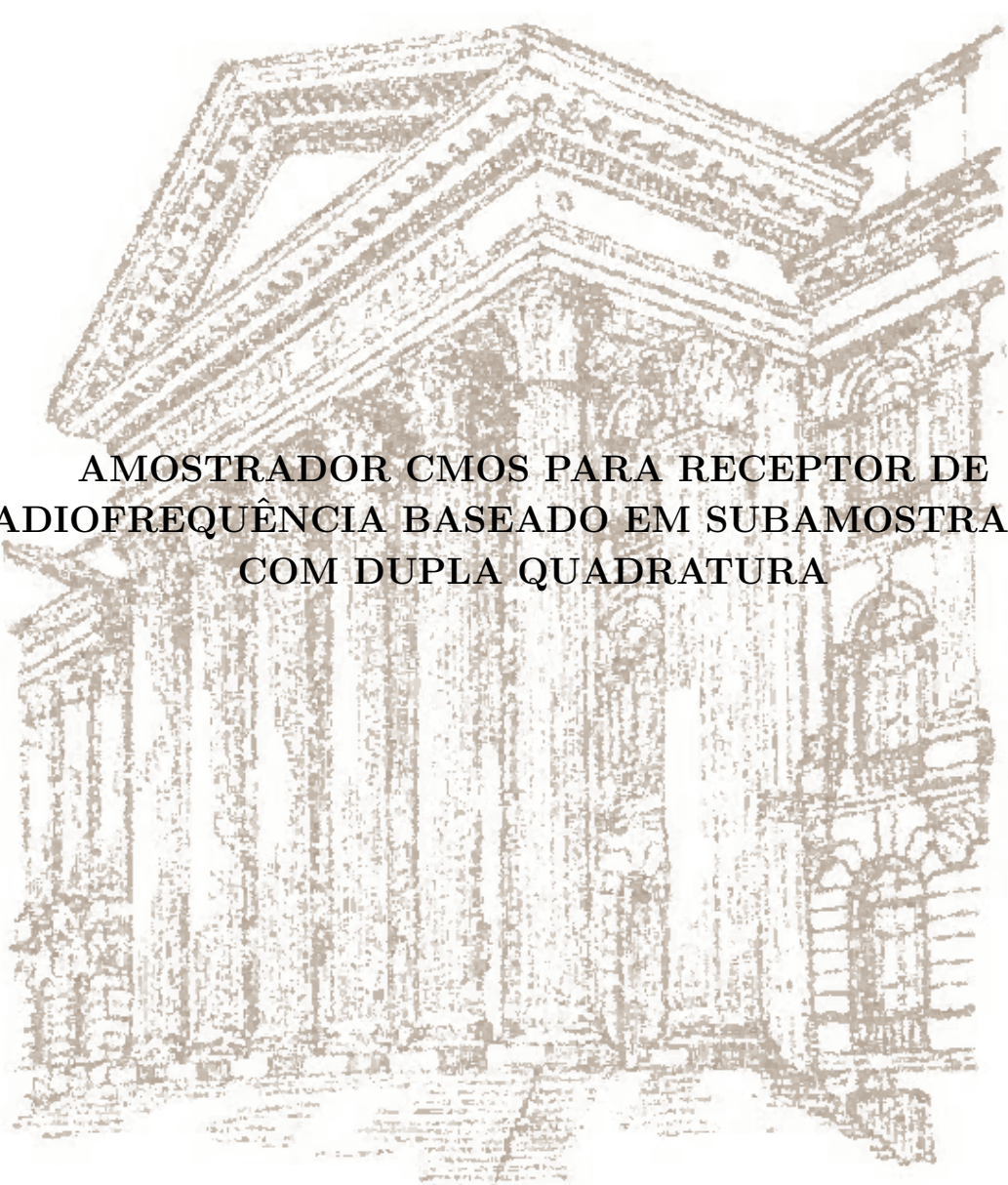


JOÃO PAULO CAMELO CUNHA



**AMOSTRADOR CMOS PARA RECEPTOR DE
RADIOFREQUÊNCIA BASEADO EM SUBAMOSTRAGEM
COM DUPLA QUADRATURA**

CURITIBA

OUTUBRO 2017

JOÃO PAULO CAMELO CUNHA

**AMOSTRADOR CMOS PARA RECEPTOR DE
RADIOFREQUÊNCIA BASEADO EM SUBAMOSTRAGEM
COM DUPLA QUADRATURA**

Dissertação apresentada como requisito parcial á obtenção do grau de Mestre em Engenharia Elétrica. Programa de Pós-Graduação em Engenharia Elétrica - PPGEE, Departamento de Engenharia Elétrica, Setor de Tecnologia, Universidade Federal do Paraná.

Orientador: Prof. Ph.D. André Augusto Mariano

Co-Orientador: Prof. Ph.D. Bernardo Leite

**CURITIBA
OUTUBRO 2017**

C972a Cunha, João Paulo Camelo

Amostrador CMOS para receptor de radiofrequência baseado em subamostragem com dupla quadratura. / João Paulo Camelo Cunha. - Curitiba, 2017.

103 f. : il. color. ; 30 cm.

Dissertação - Universidade Federal do Paraná, Setor de Tecnologia, Programa de Pós-graduação em Engenharia Elétrica, 2017.

Orientador: Prof. Ph.D. André Augusto Mariano.

Coorientador: Prof. Ph.D. Bernardo R. B. A. Leite.

1. Radiofrequência. 2. Radio - Receptores e recepção. 3. Circuitos. I. Universidade Federal do Paraná. II. Mariano, André Augusto. III. Leite, Bernardo IV. Título.

CDD 621.38412



MINISTÉRIO DA EDUCAÇÃO
UNIVERSIDADE FEDERAL DO PARANÁ
PRÓ-REITORIA DE PESQUISA E PÓS-GRADUAÇÃO
Setor TECNOLOGIA
Programa de Pós Graduação em ENGENHARIA ELÉTRICA
Código CAPES: 40001016043P4

TERMO DE APROVAÇÃO

Os membros da Banca Examinadora designada pelo Colegiado do Programa de Pós-Graduação em ENGENHARIA ELÉTRICA da Universidade Federal do Paraná foram convocados para realizar a arguição da Dissertação de Mestrado de **JOÃO PAULO CAMELO CUNHA**, intitulada: "**AMOSTRADOR CMOS PARA RECEPTOR DE RADIO-FREQUÊNCIA BASEADO EM SUBAMOSTRAGEM COM DUPLA QUADRATURA**", após terem inquirido o aluno e realizado a avaliação do trabalho, são de parecer pela sua APROVAÇÃO no rito de defesa.

A outorga do título de mestre está sujeita à homologação pelo colegiado, ao atendimento de todas as indicações e correções solicitadas pela banca e ao pleno atendimento das demandas regimentais do Programa de Pós-Graduação.

Curitiba, 25 de Agosto de 2017.

ANDRE AUGUSTO MARIANO
Presidente da Banca Examinadora (UFPR)

MARLIO JOSE DO COUTO BONFIM
Avaliador Interno (UFPR)

OSCAR DA COSTA GOUVEIA FILHO
Avaliador Interno (UFPR)

GUILHERME LUIZ MORITZ
Avaliador Externo (UTFPR)

Dedicatória

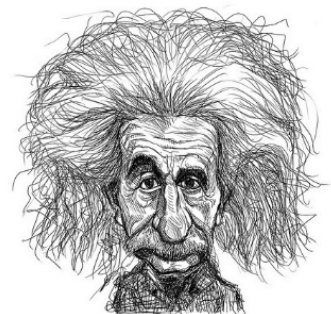
Dedico este trabalho à Amanda Torres, por suas muitas abdições de tempo em casal.

Agradecimentos

Antes de tudo, tenho o dever moral de agradecer por aquele que tem me sustentado todos os dias em amor e misericórdia. Gostaria de agradecer a Deus por tudo aquilo que tem feito em minha vida e, agora, durante estes últimos anos na difícil tarefa de obter o grau acadêmico. Toda a base intelectual necessária para concluir mais este degrau foi construída com muita dedicação e amor sacrificial dos senhores Francisco Cunha e Maria Lúcia, nos quais não abriram mão de oferecer o melhor ensino possível a seus filhos, mesmo em situações adversas. Por tudo isso e por suas abnegações presentes até os dias atuais, gostaria de deixar registrado o agradecimento aos meus queridos pais.

Epígrafe

"No meio da dificuldade encontra-se a oportunidade"



(1879-1955)

Resumo

Desde do início da década de 80, a sociedade tem experimentado transformações no modo de se comunicar. Essas mudanças, todavia, são resultados de inovações tecnológicas que, por sua vez, são sustentadas por grandes investimentos do setor de telecomunicação em pesquisas tecnológicas. Neste sentido, (LOLIS, 2011) propõe um receptor de radiofrequência baseado em subamostragem para demodular sinal diretamente em banda passante e que utiliza deslocamentos unilaterais de frequência para evitar a interferência com o sinal-imagem. O objetivo deste trabalho é, portanto, projetar um circuito amostrador que atenda aos requisitos funcionais do receptor de radiofrequência baseado em subamostragem com dupla quadratura. Além disso, o circuito amostrador projetado deve mesclar duas grandezas muitas vezes antagônicas: velocidade e exatidão. Para tanto, o trabalho é dividido em introdução, receptor de radiofrequência baseado em subamostragem com dupla quadratura, introdução aos circuitos amostradores, projeto do amostrador para receptor de RF baseado em subamostragem com dupla quadratura e considerações finais. O projeto do amostrador, ainda, é dividido em blocos funcionais, dimensionando e analisando os pares diferenciais, os circuitos amostradores, os contadores e circuitos de sincronismo. Em relação à velocidade e precisão, a estratégia de polarização que permite a saída DC do par diferencial da entrada polarizar o par diferencial da saída leva a remoção do capacitor de retenção. A remoção do capacitor incrementa a velocidade do circuito amostrador, porém degrada a exatidão do circuito. Para compensar a inexatidão, o circuito amostrador é projetado com o mínimo de largura de transistor. Deste modo, é obtido um circuito rápido e, ao mesmo tempo, exato.

Palavras-chave: Amostrador, Receptor de radiofrequência, Subamostragem.

Abstract

Since the beginning of the 80s, people have gone through transformations in the way they communicate. These changes, however, are the result of technological innovations which, in turn, are sustained by large investments of the telecommunication sector in technological research. On that subject, (LOLIS, 2011) proposes a radio frequency subsampling receiver to demodulate signal directly in bandpass and that uses unilateral frequency downconversion to avoid image interferers. The objective of this work is, therefore, to design a sample and hold circuit that meets the functional requirements of radiofrequency subsampling receiver with double-quadrature. In addition, the designed sample and hold circuit must blend two often antagonistic quantities: speed and accuracy. For this, the work is divided into introduction, radiofrequency subsampling receiver with double-quadrature, introduction to sample and hold circuits, sample and hold circuit design for RF subsampling receiver with double-quadrature and final considerations. The design of the sample and hold circuit is, furthermore, divided into functional blocks, scaling and analyzing the differential pairs, core of sample and hold circuits, counters and synchronism circuits. In relation to speed and accuracy, the voltage biasing strategy that allows the DC output of the input differential pair to bias the output differential pair leads to the elimination of the hold capacitor. Elimination of the capacitor increases the speed of the sample and hold circuit, but degrades the accuracy of the circuit. In order to compensate for the inaccuracy, the sample and hold circuit is designed with the minimum transistor width. In this way, a fast and, at the same time, accurate circuit is obtained.

Key-words: Sample and hold circuit; Radiofrequency receiver; Subsampling.

Lista de Figuras

Figura 1.1	Padrões de comunicação das gerações da telefonia móvel ao longo dos anos. Fonte: Elaborada pelo autor.	22
Figura 1.2	Trabalhos submetidos no <i>International Solid-State Circuits Conference</i> - ISSCC. Fonte: (RAZAVI; BEHZAD, 2011).	23
Figura 2.1	Conversão bilateral de frequência em dois estágios sem a presença do sinal-imagem. Fonte: Elaborada pelo autor.	26
Figura 2.2	Conversão bilateral de frequência em dois estágios com a presença do sinal-imagem. Fonte: Elaborada pelo autor.	27
Figura 2.3	Espectro do sinal contínuo, sinal amostrador e sinal amostrado. Fonte: Elaborada pelo autor.	29
Figura 2.4	Espectro do sinal contínuo em banda passante, sinal amostrador e sinal amostrado em regime de subamostragem. Fonte: Elaborada pelo autor.	29
Figura 2.5	Conversão unilateral de frequência em dois estágios com presença do sinal- imagem. Fonte: Elaborada pelo autor.	31
Figura 2.6	Diagrama funcional do receptor destacando os estágios de amostragem, ganho e soma. Fonte: Adaptada de (SIONEK et al., 2017).	32

Figura 3.1	Circuitos didáticos de um amostrador. Fonte: Elaborada pelo autor. . .	35
Figura 3.2	Curva característica $i_D(\text{mA})$ por $v_{DS}(\text{V})$ do transistor MOS. Fonte: Elaborada pelo autor.	35
Figura 3.3	Resposta do circuito amostrador a diferentes entradas e condições iniciais.	36
Figura 3.4	Resistência R_{on} para dispositivos (a) nMOS e (b) pMOS como função da tensão da entrada. Fonte: Elaborada pelo autor.	40
Figura 3.5	Chave complementar, resistência $R_{on,eq}$, resistência $R_{on,n}$ e resistência $R_{on,p}$. Fonte: Elaborada pelo autor.	40
Figura 3.6	Erro gerado pelo não sincronismo da chave CMOS. Fonte: Elaborada pelo autor.	41
Figura 3.7	Definição de velocidade para circuito amostrador.	42
Figura 3.8	Efeito de injeção de carga. Fonte: Elaborada pelo autor.	44
Figura 3.9	Influência de V_{SB} sobre a tensão de limiar V_{th} de um transistor nMOS. Fonte: Elaborada pelo autor.	46
Figura 3.10	Modelo do transistor nMOS para alta frequência aplicado ao circuito amostrador com um único transistor nMOS. Fonte: Elaborada pelo autor. . .	47
Figura 3.11	Adição de um transistor <i>dummy</i> para reduzir a injeção de cargas e evitar o efeito <i>Clock Feedthrough</i> . Fonte: Elaborada pelo autor.	48
Figura 3.12	Uso de chave complementar para reduzir a injeção de carga. Fonte: Elaborada pelo autor.	49

Figura 3.13 Circuito amostrador diferencial. Fonte: Elaborada pelo autor.	50
Figura 3.14 Diagrama de tempo destacando os dois modos de operação e os dois transientes entre os modos. Fonte: Elaborada pelo autor.	52
Figura 3.15 Definições de Tempo de abertura, atraso analógico e digital. Fonte: Elaborada pelo autor.	53
Figura 3.16 Influência da variação de abertura (modelado por uma distribuição gaussiana) no valor amostrado. Fonte: Elaborada pelo autor.	54
Figura 3.17 Relação sinal-ruído em dB produzida pela variação de relógio para uma entrada $A_{sen}(2\pi f)$ com vários desvios padrões. Fonte: Elaborada pelo autor.	55
Figura 3.18 Fontes de erro em modo retenção e durante o transiente amostragem-retenção. Fonte: Elaborada pelo autor.	55
Figura 3.19 Ilustração do tempo de aquisição. Fonte: Elaborada pelo autor.	57
Figura 4.1 Visão geral do circuito projetado destacando blocos funcionais. Fonte: Elaborada pelo autor.	60
Figura 4.2 Par diferencial para proteção com carga resistiva. Fonte: Elaborada pelo autor.	61
Figura 4.3 Par diferencial utilizado na proteção do circuito amostrador empregando pMOS como carga. Fonte: Elaborada pelo autor.	62
Figura 4.4 Circuito de polarização empregado no <i>buffer</i> de entrada. Fonte: Elaborada pelo autor.	63
Figura 4.5 Meio-circuito diferencial da Figura 4.3. Fonte: Elaborada pelo autor. .	63

Figura 4.6	Função de transferência do meio-circuito da Figura 4.5. Fonte: Elaborada pelo autor.	65
Figura 4.7	(a) Modelo equivalente do transistor nMOS para pequenos sinais. (b) Modelo equivalente do transistor pMOS para pequenos sinais. (c) Modelo equivalente do circuito da Figura 4.5 para pequenos sinais. Fonte: Elaborada pelo autor.	67
Figura 4.8	Circuito equivalente do meio-circuito da Figura 4.5 para pequenos sinais. Fonte: Elaborada pelo autor.	68
Figura 4.9	Comparação entre chaves CMOS, <i>Dummy</i> e Simples. Fonte: Elaborada pelo autor.	70
Figura 4.10	Núcleo do amostrador projetado na configuração diferencial com carga falsa. Fonte: Elaborada pelo autor.	70
Figura 4.11	Contadores de um bit formados por flip-flops tipo D. Fonte: Elaborada pelo autor.	72
Figura 4.12	Sinais de relógio gerados pelo circuito da Figura 4.11. Fonte: Elaborada pelo autor.	73
Figura 4.13	Modelo TSPC de Flip-Flop D empregado no projeto. Fonte: (ELGAMEL; DARWISH; BAYOUMI, 2002).	74
Figura 4.14	(a) Esquemático e (b) símbolo do circuito porta de transmissão utilizado para sincronização dos sinais de relógio. Fonte: Elaborada pelo autor. .	75
Figura 4.15	Esquemático completo do projeto referente ao circuito analógico (a) e ao circuito digital (b). Fonte: Elaborada pelo autor.	76
Figura 4.16	Circuito digital ao centro e envolvido pela camada de alta resistividade	

para diminuição de ruído de chaveamento. Fonte: Elaborada pelo autor.	78
Figura 4.17 Detalhe do leiaute referente ao núcleo do circuito amostrador. Fonte: Elaborada pelo autor.	78
Figura 4.18 Detalhe do leiaute referente ao <i>Buffer</i> do circuito amostrador. Fonte: Elaborada pelo autor.	79
Figura 4.19 Função de Transferência do par diferencial destacando a região linear e a excursão do sinal. Fonte: Elaborada pelo autor.	80
Figura 4.20 Esquemático utilizado para obter parâmetros de desempenho pós-leiaute do amostrador. Fonte: Elaborada pelo autor.	82
Figura 4.21 Canais de amostragem. (a)Canais com proteção antirruído. (b)Canal sem proteção antirruído. Fonte: Elaborada pelo autor.	83
Figura 4.22 Esquemático utilizado para estimar os efeitos da variação de relógio no circuito amostrador projetado. Fonte: Elaborada pelo autor.	84
Figura 4.23 Distribuição de probabilidade do erro gerado pela variação de relógio comparado com uma distribuição gaussiana. Fonte: Elaborada pelo autor.	85
Figura 4.24 Espectro do sinal de entrada senoidal com frequência de 400 MHz amostrado à taxa de 130 MHz. Fonte: Elaborada pelo autor.	87
Figura 5.1 Circuito proposto. Fonte: Elaborada pelo autor.	93
Figura B.1 Leiaute completo do projeto.	101
Figura B.2 Detalhe do leiaute referente ao banco capacitivo.	102
Figura B.3 Detalhe do leiaute referente ao PAD com proteção.	102

Figura B.4 Detalhe do leiaute referente ao núcleo do projeto composto pelo circuito de polarização, circuito digital e circuito analógico. 103

Lista de Tabelas

Tabela 3.1	Tabela comparativa com diferentes tipos de chaves MOS	51
Tabela 3.2	Especificações de amostradores comerciais.	58
Tabela 4.1	Dimensionamento do par diferencial e circuito de polarização.	65
Tabela 4.2	Dimensionamento do núcleo do amostrador da Figura 4.10.	71
Tabela 4.3	Comparação entre diferentes implementações de flip-flop D em 130nm.	73
Tabela 4.4	Dimensionamento do flip-flop D da Figura 4.13.	74
Tabela 4.5	Dimensionamento da porta de transmissão.	75
Tabela 4.6	Desempenho do par diferencial	81
Tabela 4.7	Tabela ilustrativa que relaciona frequência, número máximo de bits do conversor AD e ruído de relógio.	86
Tabela 4.8	Comparação entre circuito projetado e trabalhos de (PRAKRUTHI; YEL-LAMPALLI, 2015) e (LOPEZ-MARTIN; UGALDE; RAMIREZ-ANGULO, 2013)	88
Tabela 4.9	Comparação entre circuito projetado e trabalhos de (NATIONAL, 1992)	88

Lista de Siglas

PB	Múltiplo da unidade de informação byte, equivalente a 10^{15} byte
UHF	Acrônimo do termo inglês <i>Ultra High Frequency</i>
NMT	Acrônimo do termo inglês <i>Nordic Mobile Telecommunications</i>
AMPS	Acrônimo do termo inglês <i>Advanced Mobile Phone Service</i>
TACS	Acrônimo do termo inglês <i>Total Access Communications System</i>
ETACS	Acrônimo do termo inglês <i>Extended Total Access Communications System</i>
GSM	Acrônimo do termo inglês <i>Global System for Mobile Communications</i>
DECT	Acrônimo do termo inglês <i>Digital Enhanced Cordless Telecommunications</i>
TDMA	Acrônimo do termo inglês <i>Time Division Multiple Access</i>
CDMA	Acrônimo do termo inglês <i>Code Division Multiple Access</i>
PDC	Acrônimo do termo inglês <i>Personal Digital Cellular</i>
UMTS	Acrônimo do termo inglês <i>Universal Mobile Telecommunications System</i>
Mbps	Unidade de transmissão de dados megabit por segundo.
Gbps	Unidade de transmissão de dados gigabit por segundo.
LTE	Acrônimo do termo inglês <i>Long Term Evolution</i>
ISSCC	<i>International Solid-State Circuits Conference</i>
CMOS	Acrônimo do termo inglês Complementary metal-oxide-semiconductor
LNA	Acrônimo do termo inglês Low-Noise-Amplifier.
PGA	Acrônimo do termo em inglês <i>Programmable Gain Amplifier</i>
MOS	Acrônimo do termo inglês <i>metal oxide semiconductor</i>
nMOS	Acrônimo do termo em inglês <i>Metal Oxide Semiconductor</i> do tipo n.
pMOS	Acrônimo do termo em inglês Metal Oxide Semiconductor do tipo p.
DC	Acrônimo do termo inglês Direct Current.
MOSFET	Acrônimo do termo inglês <i>Metal Oxide Semiconductor Field Effect Transistor</i>

CCMOS	Acrônimo do termo inglês <i>Clocked CMOS</i> .
GDI MUX	Acrônimo do termo inglês <i>Gate Diffusion Input Multiplexer</i> .
TSPC	Acrônimo do termo inglês <i>True single phase clocked</i> .
P1dB	Ponto de compressão do ganho em 1 dB.
IIP3	Ponto de intercepção da resposta da fundamental com a resposta da terceira harmônica.
PSRR	Taxa de rejeição das variações de fonte.
CMRR	Taxa de rejeição das variações de modo comum.
FFT	Acrônimo do termo inglês <i>Fast Fourier Transform</i>
THD	Taxa de distorção harmônica
SFDR	Faixa dinâmica livre de espórios
ESD	Descarga eletrostática

Lista de Símbolos

$\delta(t)$	Função impulso de Dirac
R_{on}	Resistência de ligação em transistores MOS
V_{th}	Tensão de limiar.
μ_n	Mobilidade dos elétrons.
C_{ox}	Capacitância do óxido por μm^2 .
C_H	Capacitor de retenção.
K'_n	Parâmetro de transcondutância do processo.
$R_{on,N}$	Resistência de ligação de um transistor nMOS.
$R_{on,p}$	Resistência de ligação de um transistor pMOS.
V_{thp}	Tensão de limiar de dispositivos pMOS.
μ_p	Mobilidade das lacunas.
V_{thn}	Tensão de limiar de dispositivos nMOS.
τ	Constante de tempo.
Q_{ch}	Carga armazenada no canal de um transistor MOS.
$Q_{ch,c}$	Carga absorvida por C_H pelo efeito da injeção de carga de canal.
V_{to}	Tensão de limiar para $V_{SB} = 0$.
γ	Parâmetro de efeito de corpo.
ϕ_f	Potencial de Fermi.
q	Carga elementar.
ϵ_{si}	Permissividade elétrica do silício.
N_A	Concentração de dopagem do substrato.
ϵ_{ox}	Permissividade elétrica do dióxido de silício.
t_{ox}	Espessura da camada do dióxido de silício.
C_{ov}	Capacitância <i>overlap</i> por unidade de comprimento.

Γ	Tensão <i>Offset</i> .
ψ	Fundo de escala do conversor ADC.
η	Quantidade de bits de um conversor ADC.
δ	Erro de ganho.
β_p	Largura de banda de pequenos sinais.
ϕ_{sr}	Taxa de variação.
τ_{at}	Tempo de abertura.
Δ_j	Varição de abertura.
τ_H	Tempo de estabelecimento de modo Retenção.
ρ	Pedestal.
ι	Corrente de fuga no capacitor de retenção.
ϕ_{dr}	Taxa de caimento.
ϕ_r	Taxa de atenuação de realimentação.
τ_s	Tempo de aquisição.
V_{th}	Tensão de limiar.
μ_n	Mobilidade de elétrons.
μ_p	Mobilidade de lacunas.
C_{ox}	Capacitância do óxido por unidade de área.
V_{thn}	Tensão de limiar para transistores nMOS.
V_{thp}	Tensão de limiar para transistores pMOS.
g_{mn}	Transcondutância de transistores nMOS.
g_{mp}	Transcondutância de transistores pMOS.
a_{vd}	Ganho diferencial de tensão.
C_{gs}	Capacitância porta-fonte.
C_{gd}	Capacitância porta-dreno.
C_{gb}	Capacitância porta-corpo.
r_{on}	Resistência de saída do transistor NMOS.
r_{op}	Resistência de saída do transistor PMOS.
V_A	Equivalente à tensão de Early do transistor bipolar.

Sumário

1	INTRODUÇÃO	21
1.1	OBJETIVOS	24
1.1.1	OBJETIVOS GERAIS	24
1.1.2	OBJETIVOS ESPECÍFICOS	24
2	RECEPTOR BASEADO EM SUBAMOSTRAGEM COM DUPLA QUADRATURA	25
2.1	PROCESSO DE RECEPÇÃO EM RADIOFREQUÊNCIA	25
2.1.1	CONVERSÃO BILATERAL DE FREQUÊNCIA EM DOIS ESTÁGIOS	26
2.1.2	SINAL-IMAGEM	27
2.1.3	AMOSTRAGEM E SUBAMOSTRAGEM	27
2.2	RECEPTOR BASEADO EM SUBAMOSTRAGEM COM DUPLA QUADRATURA	30
2.2.1	CONVERSÃO UNILATERAL DE FREQUÊNCIA EM DOIS ESTÁGIOS	30
2.2.2	AMOSTRADOR COM DUPLO CANAL	33
3	INTRODUÇÃO AOS CIRCUITOS AMOSTRADORES	34
3.1	PRINCÍPIO DE FUNCIONAMENTO	34
3.1.1	Amostradores ideais	34
3.1.2	Amostradores reais	35
3.1.3	Amostradores com R_{on} independente da entrada V_{in}	39
3.1.4	Fenômenos degradadores de exatidão	42
3.2	TIPOS DE CHAVES MOS	48

3.2.1	Chaves com carga falsa	48
3.2.2	Chaves CMOS	49
3.2.3	Chaves diferenciais	50
3.3	INDICADORES DE DESEMPENHO	51
3.3.1	Indicadores de Modo Amostragem	52
3.3.2	Indicadores de Transição Amostragem-Retenção	53
3.3.3	Indicadores de Modo Retenção	56
3.3.4	Indicador de Transição Retenção-Amostragem	56
4	PROJETO DO AMOSTRADOR PARA RECEPTOR DE RF BASE-	
	ADO EM SUBAMOSTRAGEM COM DUPLA QUADRATURA.....	59
4.1	PROCESSO CONSTRUTIVO	60
4.1.1	Par diferencial.....	61
4.1.1.1	Polarização	62
4.1.1.2	Ganho diferencial de tensão	66
4.1.1.3	Resistência diferencial de entrada e saída.	68
4.1.2	Amostrador	69
4.1.3	Circuito Digital.....	72
4.1.4	Leiaute	77
4.2	SIMULAÇÕES PÓS-LEIAUTE	80
4.2.1	Par Diferencial	80
4.2.2	Amostrador: Projeto completo	82
5	CONSIDERAÇÕES FINAIS	91
5.1	VISÃO PROSPECTIVA.....	92
	Referências	94
	Anexo A – Código Verilog e MatLab.....	98
	Anexo B – Leiautes do projeto.....	101

INTRODUÇÃO

Antes do ano de 1995, quando o acesso à internet deixou de ser um privilégio do meio acadêmico e do setor privado para se tornar de acesso público no Brasil, não era possível quantificar a enorme magnitude de dados transmitidos e recebidos através da rede de telefonia móvel que se configura nos dias atuais. Segundo (MEIRELLES, 2017), o Brasil terá 208 milhões de aparelhos celulares tipo *smartphone* em outubro de 2017, o que fornece uma densidade de um aparelho por habitante e uma média superior a 90 PB de dados baixados através desses aparelhos todos os meses.

A rede de telefonia móvel, no entanto, sofreu, desde sua implementação no início da década de 80, diversas modificações e reestruturações para se desenvolver em um sofisticado sistema robusto observado atualmente. O início das operações da telefonia móvel se deu com as vendas do primeiro telefone celular comercial DynaTAC 8000x da empresa Motorola nos Estados Unidos. A primeira geração da rede móvel era analógica e utilizava modulação em frequência com portadora em UHF para transmitir exclusivamente voz. A rede era carente de qualidade e segurança, além de suportar um número limitado de usuários. Segundo (ABDURRHMAN; HAMMOD, 2008), os principais sistemas de primeira geração desenvolvidos foram o *Nordic Mobile Telecommunications* (NMT), *Advanced Mobile Phone Service* (AMPS), *Total Access Communications System* (TACS), *Extended Total Access Communications System* (ETACS), C450 e o Radicom 2000.

No início dos anos 1990, impulsionada pela alta densidade de integração atingida pelos sistemas digitais, a segunda geração da rede móvel chegava para transmitir voz e dados em comunicações digitais. Além disso, a segunda geração atenuava as limitações criadas na geração anterior, fornecendo mais qualidade e segurança aos usuários. Os sistemas desenvolvidos neste período são conhecidos como *Global System for Mobile Communications* (GSM), CT-2, *Digital Enhanced Cordless Telecommunications* (DECT), *Time*

Division Multiple Access (TDMA), *Code Division Multiple Access* (CDMA) e *Personal Digital Cellular* (PDC) conforme (CASTRO, 2009).

Aproximadamente no início dos anos 2000, a terceira geração da rede móvel trazia serviços de transmissão de voz e de dados por pacote com altas taxas e maior imunidade à interferência. *Universal Mobile Telecommunications System* (UMTS) e CDMA2000 são exemplos de sistemas desenvolvidos nessa geração.

A primeira rede de quarta geração teve sua operação iniciada em dezembro de 2009 na Suécia. Diferentemente das passadas, essa geração prioriza a transmissão de dados em vez do tráfego de voz. Além do mais, a quarta geração tem menor latência (30 ms) quando comparada com a terceira geração (50 ms), além de suportar mais usuários simultâneos. Em relação à velocidade, é possível chegar à taxa de 100 Mbps de descarregamento com o usuário em movimento e 1 Gbps com o cliente em posição estática. O *Long Term Evolution* (LTE) e o WiMAX foram as tecnologias aceitas como quarta geração. Por fim, a Figura 1.1 resume os padrões desenvolvidos para as diversas gerações da rede de telefonia móvel.

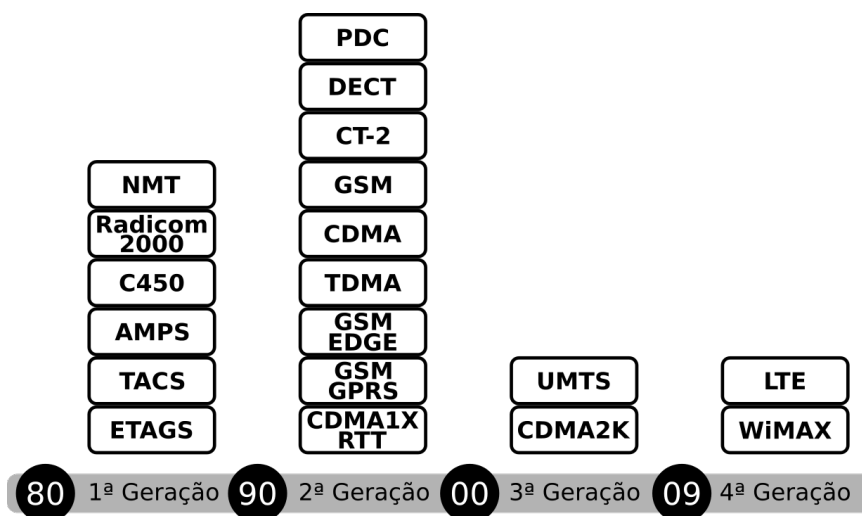


Figura 1.1: Padrões de comunicação das gerações da telefonia móvel ao longo dos anos. Fonte: Elaborada pelo autor.

Conforme pode ser observado na Figura 1.1, surgiram diversos padrões de comunicações ao longo de quase trinta anos. Neste breve período, tecnologias eram desenvolvidas e substituídas por outras em nome da eficiência e mobilidade. Em menos de três décadas, a telefonia móvel deixou de ser analógica com transmissão exclusiva de voz, com baixa qualidade, insegura e com alta limitação de usuários para se tornar um sistema robusto com altas taxas de transmissão e recepção.

O vertiginoso desenvolvimento de padrões de comunicação sem fio, porém, é con-

sequência, essencialmente, da exploração dos serviços de telecomunicações. Como efeito, investimentos em pesquisas e desenvolvimentos são realizados e novas soluções são propostas com o objetivo de obter inovações tecnológicas e maior competitividade no mercado. Segundo (GSMA, 2017), o setor das telecomunicações movimentou US\$ 3,3 trilhões em todo mundo durante o ano de 2016, alcançando uma receita de US\$ 1,05 trilhão. O setor ainda terá US\$ 700 bilhões em investimentos até 2020 que serão distribuídos entre publicidade, infraestrutura, pesquisa e desenvolvimento. A Figura 1.2 exibe a quantidade de trabalhos sobre radiofrequência e comunicação sem fio submetido no *International Solid-State Circuits Conference* (ISSCC) e traduz o crescente investimento no setor.

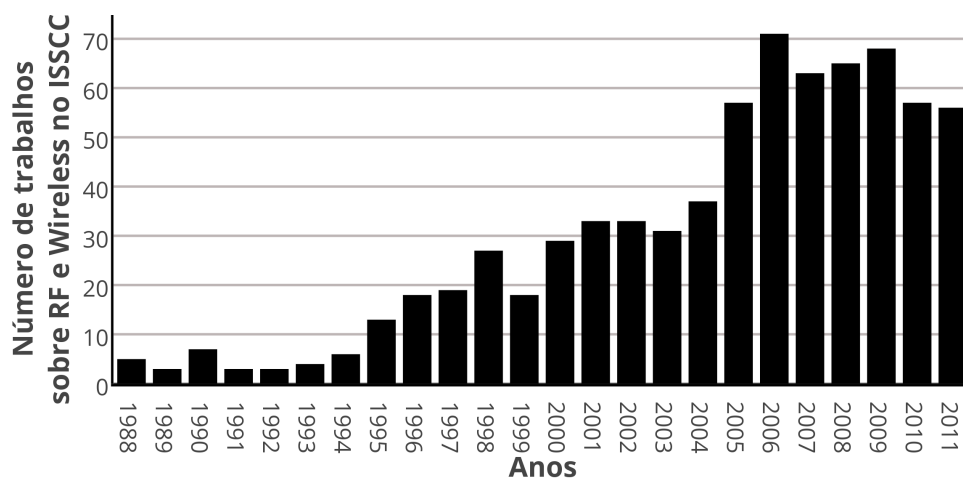


Figura 1.2: Trabalhos submetidos no *International Solid-State Circuits Conference* - ISSCC. Fonte: (RAZAVI; BEHZAD, 2011).

No contexto da inovação tecnológica, (LOLIS, 2011) apresenta e analisa um receptor conceitual não convencional, capaz de demodular diretamente em banda passante que utiliza deslocamento unilateral de frequência para contornar o problema do sinal-imagem. Para tanto, o trabalho propõe utilizar amostradores operando em regime de subamostragem, dispensando todo o processo de síntese de frequência. Além dos amostradores, amplificadores de ganho programável e somadores também são necessários para o funcionamento do receptor. No capítulo 2 é descrito detalhadamente a operação do receptor proposto.

No capítulo 3, é apresentada uma introdução aos circuitos amostradores com descrições dos seus principais parâmetros de desempenho. Em seguida, no capítulo 4, um amostrador com duplo canal e circuitos adjacentes são apresentados, dimensionados e analisados. Além disso, um gerenciador de relógio, utilizado para conduzir o amostrador para um regime de quadratura e subamostragem, também é projetado e discutido. Por fim, gráficos produzidos a partir de simulações pós-*leiaute* são apresentados e analisados.

1.1 OBJETIVOS

1.1.1 OBJETIVOS GERAIS

Conforme já indicado na seção anterior, o objetivo deste trabalho é projetar um circuito amostrador diferencial, baseado em tensão, com duplo canal na tecnologia CMOS 130 nm. Juntamente com o circuito amostrador, são dimensionados dispositivos de proteção que atuam na entrada e saída do amostrador. Para atender requisitos funcionais do receptor baseado em subamostragem com dupla quadratura proposto por (LOLIS, 2011), ainda é projetado um sistema digital capaz de fornecer sinais de sincronismo para os canais de amostragem operarem em quadratura.

Além disso, o circuito amostrador projetado deve ser capaz de mesclar duas importantes características de difícil alcance simultâneo: velocidade e exatidão.

O amostrador em questão ainda, por se tratar de uma prova de conceito, não foi projetado para trabalhar na frequência do LTE, em outras palavras, o circuito foi dimensionado para operar com sinais de entrada de até 400 MHz e frequência de amostragem de 100 MHz.

1.1.2 OBJETIVOS ESPECÍFICOS

Com o intuito de obter um bom planejamento do projeto, os objetivos gerais foram divididos em metas específicas e intermediárias. Assim, o primeiro passo foi estudar o modelo teórico do funcionamento relativo ao receptor de radiofrequência baseado em subamostragem com dupla quadratura. Em seguida, revisões bibliográficas dos circuitos amostradores e contadores digitais foram realizadas. O próximo passo foi implementar e analisar o desempenho de cada elemento funcional do projeto. Finalmente, foi analisado o desempenho conjunto de todos os elementos funcionais do projeto e, caso o desempenho geral não fosse satisfatório, seria necessário retornar à análise e projeto de elementos funcionais.

Capítulo 2

RECEPTOR BASEADO EM SUBAMOSTRAGEM COM DUPLA QUADRATURA

2.1 PROCESSO DE RECEPÇÃO EM RADIOFREQUÊNCIA

De um modo genérico, o processo de recepção de sinais situados na faixa de radiofrequência tem início pela transformação do sinal eletromagnético irradiado em sinal guiado, que é realizada através da antena. O sinal, então, é guiado para o próximo bloco funcional chamado LNA, acrônimo do termo inglês *Low-Noise-Amplifier*, onde é amplificado com o mínimo de ruído. O sinal passa em seguida pelo processo de conversão de frequência, transportado da banda passante para a banda base. O último processo antes do tratamento digital é a conversão do sinal analógico para o digital através do conversor analógico-digital.

Mais precisamente, o processo de conversão de frequência necessita, segundo uma abordagem tradicional, de circuitos de síntese de frequência com objetivo de alimentar o misturador juntamente com o sinal recebido. Em sistemas de telecomunicações modernos, a faixa de frequência utilizada para transmitir dados ou voz é dividida em canais próximos da portadora. Desse modo, ocorrem dois processos de mistura de sinais. A primeira é utilizada para lançar o sinal de interesse, que se encontra em um canal específico, para a frequência da portadora. O segundo processo ocorre com objetivo de novamente deslocar o sinal de interesse, porém agora para a banda base. O processo da conversão de frequência em dois estágios é melhor descrito a seguir.

2.1.1 CONVERSÃO BILATERAL DE FREQUÊNCIA EM DOIS ESTÁGIOS

Como explanado anteriormente, a demodulação ocorre em duas etapas, conforme exemplifica a Figura 2.1, onde a frequência é expressa como $\Omega = 2\pi/T$ e T é o período do sinal. O misturador é responsável por combinar o sinal do oscilador na frequência Ω_1 com o sinal de banda passante centrado na frequência Ω_c e produzir os quatro sinais da Figura 2.1(c). Assim, a frequência Ω_1 deve ser tal que $\Omega_1 = \Omega_c - \Omega_0$, onde Ω_0 é a frequência da primeira translação. É fácil perceber que o primeiro oscilador, juntamente com o misturador, têm a função de produzir sinais na frequência de Ω_0 , que por sua vez irá produzir o sinal de banda base, ou seja, o sinal centrado na origem do eixo das frequências, conforme ilustra a Figura 2.1(e).

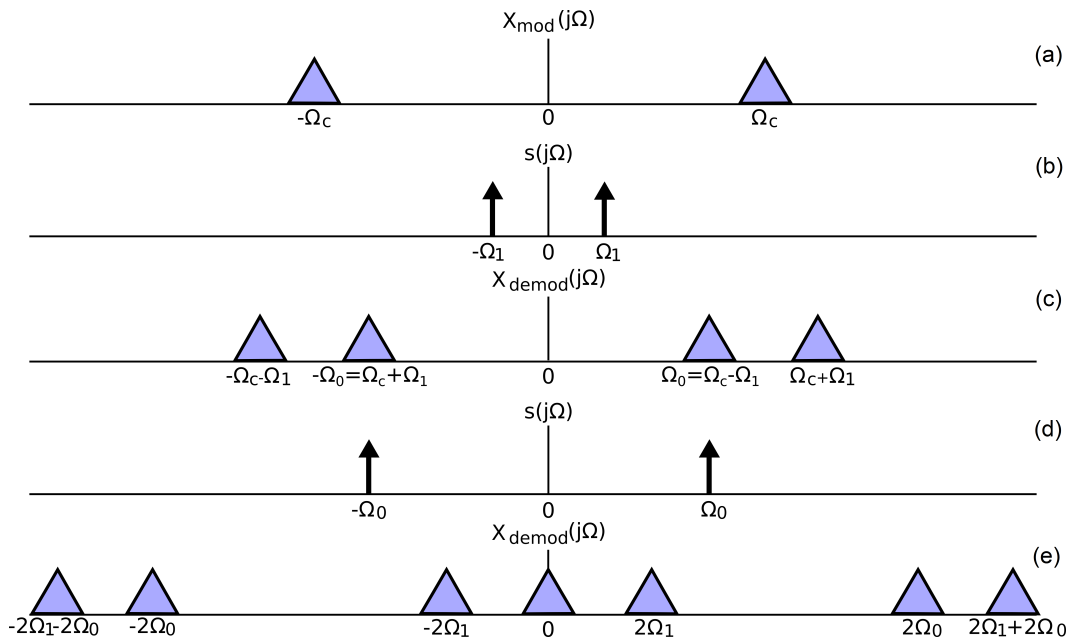


Figura 2.1: Conversão bilateral de frequência em dois estágios sem a presença do sinal-imagem. Fonte: Elaborada pelo autor.

Como se constata por meio da Figura 2.1(a), não existe outro sinal presente no espectro além daquele desejado em banda passante. Na prática, porém, a ausência de sinais não desejados é uma condição improvável de ocorrer, visto que existe um largo espectro de sinais eletromagnéticos. Deste modo, pode ocorrer, durante a mistura de sinais, o aparecimento do sinal-imagem. Esse fenômeno é descrito a seguir.

2.1.2 SINAL-IMAGEM

Considere o surgimento de um sinal não desejável conforme exibe a Figura 2.2 através do bloco em vermelho recortado. Se o sinal indesejável tiver banda centrada em $\Omega_{imagem} = \Omega_c - 2\Omega_1$, então dois produtos da mistura do primeiro oscilador com o sinal indesejado aparecerão sobrepostos com o sinal de interesse na frequência da portadora Ω_0 , conforme ilustra a Figura 2.2(c), “contaminando” o sinal de interesse.

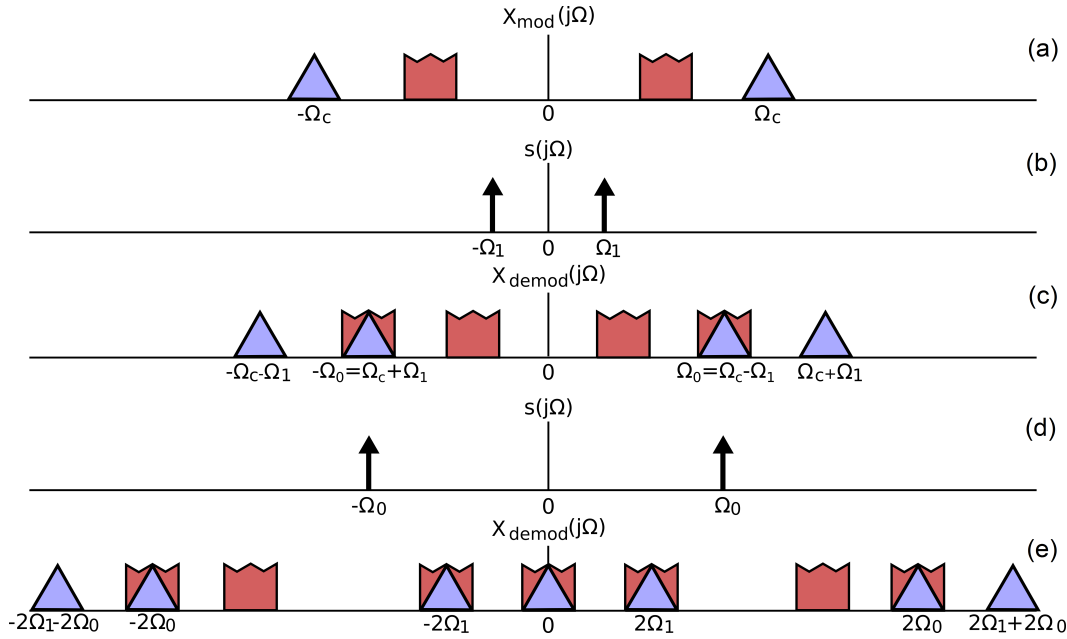


Figura 2.2: Conversão bilateral de frequência em dois estágios com a presença do sinal-imagem. Fonte: Elaborada pelo autor.

Mais adiante, é demonstrada uma técnica que utiliza conversões de frequência para apenas um lado do espectro (conversão unilateral de frequência em dois estágios) com o objetivo de eliminar o problema do sinal imagem.

2.1.3 AMOSTRAGEM E SUBAMOSTRAGEM

Após o processo de demodulação, o sinal de interesse foi deslocado para a banda base e já está pronto para ser convertido em sinal digital. A primeira etapa no processo de conversão digital é a amostragem, seguida da quantização e codificação. As duas últimas etapas não fazem parte do escopo deste trabalho e não serão detalhadas aqui.

A amostragem periódica produz, a uma taxa constante, uma sequência periódica de amostras discretas correspondente a um sinal contínuo ao longo do tempo. Ainda segundo (HAYKIN, 2004), o processo de amostragem passa um sinal do domínio do tempo

contínuo para o domínio do tempo discreto, conforme:

$$x[n] = x_c(nT) \quad -\infty < n < \infty$$

O sinal amostrador pode ser representado no domínio do tempo como uma sequência de impulsos de Dirac $\delta(t)$, como segue:

$$s(t) = \sum_{n=-\infty}^{\infty} \delta(t - nT). \quad (2.1)$$

A transformada de Fourier de (2.1) representa o sinal amostrador no domínio da frequência e é expressa por:

$$S(j\Omega) = \frac{2\pi}{T} \sum_{k=-\infty}^{\infty} \delta(\Omega - k\Omega_s). \quad (2.2)$$

Se x_c representa o sinal contínuo, então o sinal amostrado, x_s , é expresso por:

$$\begin{aligned} x_s(t) &= x_c(t)s(t) \\ x_s(t) &= x_c(t) \sum_{n=-\infty}^{\infty} \delta(t - nT) \\ x_s(t) &= \sum_{n=-\infty}^{\infty} x_c(t)\delta(t - nT) \\ x_s(t) &= \sum_{n=-\infty}^{\infty} x_c(nT)\delta(t - nT) \end{aligned} \quad (2.3)$$

Se for aplicado a transformada de Fourier em (2.3), é obtido:

$$X_s(j\Omega) = \frac{1}{T} \sum_{k=-\infty}^{\infty} X_c(j(\Omega - k\Omega_s)). \quad (2.4)$$

Onde Ω_s é a frequência de amostragem. A operação de amostragem no domínio da frequência, juntamente com as Equações (2.1) e (2.4), podem ser vistas na Figura 2.3.

Percebe-se que a frequência de amostragem deve ser, no mínimo, igual a duas vezes a banda do sinal contínuo. Caso contrário, as bandas dos sinais amostrados serão sobrepostas e haverá perda de informação. Além disso, a frequência de amostragem é superior à maior frequência presente no sinal contínuo. Existe um caso especial de amostragem, porém, onde a frequência de amostragem é inferior a duas vezes à frequência da portadora. Este caso especial é chamado de subamostragem.

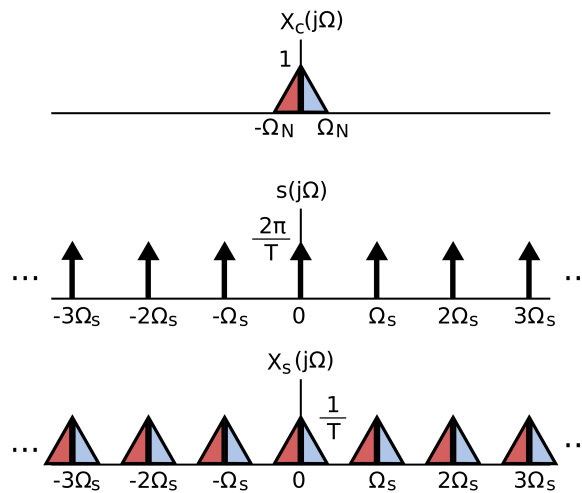


Figura 2.3: Espectro do sinal contínuo, sinal amostrador e sinal amostrado. Fonte: Elaborada pelo autor.

A Figura 2.4 exibe o sinal contínuo cuja frequência da portadora é superior à frequência de amostragem. A subamostragem também é chamada de amostragem em banda passante, pois além de amostrar o sinal contínuo em torno da portadora, o converte em banda base.

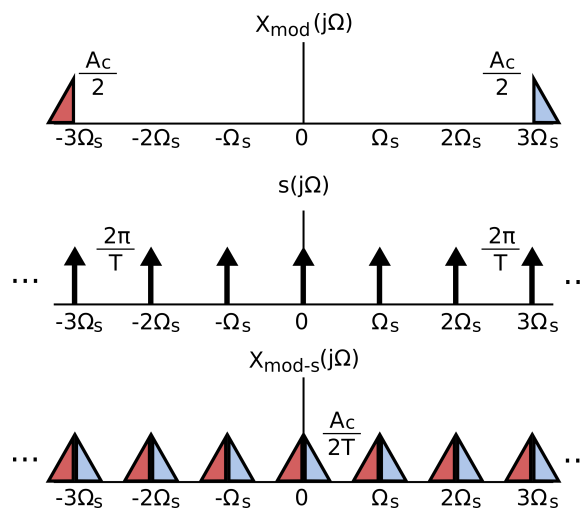


Figura 2.4: Espectro do sinal contínuo em banda passante, sinal amostrador e sinal amostrado em regime de subamostragem. Fonte: Elaborada pelo autor.

Em outras palavras, a operação de subamostragem pode ser utilizada para demodular um sinal contínuo que esteja em torno de uma portadora Ω_0 com frequência múltipla da frequência de amostragem Ω_s .

2.2 RECEPTOR BASEADO EM SUBAMOSTRAGEM COM DUPLA QUADRATURA

Conforme discutido anteriormente, a subamostragem pode ser utilizada para realizar deslocamento em frequência do sinal modulado. O receptor baseado em subamostragem com dupla quadratura apresentado por (LOLIS, 2011) e (SIONEK et al., 2017), além de usar o processo da subamostragem para realizar a demodulação diretamente em banda passante em quadratura, apresenta uma técnica chamada de conversão unilateral de frequência em dois estágios para eliminar o sinal imagem.

A problemática envolvendo o deslocamento de frequência com a sobreposição do sinal imagem e sinal modulado alimenta pesquisas e soluções para a questão. O trabalho de (GU, 2005) realiza um primeiro deslocamento de frequência longo, levando o sinal de interesse a uma baixa frequência intermediária. A pesquisa de (HERAGU; RUFFIEUX; ENZ, 2013) utiliza filtros de RF para eliminar o sinal imagem. A técnica de conversão unilateral de frequência em dois estágios realiza deslocamentos em apenas um sentido do espectro, conforme será detalhado a seguir.

2.2.1 CONVERSÃO UNILATERAL DE FREQUÊNCIA EM DOIS ESTÁGIOS

A técnica de conversão unilateral de frequência em dois estágios é semelhante àquela apresentada através da Figura 2.2. Aqui, porém, são realizados deslocamentos de frequência em apenas um sentido do espectro, somente para esquerda ou somente para a direita. Deste modo, portanto, não haverá sobreposições decorrentes de deslocamentos de mesma magnitude e sentidos contrários. Em outras palavras, a técnica de conversão unilateral de frequência evita a interferência do sinal imagem com o sinal de interesse na frequência intermediária, conforme ilustra a sequência da Figura 2.5.

Na mesma Figura, os impulsos de Dirac presentes em $-\Omega_1$ e $-\Omega_0$, que são representações dos misturadores, estão presentes apenas no lado das frequências negativas. Isso implica, portanto, na geração de sinais complexos, conforme indica a Figura 2.5(e). Com objetivo de obter a simetria no domínio da frequência, é necessário extrair a parte real da demodulação, conforme ilustra a Figura 2.5(f). Assim, para obter o sinal da via em fase (I) é feito:

$$x_{I(demod)} = \mathbb{R}\{x_{(mod)}e^{-j\Omega_1 t}e^{-j\Omega_0 t}\}. \quad (2.5)$$

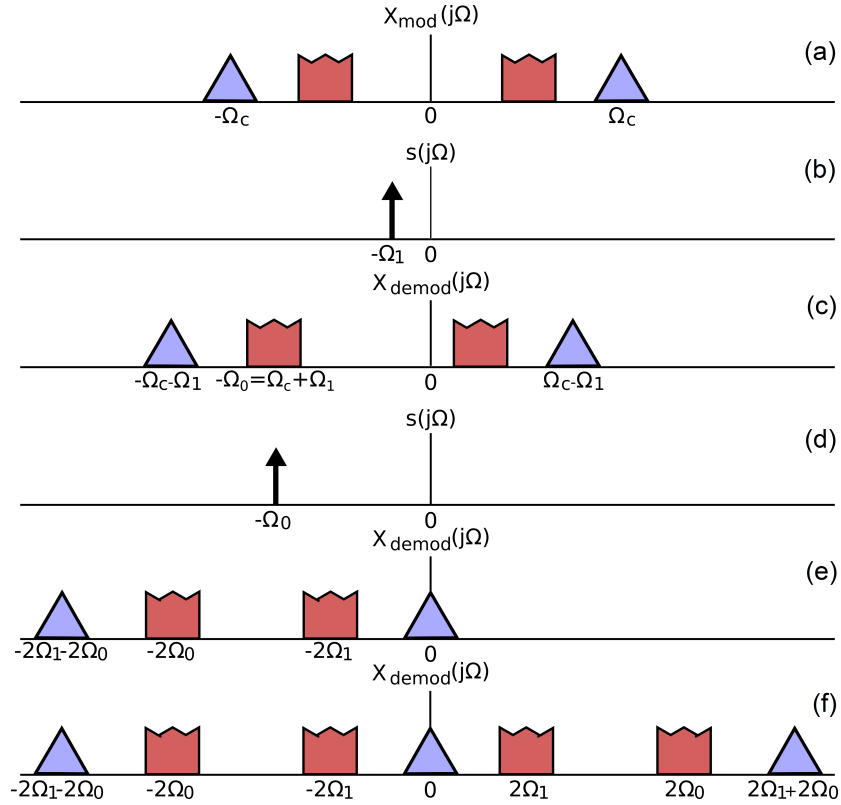


Figura 2.5: Conversão unilateral de frequência em dois estágios com presença do sinal-imagem. Fonte: Elaborada pelo autor.

Para obter o sinal da via defasada (Q) é necessário o mesmo procedimento anterior, porém antes de isolar a parte real é preciso aplicar uma defasagem de -90° , como segue:

$$x_{Q(demod)} = \mathbb{R}\{-j \cdot x_{(mod)} e^{-j\Omega_1 t} e^{-j\Omega_0 t}\}. \quad (2.6)$$

No receptor proposto por (LOLIS, 2011) e (SIONEK et al., 2017), entretanto, o primeiro deslocamento de frequência não é realizado por misturador, e sim por um circuito amostrador trabalhando em regime de subamostragem. Para implementar o deslocamento em quadratura, serão necessários dois sinais amostradores $s(t)$ e $s'(t)$ defasados de 90° . A defasagem é obtida através de um deslocamento temporal de um quarto de período de amostragem entre os amostradores:

$$s(t) = \sum_{n=-\infty}^{+\infty} \delta(t - nT) \quad (2.7)$$

$$s'(t) = \sum_{n=-\infty}^{+\infty} \delta\left(t - nT - \frac{T}{4}\right). \quad (2.8)$$

O segundo deslocamento de frequência também não é realizado por misturador, mas sim por uma modulação ponderada de amplitude dos sinais amostrados por $s(t)$ e $s'(t)$. Utilizando as Equações 2.5 e 2.6, os resultados para as vias “Q” e “I” serão:

$$x_{I(demod)} = x_{(mod)}(t)[s(t)\cos(\Omega_1 t) - s'(t)\sen(\Omega_1 t)] \quad (2.9)$$

$$x_{Q(demod)} = x_{(mod)}(t)[-s'(t)\cos(\Omega_1 t) - s(t)\sen(\Omega_1 t)]. \quad (2.10)$$

Se a diferença de fase entre os múltiplos de $s(t)$ e $s'(t)$ nas equações 2.9 e 2.10 (diferença entre os termos do cosseno e seno) for igual a 270° , então é necessário inverter o sinal do seno, produzindo:

$$x_{I(demod)} = x_{(mod)}(t)[s(t)\cos(\Omega_1 t) + s'(t)\sen(\Omega_1 t)] \quad (2.11)$$

$$x_{Q(demod)} = x_{(mod)}(t)[-s'(t)\cos(\Omega_1 t) + s(t)\sen(\Omega_1 t)]. \quad (2.12)$$

No trabalho de (SIONEK et al., 2017), é realizado um estudo sistêmico da viabilidade do circuito. Para isso, os autores descrevem o receptor, a partir das Equações 2.9, 2.10, 2.11, e 2.12, em um modelo funcional no formato de diagramas em bloco, segundo ilustra a Figura 2.6.

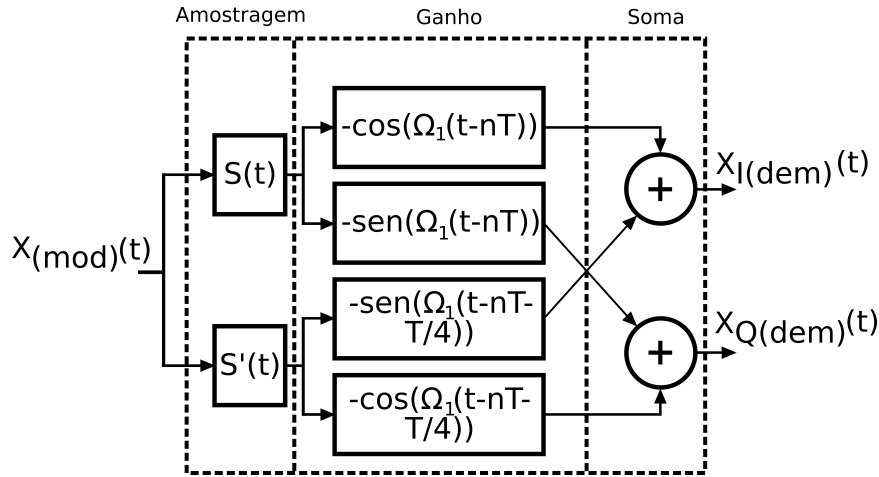


Figura 2.6: Diagrama funcional do receptor destacando os estágios de amostragem, ganho e soma. Fonte: Adaptada de (SIONEK et al., 2017).

Conforme pode ser constatado observando a Figura 2.6, o receptor é dividido em três partes funcionais. O primeiro estágio é representado por dois amostradores trabalhando em regime de subamostragem, seguido pelo estágio de modulação ou ganho do sinal amostrado. A etapa final é encerrada pela soma dos produtos da fase anterior, com o intuito de reconstruir o sinal demodulado.

2.2.2 AMOSTRADOR COM DUPLO CANAL

Conforme foi discutido nas seções anteriores, o estágio amostrador é composto por dois canais que trabalham em quadratura em regime de subamostragem. Para obter a fase necessária para a quadratura, os amostradores funcionam defasados no tempo em um quarto de período de relógio. De acordo com esses requisitos funcionais, neste trabalho é analisado, detalhado e projetado um amostrador de duplo canal.

O amostrador projetado é dividido em duas partes. O segmento analógico é composto por dois amostradores diferenciais operando em modo tensão e trabalhando em regime de subamostragem. Além disso, os amostradores são protegidos por um *buffer* de entrada (um único *buffer* para os dois canais de amostragem) e dois buffers de saída, um para cada canal.

Em relação ao segmento digital, os sinais de relógio defasados em um quarto de período são gerados a partir de circuitos contadores de um bit. Assim, o sinal de relógio de entrada deve ter o dobro da frequência de amostragem. Cada circuito contador é composto por flip-flops do tipo D que são ativos por bordas de descida ou subida, conforme a defasagem necessária.

Sobre o segundo estágio do receptor, é possível implementá-lo através de amplificadores de ganho programável, conhecidos também por PGA (Acrônimo do termo em inglês *Programmable Gain Amplifier*). Existem, basicamente, dois tipos de arquitetura que caracterizam o funcionamento dos amplificadores de ganho programável. Os PGA, que atuam na sua rede de realimentação negativa para alterar o ganho, podem ser projetados através de divisão de corrente (SANZ et al., 2001) (SANZ; CELMA; CALVO, 2006), resistores chaveados (HSU; WU, 2003) (MAK; SENG-PAN; MARTINS, 2008) ou arranjo capacitivo chaveado (GABIAN; LUTENBERG; LIPOVETZKY, 2014).

Alternativamente, outra arquitetura utilizada por circuitos PGA refere-se ao controle do ganho a partir da variação de parâmetros do circuito em malha aberta, seja por modulação da corrente de cauda do par diferencial (DUONG et al., 2006), seja por variação da carga do par diferencial (KIM; KIM, 2006) (LEE; LIN; WANG, 2006). Neste momento é oportuno, no entanto, deixar claro que a análise e projeto de circuito amplificador de ganho programável não faz parte do escopo deste projeto.

Capítulo 3

INTRODUÇÃO AOS CIRCUITOS AMOSTRADORES

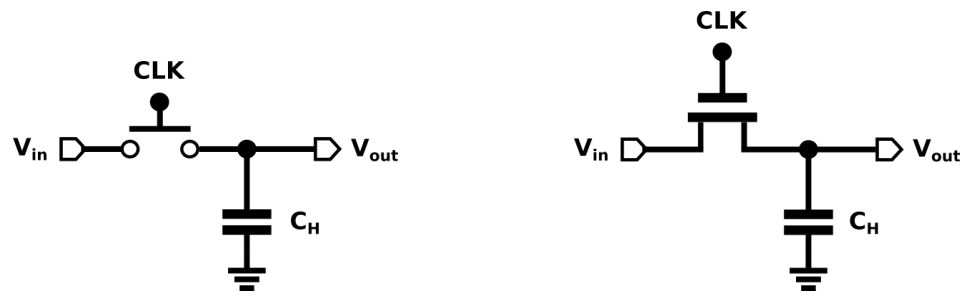
3.1 PRINCÍPIO DE FUNCIONAMENTO

Nesta seção é descrito o funcionamento básico dos circuitos amostradores. Inicialmente são tratados os circuitos ideais, cujo alguns fenômenos são desconsiderados. Em seguida, é exposto e analisado o circuito amostrador real e suas imperfeições. Por fim, são também descritos e analisados os fenômenos degradadores da exatidão dos circuitos amostradores.

3.1.1 Amostradores ideais

A Figura 3.1(a), representa o esquemático do circuito amostrador ideal e ilustra o seu funcionamento básico. É possível perceber que quando a chave fecha, a saída V_{out} segue a entrada V_{in} , ou seja $V_{out} = V_{in}$. É dito, então, que o circuito está no modo amostragem. Quando a chave da Figura 1(a) abre, a saída V_{out} “armazena” o valor da entrada V_{in} imediatamente antes da abertura. É dito, nesta situação, que o circuito está operando no modo retenção, mantendo o valor da tensão de entrada.

Circuitos amostradores, no entanto, são frequentemente implementados usando transistores MOS como chave, conforme exemplifica a Figura 3.1(b). Qualquer chave MOS, porém, acrescenta uma resistência em série com a entrada e injeta cargas através dos terminais de dreno e fonte, ocasionando uma desigualdade entre V_{out} e V_{in} . A injeção de cargas e outros fenômenos são analisados nas próximas seções.



(a) Circuito ideal de um amostrador simples. (b) Implementação da chave por um nMOS.

Figura 3.1: Circuitos didáticos de um amostrador. Fonte: Elaborada pelo autor.

É possível citar também os limites da tensão de entrada que torna a chave MOS saturada e insere uma elevada resistência em série que inviabiliza o circuito amostrador. Além disto, durante o modo retenção o capacitor será descarregado através da corrente de fuga, alterando o valor de V_{in} . Uma análise detalhada considerando as imperfeições dos amostradores é realizada nos tópicos seguintes.

3.1.2 Amostradores reais

Como explanado anteriormente, o circuito da Figura 3.1(a) ilustra idealmente o funcionamento de um amostrador. A chave deste circuito pode ser implementada através de um transistor nMOS como exibe a Figura 1(b). Esse transistor adiciona uma resistência na entrada do circuito quando o dispositivo opera em modo amostragem. Essa resistência é conhecida como resistência de ligação R_{on} e provoca uma queda de tensão na chave do circuito da Figura 1(b).

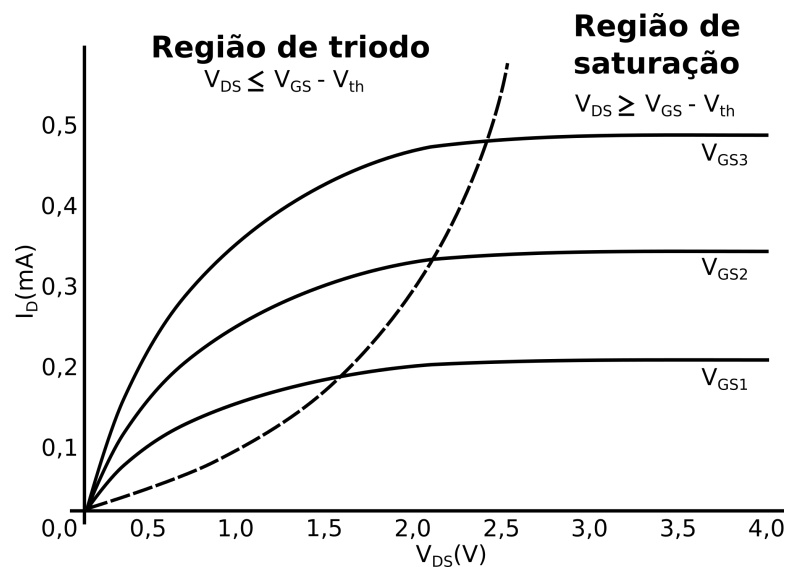


Figura 3.2: Curva característica i_D (mA) por v_{DS} (V) do transistor MOS. Fonte: Elaborada pelo autor.

A Figura 3.2 exibe a curva característica $i_D(\text{mA})$ por $v_{DS}(\text{V})$ que determina a R_{on} para cada ponto de operação. É perceptível que o transistor deva operar na região profunda de triodo, ou seja, operar com pequeno valor de v_{DS} para inserir uma queda de tensão com o menor valor possível, pois essa diferença de tensão pode fazer com que o valor armazenado sobre o capacitor seja significativamente diferente da tensão da entrada. Além disso, na região profundo de triodo são obtidos valores menores de resistência de ligação e, conseqüentemente, o capacitor de retenção é carregado mais rápido durante o modo de amostragem.

Para melhor entender o princípio de funcionamento do circuito, é analisada a Figura 3.3. Seja considerado inicialmente a Figura 3.3(a) onde o valor da tensão de saída V_{out} é maior que a tensão de entrada V_{in} . Nesse caso, é obtido $V_{out} = V_{dd}$ e $V_{in} = 0$ no momento t_0 . Como transistores MOS são dispositivos simétricosⁱ, a tensão aplicada entre os seus terminais determinará o sentido do fluxo de cargas (corrente), ou seja, definirá qual terminal será o dreno ou a fonte.

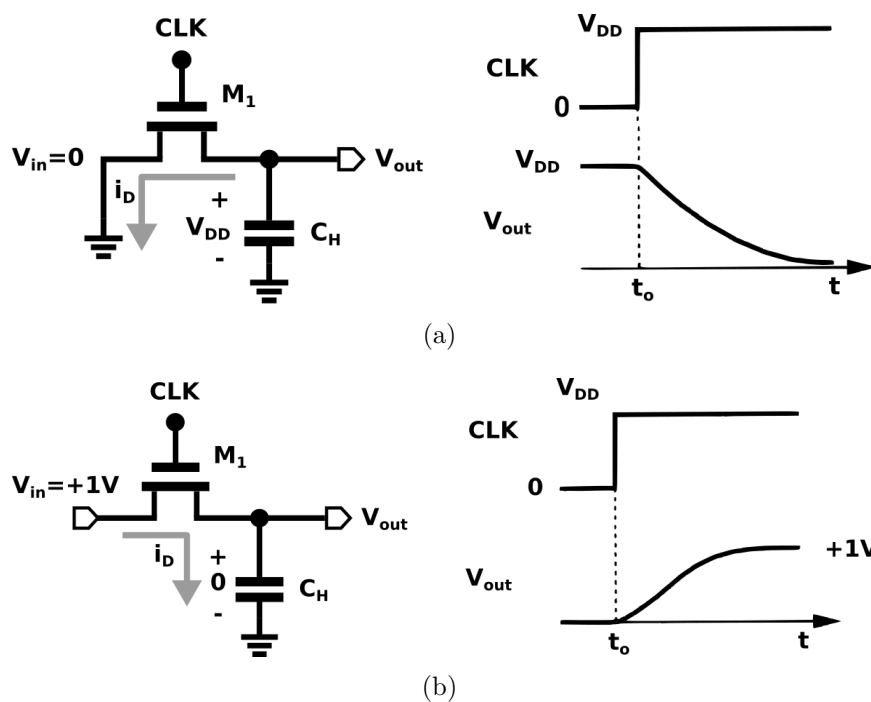


Figura 3.3: Resposta do circuito amostrador a diferentes entradas e condições iniciais.

Fonte: (RAZAVI, 2002). Figura adaptada pelo autor.

ⁱUma chave MOS tem a capacidade de conduzir a corrente em qualquer direção, simplesmente trocando de posição os seus terminais de fonte e dreno.

O transistor da Figura 3(a), portanto, tem o dreno conectado ao V_{out} e a fonte conectada ao V_{in} . A tensão V_{DS} limite para o transistor operar dentro da região de triodo é dado por $V_{DS} \leq V_{GS} - V_{th}$. É possível continuar a desenvolver e chegar em:

$$V_{DS} \leq V_{GS} - V_{th} \quad (3.1)$$

$$V_D - V_S \leq V_G - V_S - V_{th}$$

$$V_D \leq V_G - V_{th}$$

$$V_{out} \leq V_{DD} - V_{th}. \quad (3.2)$$

Onde V_{th} é a tensão de limiar do transistor. Como $V_{out} = V_{DD}$ no instante t_0 , então $V_{out} > V_{DD} - V_{th}$ e a chave MOS trabalha saturada para esse mesmo instante e permanece assim até o V_{out} obedecer a Equação (3.2), quando a chave entra na região de triodo. Nesta região a corrente de dreno I_D pode ser expressa como:

$$I_D = \mu_n C_{ox} \frac{W}{L} [(V_{GS} - V_{th})V_{DS} - \frac{1}{2}V_{DS}^2]. \quad (3.3)$$

Onde μ_n é a mobilidade dos elétrons, C_{ox} é a capacitância do óxido por μm^2 , W é a largura do canal e L é o comprimento do canal. É fácil perceber que não existe uma relação linear entre I_D e V_{DS} . Observando a Equação (3.3) conclui-se que não é possível obter, portanto, um modelo linear para a resistência R_{on} . Se for considerado, no entanto, $V_{DS} \ll 2(V_{GS} - V_{th})$, a Equação (3.3) se torna:

$$I_D \approx \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th})V_{DS}. \quad (3.4)$$

Agora é possível obter uma relação linear entre I_D e V_{DS} , onde V_{GS} foi substituído por $V_{DD} - V_{in}$:

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{DD} - V_{in} - V_{th})}. \quad (3.5)$$

Observando agora a Figura 3(b), onde $V_{in} = 1 \text{ V}$, $V_{out} = 0 \text{ V}$ ⁱⁱ e $V_{DD} = 1.2 \text{ V}$, é perceptível que o terminal de M_1 conectado a C_H é a fonte e o terminal conectado a V_{in}

ⁱⁱValor de V_{out} no tempo t_0 .

é o dreno de M_1 . Desenvolvendo a Equação (3.1), temos:

$$V_{DS} \leq V_{GS} - V_{th} \quad (3.6)$$

$$V_D - V_S \leq V_G - V_S - V_{th}$$

$$V_D \leq V_G - V_{th}$$

$$V_{in} \leq V_{DD} - V_{th}. \quad (3.7)$$

A Equação (3.7) diz que se $V_{in-max} \leq V_{DD} - V_{th}$ então será obtido o transistor operando na região triodo e se for considerado $V_{DS} \ll 2(V_{GS} - V_{th})$, então $I_D \approx \mu_n C_{ox} \frac{W}{L} (V_{GS} - V_{th}) V_{DS}$ e teremos:

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{DD} - V_{out} - V_{th})}. \quad (3.8)$$

Se a chave operar em região profunda de triodo, é possível considerar $V_{in} \approx V_{out}$ e as Equações (3.5) e (3.8) se tornam iguais.

Agora seja considerado mais um cenário, onde $V_{out} = 0$, $V_{in} = V_{DD}$ e $CLK = V_{DD}$. Nesta configuração a chave opera saturada pois $V_{in} > V_{DD} - V_{th}$. Para a análise que se segue, o efeito da modulação do comprimento do canal e o efeito de corpo são desconsiderados. Temos que:

$$C_H \frac{dV_{out}}{dt} = I_{D1} \quad (3.9)$$

$$= \frac{1}{2} \mu_n C_{ox} \frac{W}{L} (V_{DD} - V_{out} - V_{th})^2$$

$$\frac{dV_{out}}{(V_{DD} - V_{out} - V_{th})^2} = \frac{1}{2} \mu_n \frac{C_{ox}}{C_H} \frac{W}{L} dt \quad (3.10)$$

$$\frac{1}{V_{DD} - V_{out} - V_{th}} = \frac{1}{2} \mu_n \frac{C_{ox}}{C_H} \frac{W}{L} t. \quad (3.11)$$

E finalmente é obtido:

$$V_{out} = V_{DD} - V_{th} - \frac{1}{\frac{1}{2} \mu_n \frac{C_{ox}}{C_H} \frac{W}{L} t + \frac{1}{V_{DD} - V_{th}}}. \quad (3.12)$$

A Equação (3.12) mostra que se $t \rightarrow \infty$, então $V_{out} \rightarrow V_{DD} - V_{th}$. Realmente é possível perceber que quando V_{out} se aproxima de $V_{DD} - V_{th}$ a tensão V_{DD} não é mais suficiente para induzir o canal em M_1 e a corrente no transistor praticamente desaparece, mantendo a tensão em V_{out} igual a $V_{DD} - V_{th}$ ⁱⁱⁱ.

De todas as análises feitas anteriormente, é possível perceber uma limitação das

ⁱⁱⁱAqui não é considerado a operação sublimiar de transistores.

chaves nMOS: A entrada de tensão deverá ser consideravelmente inferior à V_{DD} para a chave se manter na região profunda de triodo e, assim, amostrar um valor coerente da entrada. De fato, as Equações (3.5) e (3.8) mostram que a resistência R_{on} é inversamente proporcional à entrada V_{in} , ou seja, quanto menor for a entrada do amostrador, menor a resistência R_{on} e menor a diferença de tensão inserida pela chave e mais V_{out} se aproxima de V_{in} .

Como será discutido e analisado no tópico 3.1.3, é possível lançar mão de uma técnica relativamente simples para tornar a resistência R_{on} pequena e independente da tensão de entrada V_{in} .

3.1.3 Amostradores com R_{on} independente da entrada V_{in}

Como observado no tópico 3.1.2 através da Equação:

$$R_{on} = \frac{1}{\mu_n C_{ox} \frac{W}{L} (V_{DD} - V_{in} - V_{th})},$$

a resistência R_{on} depende da tensão V_{in} aplicada na entrada do circuito amostrador para uma chave MOS operando em região de triodo. Para ilustrar a discussão, foi plotada a função expressa pelas Equações (3.5) e (3.8) e exibida através da Figura 4(a), considerando $K'_n = \mu_n C_{ox} = 200 \mu A/V^2$, $W/L=77$. Onde K'_n é o parâmetro de transcondutância do processo. Percebe-se que para valores baixos de V_{in} é obtido uma medida aceitável de $R_{on,N}$, que é a resistência de ligação de um transistor nMOS. Quando a grandeza V_{in} , porém, se aproxima de seu limite da região de triodo $V_{DD} - V_{th}$ a resistência $R_{on,N}$ cresce vertiginosamente em direção a $R_{on,N} \rightarrow \infty^{iv}$, impedindo o uso do transistor como chave. É dito que no ponto $V_{in} = V_{DD} - V_{th}$ existe uma assíntota vertical.

A mesma conclusão poderá ser feita observando a Figura 4(b). Aqui, porém, a Figura faz referência à resistência de ligação de um transistor pMOS, $R_{on,p}$, operando na região de triodo. É possível perceber que para valores altos de V_{in} são obtidos valores aceitáveis de $R_{on,P}$. Quando a grandeza V_{in} , porém, se aproxima de $|V_{thp}|$ a resistência $R_{on,P}$ cresce vertiginosamente em direção a $R_{on,P} \rightarrow \infty$, impedindo o uso do transistor como chave. Onde V_{thp} é a tensão de limiar de dispositivos pMOS. É dito, também, que no ponto $V_{in} = |V_{thp}|$ existe uma assíntota vertical.

É possível concluir que os comportamentos da resistência de ligação para os casos dos transistores nMOS e pMOS descritos na Figura 3.4 são complementares, em outras palavras, enquanto a resistência R_{on} é crescente com a entrada V_{in} na Figura 4(a), na

^{iv}Desconsiderando o efeito da modulação de comprimento de canal que introduz uma resistência finita da saída no transistor.

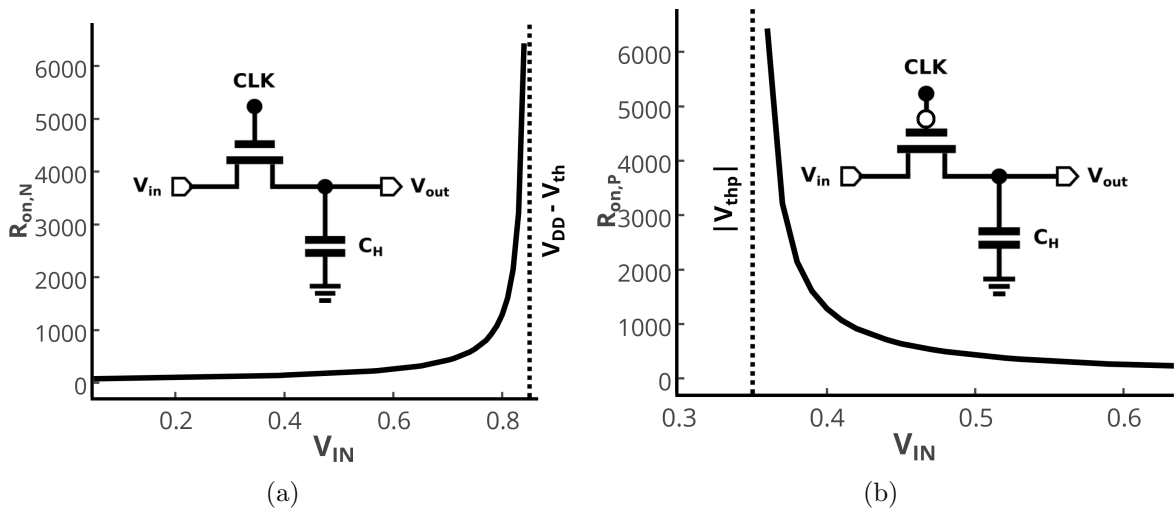


Figura 3.4: Resistência R_{on} para dispositivos (a) nMOS e (b) pMOS como função da tensão da entrada. Fonte: Elaborada pelo autor.

Figura 4(b) o comportamento de R_{on} é decrescente com a entrada V_{in} .

Se for implementada uma configuração paralela de transistores nMOS e pMOS conforme exibe a Figura 3.5, é obtido uma resistência $R_{on,eq}$ que também é exibida na Figura 3.5 e dada por:

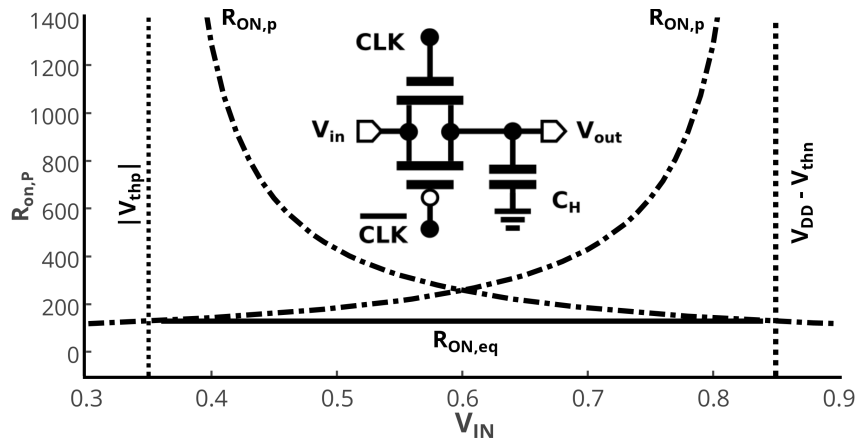


Figura 3.5: Chave complementar, resistência $R_{on,eq}$, resistência $R_{on,n}$ e resistência $R_{on,p}$. Fonte: Elaborada pelo autor.

$$R_{on,eq} = R_{on,n} || R_{on,p}. \tag{3.13}$$

Desenvolvendo a Equação (3.13) e usando as Equações (3.5) e (3.8), é obtido:

$$\begin{aligned}
 R_{on,eq} &= R_{on,n} || R_{on,p} \\
 R_{on,eq} &= \frac{1}{\mu_n C_{ox}(\frac{W}{L})_n (V_{DD} - V_{in} - V_{thn})} || \frac{1}{\mu_p C_{ox}(\frac{W}{L})_p (V_{in} - V_{thp})} \\
 R_{on,eq} &= \frac{1}{\mu_n C_{ox}(\frac{W}{L})_n (V_{DD} - V_{thn}) - [\mu_n C_{ox}(\frac{W}{L})_n - \mu_p C_{ox}(\frac{W}{L})_p] V_{in} - \mu_p C_{ox}(\frac{W}{L})_p |V_{thp}|} \\
 R_{on,eq} &= \frac{1}{\mu_n C_{ox}(\frac{W}{L})_n (V_{DD} - V_{thn}) - \mu_p C_{ox}(\frac{W}{L})_p |V_{thp}|}. \tag{3.14}
 \end{aligned}$$

Onde μ_p é a mobilidade das lacunas e V_{thn} é a tensão de limiar de dispositivos nMOS. É notório que só foi possível chegar na Equação (3.14) se for considerado $\mu_n C_{ox}(\frac{W}{L})_n = \mu_p C_{ox}(\frac{W}{L})_p$, ou seja, os transistores nMOS e pMOS “casados”.

Agora foi obtida uma resistência de condução, R_{on} , que é independente do valor da tensão de entrada V_{in} . Como desvantagem, é preciso ter um sincronismo entre os sinais de relógio que controlam as portas dos dispositivos para que os transistores sejam ligados e desligados ao mesmo tempo e evite distorções do sinal de entrada V_{in} . Esse controle geralmente é feito por circuitos adicionais que inserem o mesmo atraso de propagação para os dois sinais de relógio. Um Δt de deslocamento entre esses sinais poderá acarretar um valor amostrado com considerável erro, conforme ilustra a Figura 3.6.

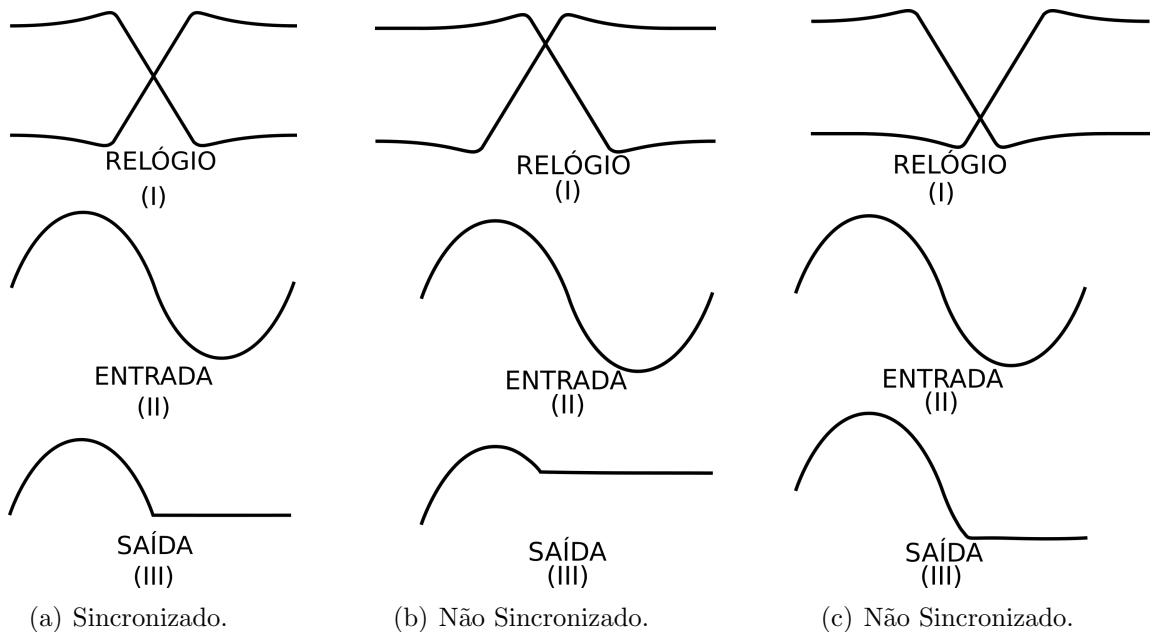


Figura 3.6: Erro gerado pelo não sincronismo da chave CMOS. Fonte: Elaborada pelo autor.

É muito importante fazer algumas observações sobre a velocidade do circuito amostrador. Essa grandeza está relacionada ao tempo necessário para o sinal de saída,

V_{out} , ir de zero até um valor próximo da tensão de entrada V_{in} . Essa proximidade é definida pela exatidão desejada do circuito. Por exemplo, se for desejado uma exatidão de 0,05% e se for obtida uma tensão de entrada $V_{in} = 10V$, então o tempo necessário para a tensão de saída ir de 0V a 9,995V, que é 0,05% de V_{in} , será um bom medidor da velocidade.

A Figura 3.7 ilustra a situação descrita, onde ΔV é a exatidão desejada e t_S é o tempo necessário para a tensão de saída atingir $V_{out} - \Delta V$ após a chave M_1 ser ligada. Depois de t_S , portanto, é possível considerar a tensão de saída igual da entrada.

O tempo t_S é definido pela constante de tempo τ dado por:

$$\tau = R_{on}C_H. \tag{3.15}$$

É possível perceber, portanto, que a velocidade do circuito da Figura 3.7 é inversamente proporcional a R_{on} e C_H e que agora, usando transistores complementares em paralelo, é possível ter uma velocidade independente da entrada e com valor mais elevado quando comparado ao amostrador com um único transistor.

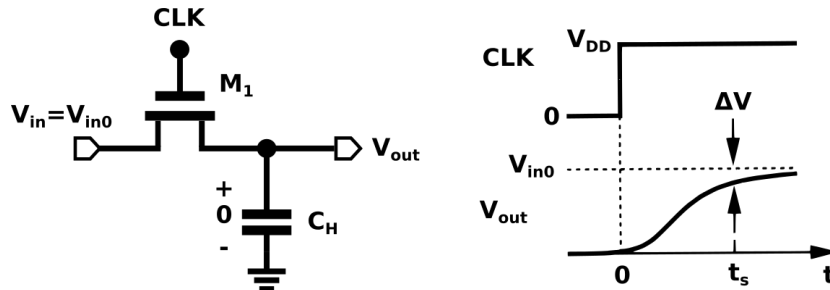


Figura 3.7: Definição de velocidade para circuito amostrador.

Fonte: (RAZAVI, 2002). Figura adaptada pelo autor.

Elementos com baixo valor de capacitância também poderão ser usados, porém existe um compromisso com a exatidão que o projetista deverá levar em consideração. Definição de exatidão e os mecanismos de sua degradação são expostos e analisados no próximo tópico.

3.1.4 Fenômenos degradadores de exatidão

Dando continuidade às imperfeições dos circuitos amostradores, são analisados nesta seção os fenômenos que degradam a sua exatidão. Dos estudos do tópico anterior e através das Equações (3.8) e (3.15), é possível concluir que um aumento do valor de W e uma diminuição do valor de L e C_H a velocidade do circuito é incrementada. Nesta seção, porém, é visto também que uma diminuição do valor de C_H e um aumento do valor de

W degrada a exatidão do circuito amostrador. Antes disto, entretanto, é preciso definir exatidão em amostras.

Amostras exatas têm valores que representam com fidelidade as grandezas que passaram pelo processo de amostragem. Quanto mais exata é uma amostra, menor é a diferença entre a amostra e o valor amostrado. Por mais exata que seja uma amostra, na prática, ela sempre será diferente do valor amostrado, pois as chaves inevitavelmente inserem uma resistência que gera uma queda de tensão entre a entrada e a saída.

Além disto, alguns fenômenos naturais das chaves MOS degradam a exatidão dos circuitos amostradores. Esses efeitos são descritos e analisados nesta seção e é mostrado que quanto mais rápido é um circuito mais esses fenômenos são intensificados, ou seja, quanto mais rápido é um circuito amostrador mais inexato ele é.

O primeiro fenômeno descrito é o efeito da injeção de carga. Quando o canal é induzido nos transistores nMOS através de $V_{GS} \geq V_{th}$, cargas são armazenadas no substrato, na interface inferior do dióxido de silício. Assumindo que $V_{in} \approx V_{out}$, a carga total armazenada no canal é dada por:

$$Q_{ch} = WLC_{ox}(V_{DD} - V_{in} - V_{th}), \quad (3.16)$$

onde Q_{ch} é a carga armazenada no canal de um transistor pMOS. Em caso de transistores nMOS a carga armazenada é negativa e dada por: $Q_{ch} = -WLC_{ox}(V_{DD} - V_{in} - V_{th})$. Quando a tensão V_{GS} cessa e não é mais suficiente para induzir o canal, a carga concentrada anteriormente Q_{ch} se distribui entre dreno e fonte do transistor MOS. Percebe-se, ao analisar a Equação (3.16), que a carga despejada entre dreno e fonte Q_{ch} é dependente linearmente da tensão de entrada V_{in} (WILSON et al., 1985). Esse fenômeno é chamado de injeção de carga de canal e é evidenciada na Figura 3.8. Se a chave for implementada através de um transistor pMOS, existirá um acréscimo de tensão quando a chave abrir em t_1 (curva em vermelho) e se for implementada utilizando um transistor nMOS, existirá um decréscimo de tensão quando a chave abrir em t_1 (curva em azul). É possível constatar que parte dessa carga injetada pelo canal do transistor irá ser armazenada no capacitor C_H e degradar a exatidão do circuito amostrador.

É comum supor que a carga liberada pelo canal do transistor se distribua igualmente entre dreno e fonte, ou seja, a carga injetada absorvida pelo capacitor C_H é dada por:

$$Q_{ch,c} = \frac{WLC_{ox}(V_{DD} - V_{in} - V_{th})}{2}, \quad (3.17)$$

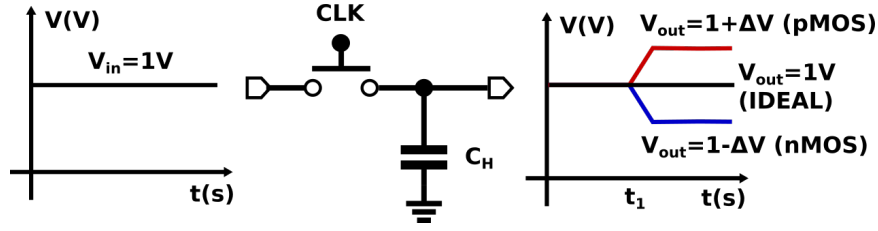


Figura 3.8: Efeito de injeção de carga. Fonte: Elaborada pelo autor.

onde $Q_{ch,c}$ é a carga absorvida por C_H pelo efeito da injeção de carga de canal. É possível definir, portanto, a tensão gerada pela carga $Q_{ch,c}$ injetada pelo canal:

$$\Delta V = \frac{WLC_{ox}(V_{DD} - V_{in} - V_{th})}{2C_H}. \quad (3.18)$$

Especificamente, a distribuição de cargas entre dreno e fonte nem sempre é igualitária ou equilibrada. Vários trabalhos propondo modelos para o efeito da injeção de cargas foram publicados (MACQUIGG, 1983), (SHEU; SHIEH; PATIL, 1987), (SHIEH; PATIL; SHEU, 1987) e (WEGMANN; VITTOZ; RAHALI, 1987). Vários parâmetros complexos ditam a proporção de distribuição de cargas injetadas entre dreno e fonte. Neste trabalho, porém, é suposto o pior caso, ou seja, toda a carga liberada será absorvida pelo capacitor C_H . Neste caso a Equação (3.18) se torna:

$$\Delta V = \frac{WLC_{ox}(V_{DD} - V_{in} - V_{th})}{C_H}. \quad (3.19)$$

Assim, a tensão de saída V_{out} é dada por:

$$V_{out} = V_{in} - \frac{WLC_{ox}(V_{DD} - V_{in} - V_{th})}{C_H}, \quad (3.20)$$

$$V_{out} = V_{in} \left(1 + \frac{WLC_{ox}}{C_H}\right) - \frac{WLC_{ox}}{C_H}(V_{DD} - V_{th}). \quad (3.21)$$

Para continuar a desenvolver a Equação (3.21), será necessário definir um efeito de segunda ordem dos transistores MOS chamado de efeito de corpo. Em muitas aplicações, principalmente em eletrônica discreta, o terminal de corpo é conectado ao terminal de fonte quando se emprega transistores MOS. Nestes casos o efeito de corpo pode ser totalmente ignorado e ele não terá influência alguma no transistor MOS.

Em microeletrônica, entretanto, o terminal de corpo de vários transistores são interconectados através do substrato e, para evitar corrente de fuga pelo terminal de corpo^v,

^vSe o terminal de corpo de um nMOS tiver um potencial mais alto ou se o terminal de corpo de um dispositivo pMOS estiver em um potencial mais baixo que o potencial da fonte, a junção pn entre fonte/dreno e corpo estará diretamente polarizado e haverá fuga de corrente entre fonte/dreno e corpo.

são ligados ao menor potencial do circuito quando transistores nMOS são empregados. No caso dos transistores pMOS, os terminais de corpo são ligados ao maior potencial do circuito.

Essas ligações dos terminais de corpo possibilitam o surgimento de uma tensão V_{SB} diferente de zero em muitos casos. Em circuitos amostradores, portanto, o efeito de corpo é inevitável, pois os terminais de dreno e fonte se alternam de acordo com o sinal de entrada e o estado do capacitor de retenção.

A tensão $V_{SB} > 0$ faz aumentar a região de depleção do canal, forçando um aumento na tensão V_{th} necessária para formar o canal. O efeito de V_{SB} sobre o canal de um transistor NMOS é dado por:

$$V_{th} = V_{to} + \gamma(\sqrt{-2\phi_f + V_{SB}} - \sqrt{2\phi_f}), \text{ com} \quad (3.22)$$

$$\gamma = \frac{\sqrt{2q\epsilon_{si}N_A}}{C_{ox}} \quad (3.23)$$

$$C_{ox} = \frac{\epsilon_{ox}}{t_{ox}}, \quad (3.24)$$

Onde:

V_{to} é tensão de limiar para $V_{SB} = 0$;

γ é o parâmetro de efeito de corpo tipicamente $0,5 \sqrt{V}$;

ϕ_f é o potencial de Fermi;

q é a carga elementar;

ϵ_{si} é a permissividade elétrica do silício;

N_A é a concentração de dopagem do substrato;

ϵ_{ox} é a permissividade elétrica do dióxido de silício; e

t_{ox} é a espessura da camada do dióxido de silício.

A Figura 3.9 exemplifica, utilizando valores típicos dos parâmetros da Equação (3.22), a dependência de V_{th} por V_{SB} . É possível constatar que a tensão de limiar V_{th} pode quase dobrar com o aumento de V_{SB} . É possível agora dar continuidade no desenvolvimento da Equação (3.21) levando em consideração o efeito de corpo do transistor. Então V_{out} se torna:

$$V_{out} = V_{in} \left(1 + \frac{WLC_{ox}}{C_H} \right) + \gamma \frac{WLC_{ox}}{C_H} \sqrt{2\phi_f + V_{in}} - \frac{WLC_{ox}}{C_H} (V_{DD} - V_{to} + \gamma \sqrt{2\phi_f}). \quad (3.25)$$

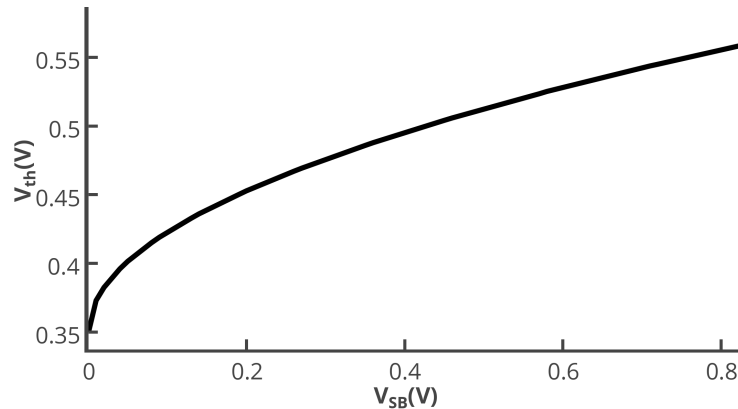


Figura 3.9: Influência de V_{SB} sobre a tensão de limiar V_{th} de um transistor nMOS. Fonte: Elaborada pelo autor.

Analisando a Equação (3.25), é possível constatar três tipos diferentes de erros introduzidos pelo efeito de injeção de cargas. O primeiro tipo de erro é conhecido como erro de ganho e é traduzida através do primeiro termo da Equação (3.25). O erro de ganho recebe esse nome por estar relacionada linearmente com a entrada V_{in} . O segundo tipo de erro é conhecido como erro DC^{vi}*offset* que é introduzida através do terceiro termo da Equação (3.25). O terceiro tipo de erro é chamado de erro não-linear e é dado pelo segundo termo da Equação (3.25). O primeiro e o segundo tipo de erro podem ser corrigidos alterando o tipo de chave MOS, como será visto mais à frente. O terceiro tipo de erro, no entanto, não pode ser corrigido.

Outro efeito presente em transistores MOS que também degrada a exatidão em circuitos amostradores é a alimentação através de *clock*, conhecida também como *Clock Feedthrough* (SHEU; HU, 1984). Este efeito ocorre em frequências mais elevadas quando o transistor acopla o sinal de relógio presente na porta ao capacitor de retenção através das capacitâncias de *overlap* C_{gs} e C_{gd} presentes entre a porta-fonte e porta-dreno respectivamente. A Figura 3.10 exhibe o modelo do transistor nMOS de alta frequência aplicado ao circuito amostrador da Figura 1(b).

Se for assumido que os capacitores de *overlap* são constantes, é possível calcular o erro devido ao efeito como:

$$\Delta V = V_{DD} \frac{WC_{ov}}{WC_{ov} + C_H}, \quad (3.26)$$

Onde C_{ov} é a capacitância *overlap* por unidade de comprimento. Como é possível perceber, o erro devido ao efeito alimentação através de *clock* é independente da entrada

^{vi} Acrônimo do termo inglês Direct Current.

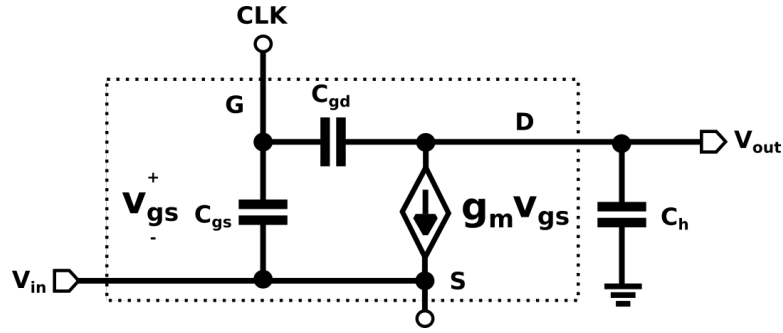


Figura 3.10: Modelo do transistor nMOS para alta frequência aplicado ao circuito amostrador com um único transistor nMOS. Fonte: Elaborada pelo autor.

V_{in} , manifestando-se como um erro de *offset*.

Além da injeção de carga e alimentação através de *clock*, ainda existe outro fenômeno de menor impacto chamado de bombeamento de carga, onde parte da carga acumulada no canal do transistor desaparece através do substrato. O bombeamento de carga é descrito em (DEI; VALLE, 2001) e (BRUGLER; JESPERS, 1969). (WEGMANN; VITTOZ; RAHALI, 1987) faz uma análise do efeito e pontua que chaves de canal curto com pequeno tempo de transição têm o efeito minimizado ao ponto de poder ser desconsiderado.

Por fim, será feito agora uma pequena análise considerando o compromisso entre velocidade e exatidão. É possível calcular τ , a partir das Equações (3.8) e (3.15) e considerando a Equação (3.19), temos:

$$\tau = \frac{1}{\mu_n C_{ox} \left(\frac{w}{L}\right) (V_{DD} - V_{in} - V_{th})} C_H \quad (3.27)$$

$$\Delta V = \frac{W L C_{ox}}{C_H} (V_{DD} - V_{in} - V_{th}).$$

Se for alterado o C_H , aumentando o seu valor, será diminuída a velocidade do circuito e aumentada a exatidão através da diminuição de ΔV . Se for alterado W , diminuindo o seu valor, será diminuído também ΔV e consequentemente será aumentada a exatidão e a velocidade, porém, será comprometida. A mesma análise pode ser feita para o conjunto de variáveis $(V_{DD} - V_{in} - V_{th})$. É possível perceber, porém, que se for alterado L , diminuindo seu valor, será aumentada sua velocidade e a exatidão através da diminuição de ΔV . É possível concluir, portanto, que circuitos amostradores devem ter um comprimento de canal L o mais curto possível, assim é obtido ganho em velocidade e em exatidão.

3.2 TIPOS DE CHAVES MOS

Nesta seção são apresentadas e analisadas três arquiteturas de chaves MOS. Com efeito, os diferentes tipos de chaves MOS são técnicas que visam minimizar o erro decorrente da injeção de cargas no capacitor C_H pelo canal do transistor MOS e pelo acoplamento das capacitância *overlap*, ou seja, as técnicas visam melhorar a exatidão dos circuitos amostradores. Como será visto a seguir, cada técnica tem suas vantagens e desvantagens, cabendo ao projetista a análise de qual técnica será a que melhor o atende. Amostradores que utilizam somente um transistor MOS como chave foram discutidos e analisados anteriormente.

3.2.1 Chaves com carga falsa

Esta técnica também é conhecida pelo termo inglês *dummy switch* e consiste em colocar um transistor MOS de mesmo canal em série com o transistor chave. O dispositivo adicionado deverá ter ainda os terminais de dreno e fonte ligados entre si. Além disso, o terminal de porta do transistor adicional deve ser controlado por um sinal de relógio complementar ao sinal que controla a porta do transistor chave. Esta configuração pode ser bem ilustrada pela Figura 3.11.

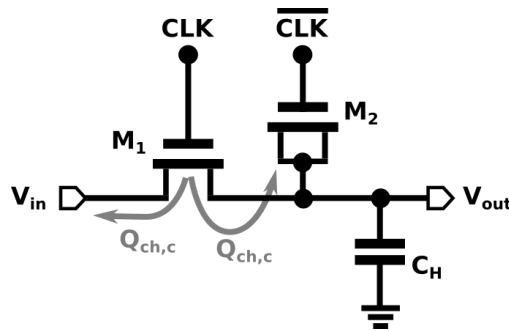


Figura 3.11: Adição de um transistor *dummy* para reduzir a injeção de cargas e evitar o efeito *Clock Feedthrough*. Fonte: Elaborada pelo autor.

O princípio de funcionamento é baseado em captura de cargas. Quando o transistor M_1 abre, injetando carga no capacitor C_H , o transistor M_2 fecha absorvendo essa carga injetada por M_1 para formar o seu canal. É possível supor que metade da carga injetada por M_1 seguirá pela fonte e será absorvida por M_2 . Neste caso, utilizando a Equação (3.17), é obtido:

$$\Delta Q_{ch,c} = \frac{1}{2} W_1 L_1 C_{ox} (V_{clk} - V_{in} - V_{th1}).$$

Para que a carga $Q_{ch,c}$ seja absorvida por M_2 é feito $Q_{ch,c1} = Q_{ch,c2}$, ou seja, $W_2 =$

$0,5W_1$ e $L_2 = L_1$ satisfaria essa condição. Logo, o transistor *dummy* deverá ter metade da largura do transistor chave com o mesmo comprimento de canal. O grande problema dessa técnica consiste em supor que sempre metade da carga injetada será transferida para o capacitor *hold*. Como já foi visto, existem diversos fatores que determinam a distribuição de carga, injetada pelo canal, entre dreno e fonte. Portanto, nem sempre é obtida uma distribuição igualitária de carga entre dreno e fonte.

O erro gerado pelo efeito alimentação através de *clock*, entretanto, pode ser completamente eliminado quando é feito $W_2 = 0,5W_1$ e $L_2 = L_1$. Considerando a Equação (3.26), com a carga falsa adicionada, é obtido:

$$\Delta V = -V_{ck} \frac{W_1 C_{ov}}{W_1 C_{ov} + C_H + 2W_2 C_{oc}} + V_{ck} \frac{2W_2 C_{ov}}{W_1 C_{ov} + C_H + 2W_2 C_{oc}}.$$

Como mencionado anteriormente, se for considerada a largura do canal do transistor M_2 metade de M_1 com o mesmo comprimento, ou seja, se $W_2 = 0,5W_1$ e $L_2 = L_1$ então é obtido $\Delta V = 0$. A chave com carga falsa, portanto, é livre do efeito alimentação através de *clock*.

3.2.2 Chaves CMOS

Esta técnica visa capturar a carga injetada pelo canal utilizando um transistor complementar. De fato, se for empregado um dispositivo pMOS como chave, será necessário utilizar o seu complemento, ou seja, um transistor nMOS. O princípio de operação dessa chave consiste, para ser mais preciso, no cancelamento da carga injetada por um transistor utilizando a carga complementar do outro transistor. A Figura 3.12 demonstra o esquemático da chave CMOS.

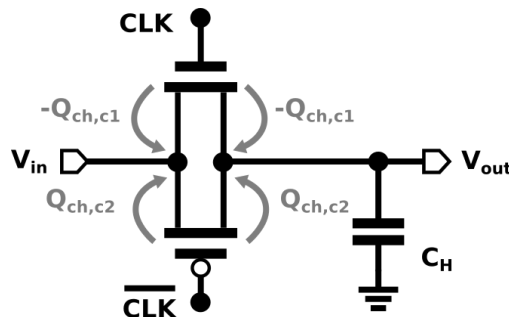


Figura 3.12: Uso de chave complementar para reduzir a injeção de carga. Fonte: Elaborada pelo autor.

Para que $Q_{ch,c1}$ cancele $Q_{ch,c2}$ é necessário fazer $Q_{ch,c1} = Q_{ch,c2}$, ou seja, utilizando a fórmula (3.17):

$$W_1 L_1 C_{ov}(V_{ck} - V_{in} - V_{thn}) = W_2 L_2 C_{ov}(V_{in} - |V_{thp}|). \quad (3.28)$$

Conforme (3.28), a chave CMOS tem o completo cancelamento da injeção de carga em apenas um ponto. Como demonstrado e analisado nos tópicos 3.1.3, essa chave provê um amostrador com R_{on} independente da entrada V_{in} . Em relação ao efeito alimentação através de *clock*, como os valores dos capacitores *overlap* de porta-dreno dos transistores nMOS são diferentes dos capacitores *overlap* de porta-dreno dos transistores pMOS, essa chave não provê cancelamento do efeito *Clock Feedthrough*.

3.2.3 Chaves diferenciais

Em uma primeira análise, é possível concluir que a chave diferencial seria imune ao fenômeno da injeção de carga, visto que, conforme ilustra a Figura 3.13, a injeção de carga pode ser vista como uma perturbação em modo comum. Analisando, porém, a Equação (3.17) $Q_{ch} = WLC_{ox}(V_{ck} - V_{in} - V_{th})$ é possível perceber que a carga injetada depende de V_{in} e será obtido $Q_{ch1} = Q_{ch2}$ somente se $V_{in1} = V_{in2}$. Em outras palavras, a totalidade do efeito de injeção de carga não é eliminada pela chave diferencial.

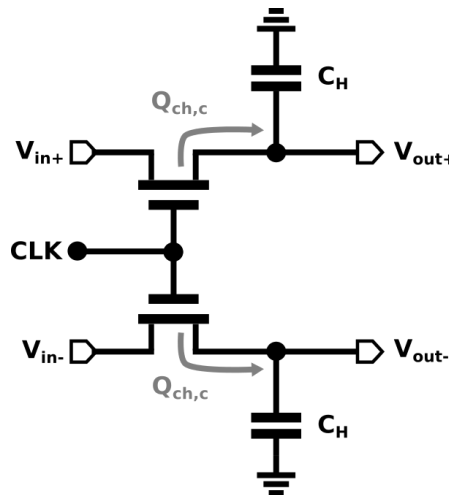


Figura 3.13: Circuito amostrador diferencial. Fonte: Elaborada pelo autor.

Embora essa chave não elimine por total o efeito da injeção de carga, ela remove por completo a componente dc *offset* do erro gerado pela injeção de carga, além de minimizar a componente não linear. É possível chegar a essa conclusão fazendo a seguinte

observação:

$$\begin{aligned} Q_{ch1} - Q_{ch2} &= WLC_{ov}[(V_{in2} - V_{in1}) + (V_{th2} - V_{th1})] \\ Q_{ch1} - Q_{ch2} &= WLC_{ov}[V_{in2} - V_{in1} + \gamma(\sqrt{2\phi_f + V_{in2}} - \sqrt{2\phi_f + V_{in1}})]. \end{aligned} \quad (3.29)$$

Como observado e comparando com a Equação (3.25), nesse tipo de chave o erro de *offset* foi eliminado e a componente não linear foi reduzida. É possível perceber que o termo não linear do efeito de corpo aparece agora em ambos os termos quadrados em (3.29), levando a distorção de ordem ímpar. Além disso, o efeito *Clock Feedthrough* não depende da entrada, conforme pode ser constatado observando (3.26), sendo eliminado pela rejeição em modo comum da chave.

Combinações de diferentes tipos de chaves são ainda possíveis. Neste trabalho, como será discutido mais a frente, são implementados chaves do tipo diferencial utilizando transistor *dummy* em ambos os ramos de entrada. A Tabela 3.1 resume os três tipos de chaves apresentados e suas principais vantagens e desvantagens.

Tabela 3.1: Tabela comparativa com diferentes tipos de chaves MOS

Chaves MOS	Vantagem	Desvantagem
Carga Falsa	Elimina o acoplamento de relógio. Elimina a injeção de carga.	R_{on} dependente da entrada.
Chave CMOS	R_{on} independente da entrada.	Não elimina o acoplamento de relógio. Elimina a injeção de carga em apenas um ponto de V_{in} .
Diferencial	Elimina parte da injeção de cargas. Elimina o acoplamento de relógio.	Permanece parte da injeção de carga.

3.3 INDICADORES DE DESEMPENHO

Nesta seção são apresentados e discutidos os principais indicadores de desempenho dos circuitos amostradores, didaticamente divididos conforme os modos de operação que são: amostragem, transição amostragem-retenção, retenção e transição retenção-amostragem. Esses quatro modos podem ser observados na Figura 3.14, onde é possível perceber o sinal de relógio, entrada e saída ao longo do tempo. Ao final desta seção é apresentada, ainda, uma Tabela com diferentes arquiteturas de circuitos amostradores comerciais e os seus principais indicadores de desempenho.

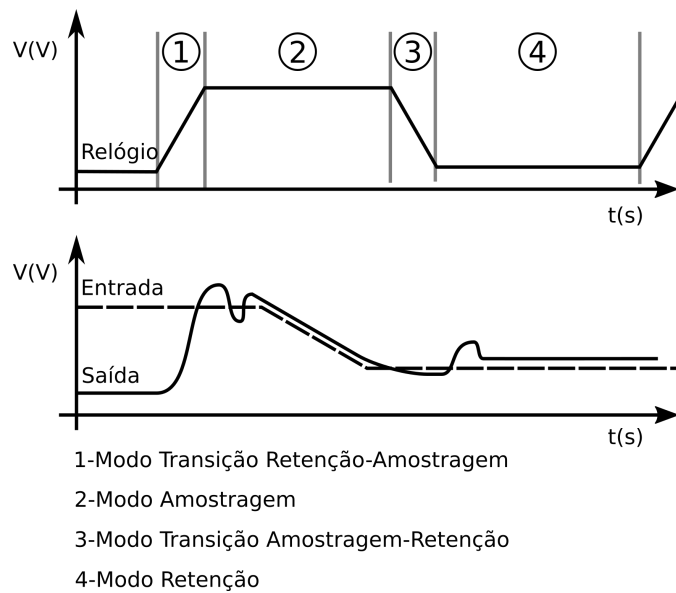


Figura 3.14: Diagrama de tempo destacando os dois modos de operação e os dois transientes entre os modos. Fonte: Elaborada pelo autor.

3.3.1 Indicadores de Modo Amostragem

Tensão *Offset* (Γ): É a tensão na saída do circuito amostrador em modo amostragem quando a entrada é zero. Com o intuito de manter a exatidão máxima em conversores ADC, a tensão de *offset* tem que ser menor que a resolução do conversor. Nesse caso o ADC não irá perceber a tensão de *offset*. Se ψ for o fundo de escala do conversor ADC e η a quantidade de bits deste conversor e para não inserir erro no ADC, a tensão *offset* deverá ser:

$$\Gamma < \frac{\psi}{2^{n+1}}. \quad (3.30)$$

Muitas vezes a tensão *offset* Γ é especificada como um valor de entrada que provocará a tensão nula na saída.

Erro de ganho (δ): É o desvio da saída linearmente dependente do valor da tensão de entrada. Muitas vezes o erro de ganho δ é definido por:

$$\delta = \frac{V_{out} - V_{in}}{V_{in}}, \quad (3.31)$$

Onde a tensão de *offset* deve ser excluída.

Largura de banda de pequenos sinais (β_p): É definida como sendo a frequência em que o ganho do circuito amostrador diminui 3 dB em relação ao ganho em DC quando a entrada for aproximadamente 30 dB abaixo do limite máximo da entrada.

Taxa de variação (ϕ_{sr}): É a taxa máxima na qual a saída consegue acompanhar

a tensão de entrada em modo amostragem. A taxa de variação ϕ_{sr} depende do valor da resistência de ligação da chave e do capacitor de retenção e, devido a este fato, geralmente é especificado também o valor do capacitor quando ele é usado.

3.3.2 Indicadores de Transição Amostragem-Retenção

Tempo de abertura(τ_{at}): É definido como o intervalo de tempo entre o início da abertura da chave e a completa desconexão da entrada do capacitor de retenção. Essa definição varia um pouco entre os fabricantes, em que alguns incluem dentro deste tempo o atraso digital, que é o tempo entre o comando de retenção e o início da abertura da chave. A Figura 3.15 ilustra o atraso digital e o tempo de abertura.

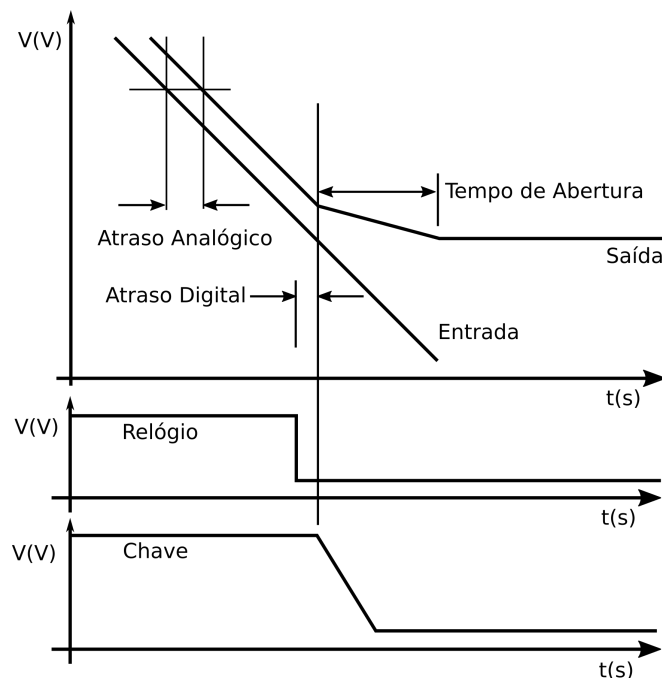


Figura 3.15: Definições de Tempo de abertura, atraso analógico e digital. Fonte: Elaborada pelo autor.

Varição de abertura(Δ_j): Também conhecido por *Jitter* de abertura. Idealmente, para amostragem periódica, a transição do sinal de relógio ocorre em nT_s , onde T_s é o período de amostragem e n é um número natural. Todavia, em situações reais, existe uma incerteza envolvendo a transição do sinal de relógio que ocorre em: $T_s(n + j(n))$, onde $j(n)$ é a variação na transição do sinal de relógio (VERCAEMER; ROMBOUTS, 2016). Essa variação do sinal de relógio causará uma variação no tempo de abertura da chave. Por sua vez, a variação de abertura da chave provocará um erro no valor amostrado, conforme ilustra a Figura 3.16.

Variações de aberturas são causadas por ruídos térmicos, ruídos de fonte e de

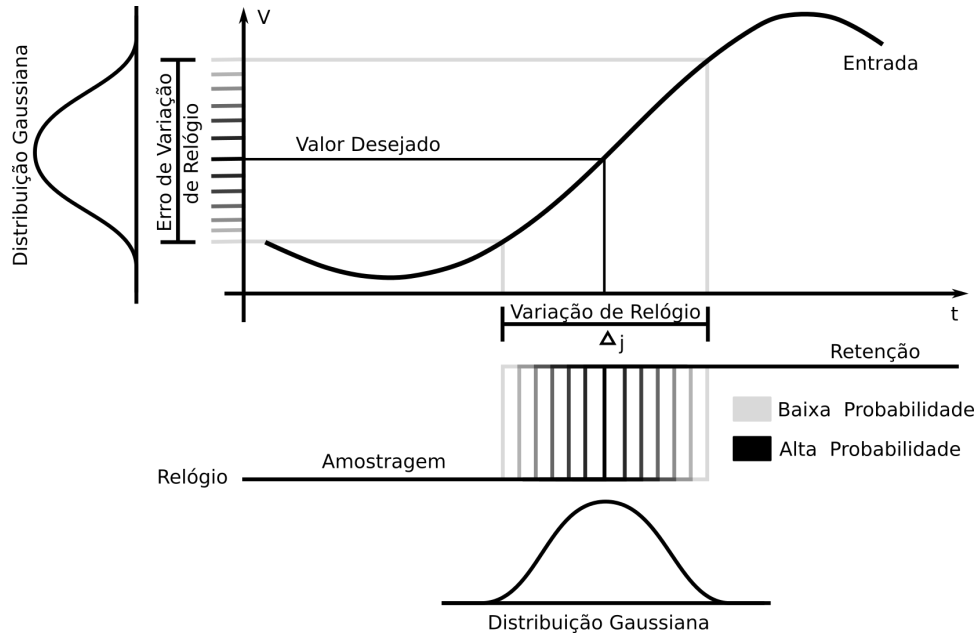


Figura 3.16: Influência da variação de abertura (modelado por uma distribuição gaussiana) no valor amostrado. Fonte: Elaborada pelo autor.

relógio(MARIANO, 2008) e pode ser modulado através da distribuição normal ou gaussiana(CHAGANTI; XU; CHEN, 2017), conforme exibe a Figura 3.16.

Se for considerado pequenos valores de desvio no tempo de amostragem Δt , então o erro associado a essa variação será dado por:

$$\Delta V = \frac{dV(t)}{dt} \Delta t. \quad (3.32)$$

Como Δt e ΔV podem ser modelados como uma distribuição gaussiana, então (3.32) se torna:

$$\sigma(\Delta V) = \sqrt{\frac{1}{T_s} \int_0^{T_s} \left(\frac{dV(t)}{dt} \right)^2 \sigma(\Delta t)}, \quad (3.33)$$

onde:

$\sigma(\Delta V)$ é o desvio padrão da variação da tensão amostrada em rms; e

$\sigma(\Delta t)$ é o desvio padrão da variação no tempo em rms.

Se considerarmos o sinal de entrada na forma $v(t) = A \sin(2\pi ft)$, a Equação (3.33) se torna:

$$\sigma(\Delta V) = \sqrt{2\pi} A f \sigma(\Delta t). \quad (3.34)$$

A partir da Equação (3.34) é possível chegar na relação sinal-ruído em decibéis:

$$SNR_j = -20\log(2\pi f\sigma(\Delta t)). \quad [dB] \quad (3.35)$$

A Figura 3.17 ilustra a relação do SNR_j com a frequência do sinal de entrada para diversos valores de desvio padrão Δt . É possível perceber que quanto maior a frequência de entrada ou quanto maior o desvio padrão Δt pior será a relação sinal-ruído.

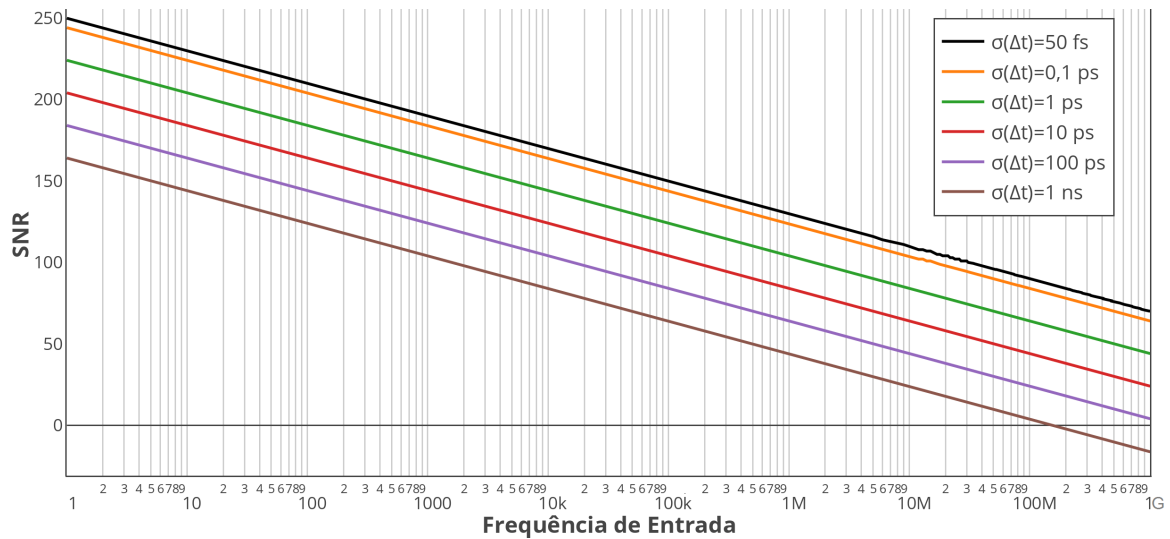


Figura 3.17: Relação sinal-ruído em dB produzida pela variação de relógio para uma entrada $A\text{sen}(2\pi f)$ com vários desvios padrões. Fonte: Elaborada pelo autor.

Tempo de estabelecimento de modo retenção (τ_H): É o tempo em que a saída entra na faixa de precisão previamente estabelecido. Esta faixa é geralmente especificada como 1%, 0,1% ou para amostradores mais precisos 0,001% do valor máximo da entrada. A Figura 3.18 detalha o tempo de estabelecimento de modo retenção.

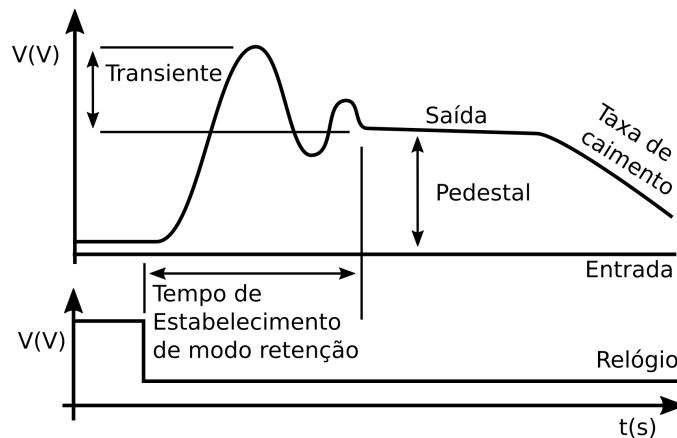


Figura 3.18: Fontes de erro em modo retenção e durante o transiente amostragem-retenção. Fonte: Elaborada pelo autor.

Pedestal(ρ): Como também ilustra a Figura 3.18, o pedestal ρ ou também conhecido como *offset* de modo amostragem-retenção é a diferença de tensão observada quando o circuito amostrador entre no modo retenção. Como discutido em seções anteriores, o pedestal é causado pelo efeito da injeção de carga do transistor MOS presente na chave e seu valor é determinado como:

$$\rho = \frac{Q_{ch,c}}{C_H}. \quad (3.36)$$

Algumas técnicas são apresentadas para diminuir a tensão de pedestal ρ em circuitos amostradores em seções anteriores.

3.3.3 Indicadores de Modo Retenção

Corrente de fuga no capacitor de retenção(ι): É a corrente que flui do capacitor durante o modo de retenção e pode ser dividida em três tipos: corrente de fuga entre o dielétrico, corrente de fuga que flui no sentido da chave e corrente de fuga que flui no sentido do amplificador operacional de saída através da corrente de polarização. Este indicador provoca o surgimento de um outro parâmetro, a taxa de caimento que é demonstrado a seguir.

Taxa de caimento(ϕ_{dr}): A corrente de fuga ι provoca um caimento da tensão de retenção do circuito amostrador e a taxa de caimento pode ser calculado por:

$$\frac{dV_{out}}{dt} = \frac{\iota}{C_H}. \quad (3.37)$$

A taxa de caimento deve ser cuidadosamente observada em aplicações onde o tempo de retenção é consideravelmente grande, fazendo com que a saída fique fora da faixa de erro especificada.

Taxa de atenuação de realimentação(ϕ_r): É uma fração da tensão de entrada que aparece na saída do circuito amostrador em modo de retenção. A taxa de atenuação de realimentação ϕ_r é geralmente especificada em uma frequência utilizando a unidade de decibel.

3.3.4 Indicador de Transição Retenção-Amostragem

Tempo de aquisição(τ_s): É o máximo tempo necessário para que a saída do circuito amostrador entre na faixa de erro especificada quando o comando para amostra-

gem é acionado. O máximo tempo ocorre quando, em modo de retenção, o circuito passa para o modo de amostragem no limite da tensão de entrada, conforme ilustra a Figura 3.19. O Tempo de aquisição τ_s depende do valor do capacitor de retenção C_H e pode ser reduzido diminuindo o capacitor, porém atenuando também a exatidão e aumentando a taxa de caimento ϕ_{dr} .

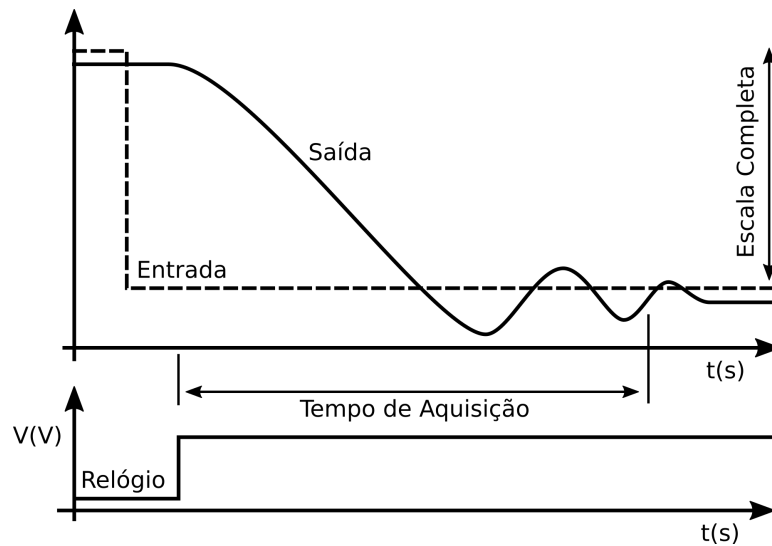


Figura 3.19: Ilustração do tempo de aquisição. Fonte: Elaborada pelo autor.

A Tabela 3.2 resume todos os indicadores de desempenho apresentados e discutidos. Além disso, são exibidos os parâmetros de três circuitos integrados da National Semiconductor LF398, LH4860 e LF6197 em três tipos diferentes de arquiteturas.

Tabela 3.2: Especificações de amostradores comerciais.

Indicador*	LF398	LH4860	LF6197
Arquitetura	Realimentada Saída Seguidor	Realimentada Saída Integrador	Corrente Multiplexada
Tensão <i>Offset</i> Γ	$\pm 2 \text{ mV}$	$\pm 0,5 \text{ mV}$	$\pm 3 \text{ mV}$
Erro de ganho δ	0,004%	$\pm 0,005\%$	0,03%
Largura de banda de pequenos sinais β_p	—	16 MHz	25 MHz
Taxa de variação ϕ_{sr}	—	300 V/ μs	145 V/ μs
Tempo de abertura τ_{at}	200 ns	6 ns	4 ns
Variação de abertura Δ_j	—	35 ps_{rms}	8 ps_{rms}
Pedestal ρ^{**}	$\pm 1,0 \text{ mV}$	$\pm 2,5 \text{ mV}$	$\pm 10 \text{ mV}$
Tempo de estabelecimento de modo <i>hold</i> $\tau_H(0,01\%)$	1 μs	60 ns	50 ns
Corrente de fuga no capacitor hold ι	30 pA	5 pA	6 pA
Taxa de caimento ϕ_{dr}	—	$\pm 0,5 \mu\text{V}/\mu\text{s}$	0,6 $\mu\text{V}/\mu\text{s}$
Taxa de atenuação de realimentação ϕ_r em 1 kHz	90 dB	—	83 dB
Tempo de aquisição $\tau_s(0,1\%)^{***}$	4 μs	100 ns	130 ns

Fonte: (NATIONAL, 1992).

Nota: *A Tabela lista os típicos valores para as especificações mostradas. **LF398: $C_H = 0,01\mu\text{F}$, $V_{out} = 0\text{V}$. ***LF398: $C_H = 1000 \text{ pF}$ $\Delta V_{out} = 10\text{V}$.

PROJETO DO AMOSTRADOR PARA RECEPTOR DE RF BASEADO EM SUBAMOSTRAGEM COM DUPLA QUADRATURA

No Capítulo 3, foi apresentada uma introdução aos circuitos amostradores, detalhando o princípio de funcionamento, topologias de chaves MOS, indicadores de desempenho, entre outros detalhes. Neste capítulo, portanto, é dada continuidade ao trabalho, descrevendo a implementação do amostrador para receptor baseado em subamostragem com dupla quadratura. Didaticamente, o projeto é separado em blocos funcionais e cada um é descrito de forma detalhada. Na sequência, resultados de simulações pós-leiaute do amostrador projetado são apresentados e discutidos.

Conforme é ilustrado pela Figura 2.6, o primeiro estágio do receptor baseado em subamostragem com dupla quadratura é composto por dois amostradores. Como requisito estrutural, esses circuitos, conforme foi discutido em seções anteriores e em concordância com as fórmulas 2.7 e 2.8, devem operar concomitantemente e defasados em um quarto de ciclo de relógio, ou seja, devem amostrar valores separados em um quarto do ciclo de relógio.

A Figura 4.1 expõe uma solução topológica para o estágio amostrador do receptor baseado em subamostragem da Figura 2.6. É possível perceber que o sistema proposto pela Figura 4.1 é composto de duas partes. A parte analógica é formada por dois amostradores, um par de circuitos de proteção de saída e apenas um circuito de proteção de entrada que é compartilhada com os dois canais de amostragem. Como a entrada é a mesma para os

dois amostradores, a estratégia de utilizar apenas um *buffer* de proteção na entrada do circuito possibilita redução da potência consumida, além da diminuição da utilização de espaço em silício. Maiores detalhes das vantagens e desvantagens da utilização de apenas um buffer na entrada serão discutidas e analisadas nas próximas seções.

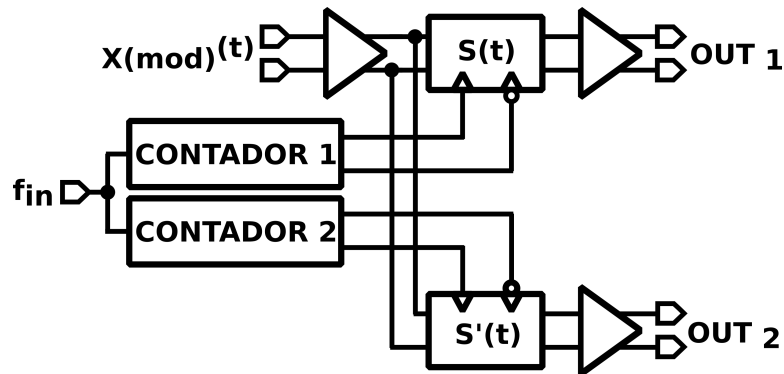


Figura 4.1: Visão geral do circuito projetado destacando blocos funcionais. Fonte: Elaborada pelo autor.

O circuito digital é formado por dois contadores de um bit, cada um composto por dois flip-flops tipo D. Para implementar a defasagem necessária para o receptor baseado em subamostragem da Figura 2.6, os contadores trabalham em bordas complementares, ou seja, o contador-1 trabalha na borda de subida do sinal de relógio de entrada, enquanto o contador-2 trabalha na borda de descida do sinal de relógio de entrada. Deste modo, a frequência de entrada que alimenta os contadores deve ser superior em duas vezes à frequência de amostragem desejada.

Por motivos que ficarão claros nas próximas seções, embora não esteja ilustrada na Figura 4.1, foi ainda inserido um circuito na saída dos contadores com o intuito de sincronizar os sinais de relógio que alimentam os amostradores. A razão da sincronização dos sinais que controlam os amostradores é analisada e discutida na seção 3.1.3. Por fim, foi escolhida a arquitetura diferencial para implementar o estágio amostrador do receptor da Figura 2.6 com o objetivo de evitar ruído de modo comum e outras imperfeições que serão discutidas na próxima seção.

4.1 PROCESSO CONSTRUTIVO

Nesta seção é descrito, dimensionado e analisado o funcionamento de cada bloco funcional do amostrador projetado, partindo dos pares diferenciais (*buffers*), passando pelo circuito amostrador e encerrando pelo bloco digital.

4.1.1 Par diferencial

Como foi abordado no capítulo 3, amostradores baseados em tensão necessitam operar isoladamente de circuitos externos. Tal isolação é obtida lançando mão de *buffers* que têm como característica um alto valor de impedância na entrada e um baixo valor na saída, como será visto mais adiante. Dessa forma, os *buffers* protegem o amostrador da “fuga” excessiva de corrente do capacitor de retenção, mantendo a tensão amostrada por mais tempo e diminuindo a taxa de caimento.

Além de prover um isolamento com alta impedância de entrada, *buffers* também podem fornecer ganhos positivos ou negativos de tensão. Aqui, porém, é interessante manter o ganho de tensão global na unidade, visto que é importante obter valores de amostras com boa exatidão. O par diferencial exibido na Figura 4.2 pode ser utilizado como *buffer* para o circuito amostrador.

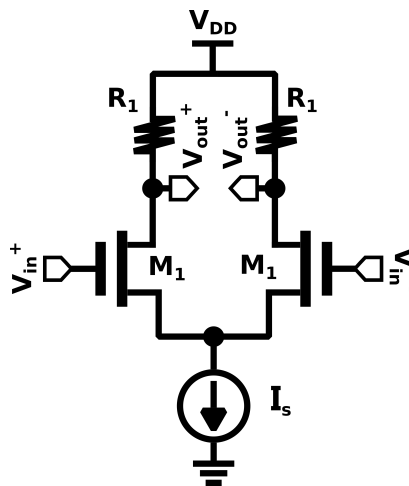


Figura 4.2: Par diferencial para proteção com carga resistiva. Fonte: Elaborada pelo autor.

O par diferencial da Figura 4.2 tem a inconveniência de empregar resistores como carga. Em projetos de circuito integrado, a utilização desses componentes é desestimulada por alguns fatores. Primeiramente, a utilização de resistores demanda uma grande área de silício quando comparados aos transistores MOS. Além do mais, por serem elementos com grande área, apresentam uma considerável variação no processo de fabricação.

Em contrapartida, transistores MOS exibem dimensões reduzidas e processos de fabricação com elevada precisão. Diante dos fatos, foi substituída a resistência do par diferencial da Figura 4.2 por transistores MOS (M_2) conectados como diodo e exibidos na Figura 4.3.

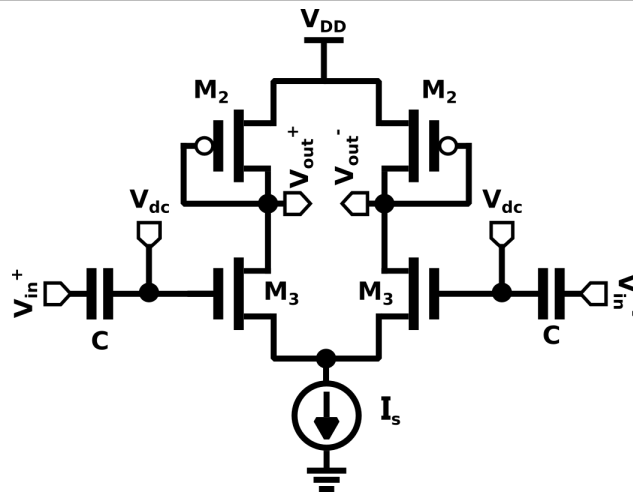


Figura 4.3: Par diferencial utilizado na proteção do circuito amostrador empregando pMOS como carga. Fonte: Elaborada pelo autor.

Como desvantagem, não é possível alcançar um valor de carga resistiva elevado utilizando transistor ligado como diodo. Esta característica, no entanto, não limita o projeto, uma vez que não é desejado um valor elevado para R_1 , pois o ganho global é limitado à unidade.

4.1.1.1 Polarização

Como foi demonstrado na seção 4.1.1.3, a resistência diferencial de entrada do circuito da Figura 4.2 é elevada. É possível, portanto, se beneficiar desta característica e eliminar o capacitor de retenção C_h do circuito amostrador. Se, de algum modo, for viável conectar diretamente a saída do estágio amostrador ao par diferencial, sem utilizar circuito de polarização, a corrente drenada do amostrador seria reduzida a ponto de ser possível eliminar o capacitor de retenção C_h , visto que a corrente de entrada do par diferencial é relativamente baixa.

O transistor M_3 da Figura 4.3, porém, necessita ser polarizado de modo que opere dentro da região de saturaçãoⁱ e também ofereça a melhor linearidade possível. Essa polarização requer circuitos adicionais que, inevitavelmente, têm consumo de corrente. O capacitor C da Figura 4.3 juntamente com o circuito da imagem 4.4 formam um dos modos de implementar um circuito de polarização.

A estratégia de polarização dos pares diferenciais, tanto para o *buffer* de entrada como para o da saída, é polarizar o par diferencial da entrada com o circuito da Figura

ⁱNa saturação o transistor se comporta como fonte de corrente controlada por tensão com elevado r_o .

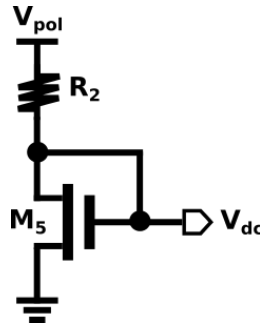


Figura 4.4: Circuito de polarização empregado no *buffer* de entrada. Fonte: Elaborada pelo autor.

4.4 e utilizar o nível DC da saída do *buffer* de entrada para polarizar o par diferencial da saída. Deste modo, não será necessário utilizar circuito exclusivo para polarizar o *buffer* da saída, economizando área em silício e potência consumida. Além disso, a corrente drenada do amostrador é reduzida a poucas unidades de pA e, como consequência, a taxa de caimento da tensão de retenção é também reduzida(CUNHA et al., 2017).

Como será visto na sequência, a tensão DC de saída do primeiro par diferencial é suficiente e adequada para polarizar o *buffer* de saída e jogá-lo dentro de uma região com linearidade aceitável.

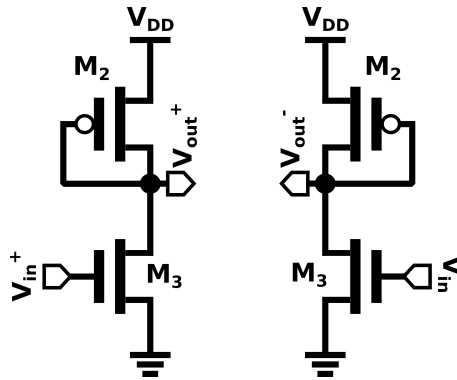


Figura 4.5: Meio-circuito diferencial da Figura 4.3. Fonte: Elaborada pelo autor.

Inicialmente é considerado a técnica de análise do meio-circuito da Figura 4.5 que representa o circuito do par diferencial da Figura 4.3. A tensão de entrada V_{IN} , para ligar o transistor M_3 , necessita ser pelo menos superior à tensão de limiar V_{th} , ou seja,

$$V_{IN} \geq V_{th}. \quad (4.1)$$

Ao passo que V_{IN} não pode ser suficientemente grande para tirar M_3 da saturação:

$$\begin{aligned} V_{OUT} &\geq V_{IN} - V_{th} \\ V_{IN} &\leq V_{OUT} + V_{th}. \end{aligned} \quad (4.2)$$

Onde V_{OUT} é a saída DC. Combinando 4.1 e 4.2, é obtido:

$$V_{th} \leq V_{IN} \leq V_{OUT} + V_{th}. \quad (4.3)$$

É fácil perceber que a corrente de dreno do transistor M_2 da Figura 4.5 é igual à corrente que circula em M_3 . Como tanto M_2 quanto M_3 estão na saturação, é possível afirmar que:

$$\frac{1}{2}\mu_n C_{ox} \left[\frac{W}{L}\right]_n (V_{GS} - V_{thn})^2 = \frac{1}{2}\mu_p C_{ox} \left[\frac{W}{L}\right]_p (V_{SG} + V_{thp})^2, \quad (4.4)$$

onde:

μ_n é a mobilidade de elétrons;

μ_p é a mobilidade de lacunas;

C_{ox} é a capacitância do óxido por unidade de área;

V_{thn} é a tensão de limiar para transistores nMOS; e

V_{thp} é a tensão de limiar para transistores pMOS.

Ainda observando a Figura 4.5 do circuito meio-diferencial e utilizando a Equação (4.4), é possível concluir que:

$$\begin{aligned} V_{GS} &= V_{IN} \\ V_{SG} &= V_{DD} - V_{OUT} \\ \sqrt{\mu_n \left[\frac{W}{L}\right]_n} (V_{IN} - V_{thn}) &= \sqrt{\mu_p \left[\frac{W}{L}\right]_p} (V_{DD} - V_{OUT} + V_{thp}) \\ V_{DD} - V_{OUT} + V_{thp} &= \sqrt{\frac{\mu_n (W/L)_n}{\mu_p (W/L)_p}} (V_{IN} - V_{thn}) \\ V_{OUT} &= V_{DD} + V_{thp} - \sqrt{\frac{\mu_n (W/L)_n}{\mu_p (W/L)_p}} (V_{IN} - V_{thn}). \end{aligned} \quad (4.5)$$

A Equação (4.5) expressa a função de transferência do par diferencial da Figura 4.3. Para todo este trabalho, é considerado que a tensão de limiar para o transistor nMOS é a mesma para o dispositivo pMOS, ou seja, $V_{thn} = |V_{thp}|$. Além disso, é considerado

também que a mobilidade dos elétrons é duas vezes e meia superior a mobilidade das lacunas, $\mu_n = 2,5\mu_p$ (característica da tecnologia utilizada).

Com os valores de dimensionamento do par diferencial da Figura 4.3 exibidos através da Tabela 4.1, foi construído o gráfico da função de transferência da Equação (4.5).

Tabela 4.1: Dimensionamento do par diferencial e circuito de polarização.

Parâmetros Par Diferencial	Valores	Parâmetros Polarização	Valores	Parâmetros Tecnologia	Valores
W_3	0,96 μm	C	2,39 pF	$V_{thn} = V_{thp} $	0,330 mV
L_3	0,16 μm	R_2	43,50 k Ω	V_{DD}	1,2 V
W_2	2,04 μm	W_5	0,28 μm		
L_2	0,16 μm	L_5	0,16 μm		

O gráfico da Figura 4.6 é dividido em quatro regiões de operação. Os setores um e quatro, embora estejam definidos na Figura, não são válidos, uma vez que o domínio da função (4.5) é limitado por (4.3). Em outras palavras, na primeira região o transistor M_3 opera bloqueado (tensão de entrada não é suficiente para induzir o canal do transistor) e na região quatro o MOSFET M_3 opera na região de triodo.

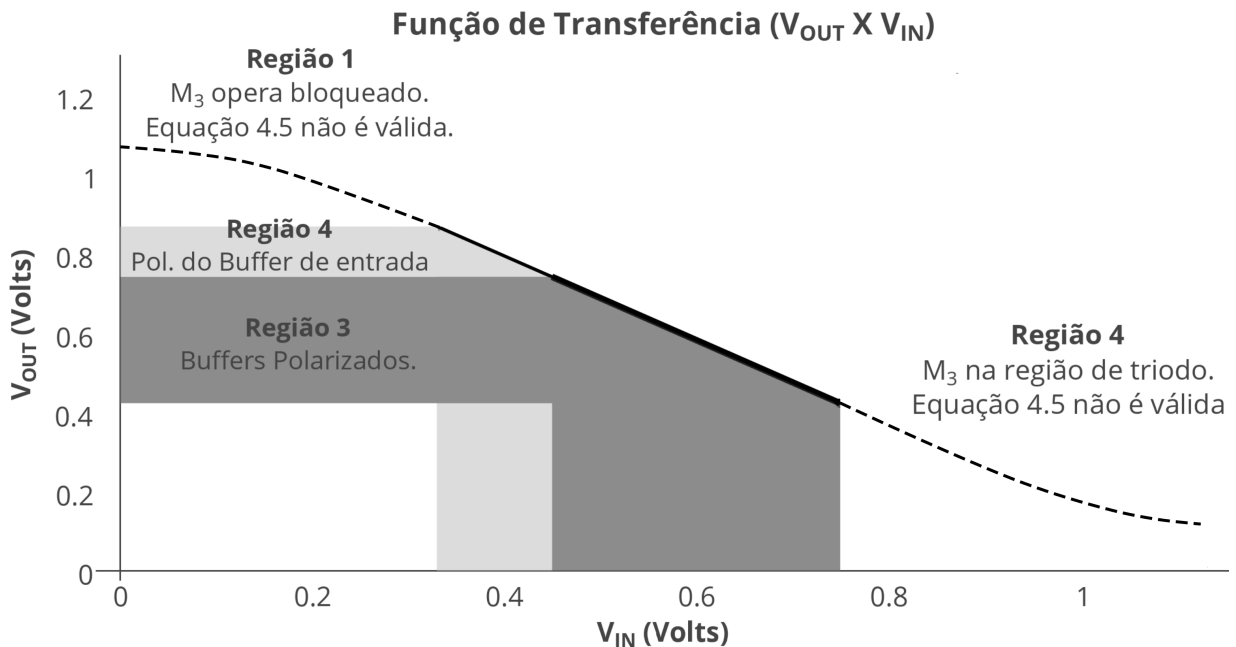


Figura 4.6: Função de transferência do meio-circuito da Figura 4.5. Fonte: Elaborada pelo autor.

A região de operação dois permite que o par diferencial de entrada seja polarizado, pois o transistor M_3 opera dentro da região de saturação. Neste setor, porém, a tensão

de saída do par diferencial da entrada não é adequada para polarizar o *buffer* de saída. Já em relação ao setor 3, os pares diferenciais são polarizados, ou seja, o par diferencial de entrada é polarizado e fornece uma tensão DC capaz de polarizar o par diferencial da saída.

Afim de fornecer a maior excursão possível do sinal de entrada, o ponto de operação do par diferencial foi escolhido no centro da região três. Assim, o ponto de operação V_{IN} com sua respectiva tensão de saída do segundo buffer V_{OUT2} é:

$$\begin{aligned} V_{IN} &= 600mV \\ V_{OUT2} &= 600mV \end{aligned}$$

O gráfico da Figura 4.6, portanto, demonstra que é possível utilizar apenas um circuito de polarização para condicionar a operação dos dois *buffers* na região de saturação.

4.1.1.2 Ganho diferencial de tensão

O objetivo do circuito amostrador é fornecer um sinal mais fiel possível ao sinal de entrada, quando opera em modo amostragem. Não é desejável, portanto, que se obtenha um circuito com ganho ou atenuação de tensão considerável. Assim, o ganho global do projeto deve ser próximo da unidade e, neste trabalho, foram projetados pares diferenciais idênticos, com o mesmo ganho, ou seja, ganho unitário para os dois *buffers*.

Para estimar o ganho diferencial de tensão, foram considerados os modelos equivalentes dos transistores nMOS e pMOS para pequenos sinais ilustrados na Figura 4.7(a) e 4.7(b). Já o modelo equivalente do circuito da Figura 4.5 é representado através da imagem 4.7(c).

Para a análise que se segue, não foi considerado o efeito da modulação do comprimento de canal, em outras palavras, não foi incluído a resistência de saída nos modelos da Figura 4.7. Analisando a Figura 7(c), é possível perceber que tanto o transistor nMOS como pMOS não apresentam efeito de corpo, uma vez que suas fontes são ligadas à referência. Ainda em relação à Figura 7(c), é possível concluir que a corrente de dreno que circula no transistor nMOS é a mesma que atravessa o dispositivo pMOS. Assim:

$$g_{mn}v_{gs} = g_{mp}v_{sg},$$

onde:

g_{mn} é a transcondutância de transistores nMOS; e

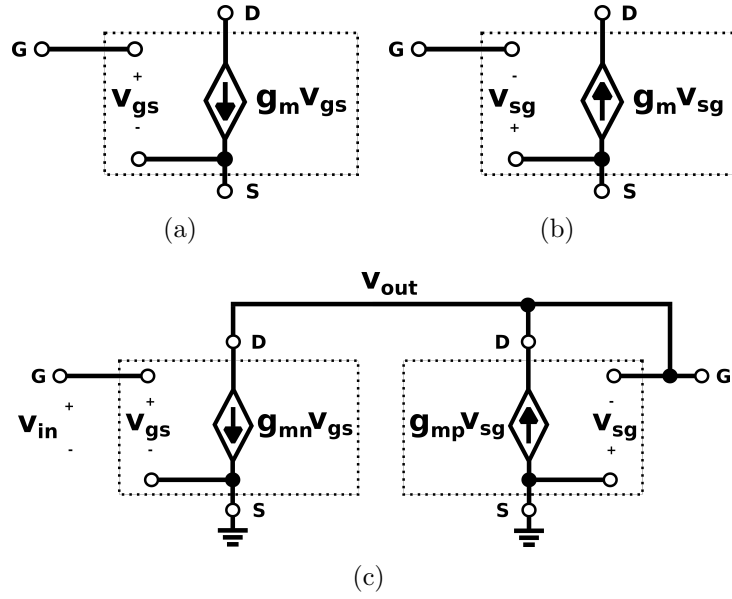


Figura 4.7: (a) Modelo equivalente do transistor nMOS para pequenos sinais. (b) Modelo equivalente do transistor pMOS para pequenos sinais. (c) Modelo equivalente do circuito da Figura 4.5 para pequenos sinais. Fonte: Elaborada pelo autor.

g_{mp} é a transcondutância de transistores pMOS.

Como $v_{sg} = 0 - v_{out}$ e $v_{gs} = v_{in}$ é obtido:

$$\begin{aligned} g_{mn}v_{in} &= -g_{mp}v_{out} \\ \frac{v_{out}}{v_{in}} &= -\frac{g_{mn}}{g_{mp}} = a_{vd}, \end{aligned}$$

onde:

a_{vd} é o ganho diferencial de tensão.

Uma vez que a transcondutância g_m pode ser expressa como:

$$\begin{aligned} g_{mn} &= \sqrt{2\mu_n C_{ox}} \sqrt{W_n L_n} \sqrt{I_D} \\ g_{mp} &= \sqrt{2\mu_p C_{ox}} \sqrt{W_p L_p} \sqrt{I_D}, \end{aligned}$$

é obtido:

$$\begin{aligned} a_{vd} &= -\frac{\sqrt{2\mu_n C_{ox}} \sqrt{W_n L_n} \sqrt{I_D}}{\sqrt{2\mu_p C_{ox}} \sqrt{W_p L_p} \sqrt{I_D}} \\ a_{vd} &= -\sqrt{2,5 \frac{W_n L_n}{W_p L_p}}, \end{aligned} \tag{4.6}$$

uma vez que $\frac{\mu_n}{\mu_p} = 2,5$.

Aplicando os valores de W_n , W_p , L_n e L_p descritos através da Tabela 4.1 na Equação (4.6), é obtido um ganho diferencial de tensão próximo da unidade,

$$a_{vd} = -1,08$$

$$a_{vd} \simeq -1.$$

4.1.1.3 Resistência diferencial de entrada e saída.

Inicialmente foi considerada a análise da resistência de entrada dos *buffers*. Observando a Figura 4.8, que representa o modelo para pequenos sinais, é imediata a constatação que a resistência de entrada r_{in} é infinita, ou seja, $r_{in} = \infty$. Irrefutavelmente, na implementação física, devido ao aparecimento de capacitâncias parasitas e em virtude dos pequenos valores de capacitâncias de porta (C_{gs} capacitância porta-fonte, C_{gd} capacitância porta-dreno e C_{gb} capacitância porta-corpo), surge uma pequena corrente de porta que aumenta com o incremento da frequência do sinal de entrada. Neste trabalho, porém, não será considerado tal efeito.

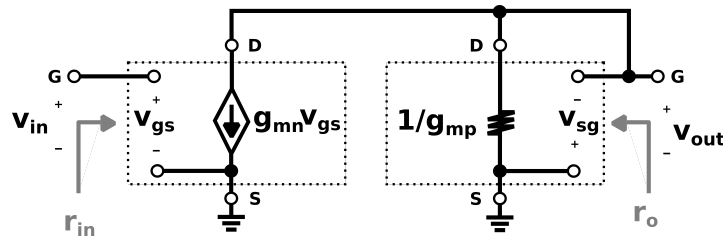


Figura 4.8: Circuito equivalente do meio-circuito da Figura 4.5 para pequenos sinais. Fonte: Elaborada pelo autor.

Em relação a resistência de saída, foi observado mais uma vez a Figura 7(c). Utilizando a teoria da absorção de fontes, é possível substituir a fonte controlada do dispositivo pMOS por uma resistência de valor g_{mp}^{-1} , como ilustra a Figura 4.8. Assim, a resistência vista na saída do meio-circuito é dada por:

$$r_o = \frac{1}{g_{mp}} = g_{mp}^{-1}$$

$$g_{mp} = \frac{2I_D}{V_{SG} - |V_{th}|}$$

$$r_o = \frac{V_{SG} - |V_{th}|}{2I_D}.$$

Foi observado, portanto, que a resistência vista pelo sinal diferencial, conforme

pode ser constatado através da Figura 4.5, é dado por $2r_o$, ou seja:

$$r_{par} = \frac{V_{SG} - |V_{th}|}{I_D}. \quad (4.7)$$

Uma análise considerando a resistência de saída do transistor nMOS r_{o_n} e pMOS r_{o_p} , ou seja, considerando o efeito da modulação do comprimento de canal, pode ser realizada, com valor de resistência dada por:

$$r_{o_n} = \frac{V_A}{I_D}.$$

Onde:

V_A é o equivalente à tensão de Early do transistor bipolar.

Como valores típicos para V_A varia entre 30 a 200 Volts, são obtidos valores de resistência de saída do transistor na faixa de 390 k a 2,6 M Ω com 77 μ A de I_D . Se esta faixa de resistência for considerada de valor elevado frente ao g_{mp}^{-1} , é possível desprezar tais resistências e retornar à Equação (4.7). Utilizando $I_D=77 \mu$ A, $V_{th}=330$ mV (Tabela 4.1), $V_{OUT}=440$ mV e a Equação (4.7), é obtido:

$$r_{par} = 5,54 \text{ k}\Omega \quad (4.8)$$

É notório que a resistência de saída do par diferencial não é um valor demasiadamente alto, porém o valor apresentado pode deixar o circuito amostrador mais lento. A resistência de saída do par diferencial irá se somar com a resistência de ligação do amostrador R_{on} e, observando a Equação (3.15), irá incrementar o valor da constante de tempo do circuito τ .

Este valor relativamente alto de resistência na saída do par diferencial, contudo, é uma característica dos amplificadores fonte comum. A sua escolha para o projeto se justifica pelo fato de ter uma curva de transferência que possibilita a estratégia de polarização mencionada anteriormente.

4.1.2 Amostrador

Como já discutido no capítulo 3, os amostradores baseados em tensão são basicamente divididos em três tipos. Inicialmente, foi verificado o desempenho da chave simples (nMOS), CMOS e com carga falsa (*dummy*), todas na configuração diferencial. A Figura 4.9 exibe o desempenho das três chaves, com cada dispositivo projetado com dimensões semelhantes.

Tão importante quanto escolher o tipo da chave, é saber como dimensionar. Para isso, são retomadas as equações discutidas no capítulo 3 que descrevem o compromisso entre velocidade e exatidão:

$$\tau = \frac{1}{\mu_n C_{ox} \left(\frac{w}{L}\right) (V_{DD} - V_{in} - V_{th})} C_H$$

$$\Delta V = \frac{W L C_{ox}}{C_H} (V_{DD} - V_{in} - V_{th}).$$

Analisando as equações, é perceptível que o único parâmetro acessível ao projetista que pode tornar o amostrador mais rápido e exato ao mesmo tempo é o comprimento do transistor L. Esse parâmetro, portanto, foi escolhido no mínimo da tecnologia, ou seja:

$$L = 0,12 \text{ } \mu\text{m}.$$

Embora este trabalho não utilize capacitores de retenção, impreterivelmente existirão elementos capacitivos que desempenharão a função de retenção. Foi observado, portanto, o surgimento de capacitâncias parasitas nos transistores M_3 e M_4 da Figura 4.15(a) que desempenharão a retenção do sinal amostrado, cujo valor equivalente encontrado foi 2,66 fF. Esse diminuto valor de capacitância, observando as Equações (3.19) e (3.27), torna a chave rápida, porém com alto valor de pedestal, diminuindo a exatidão. Para compensar esse desequilíbrio, foi escolhido W_6 próximo do limite inferior.

Como foi averiguado no capítulo 3, devido ao fenômeno da injeção de cargas, o comprimento de canal do transistor *dummy* é metade da extensão do transistor principal. A Tabela 4.2, portanto, resume o dimensionamento do núcleo do amostrador da Figura 4.10.

Tabela 4.2: Dimensionamento do núcleo do amostrador da Figura 4.10.

Parâmetros	Valores
W_6	0,56 μm
L_6	0,12 μm
W_7	0,280 μm
L_7	0,12 μm

4.1.3 Circuito Digital

O sistema digital implementa importantes funções dentro do projeto. A principal delas é a geração de quatro sinais de relógio que comandam os dois canais de amostragem. Vale lembrar que cada canal de amostragem é formado por uma chave diferencial com carga falsa, ou seja, cada canal é comandado por quatro sinais de relógio complementares dois a dois. Além disso, para satisfazer as Equações (2.7) e (2.8), os canais devem operar defasados em um quarto de ciclo de relógio. Assim, o circuito digital projetado gera quatro sinais de relógio: dois pares de sinais complementares, cada par defasados em um quarto de ciclo de relógio em si.

Além da função de geração de sinais de relógio, o circuito digital ainda realiza ajuste fino de sincronismo entre esses sinais por meio de elementos digitais conhecidos por porta de transmissão. A Figura 4.11 demonstra a geração dos sinais de relógio por meio de dois contadores de um bit, e cada contador é implementado através de dois *flip-flops* do tipo D.

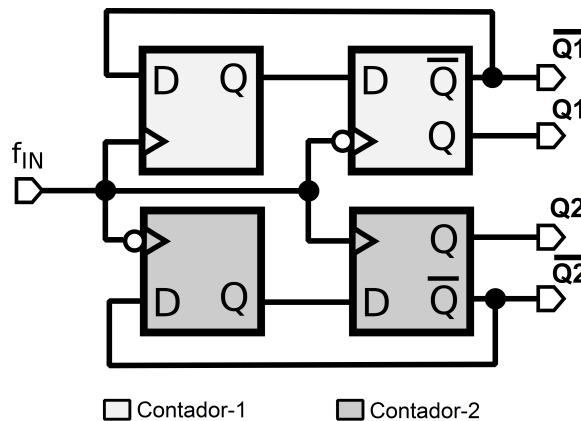


Figura 4.11: Contadores de um bit formados por flip-flops tipo D. Fonte: Elaborada pelo autor.

A frequência de entrada, portanto, deverá ter o dobro da frequência de saída. Para obter a defasagem de um quarto de ciclo de relógio, o contador-1 foi projetado para ser sensibilizado pela borda de subida e o contador-2 pela borda de descida, conforme ilustra a Figura 4.11.

A Figura 4.12 exhibe os sinais de relógio gerados pelo circuito da Figura 4.11 e produzidos através de simulação no Virtuoso.

Em relação à construção de *flip-flops* tipo D, (HARDEEP SWARNJEET, 2015) reuniu vários modelos de implementação e realizou uma comparação de desempenho em uma mesma tecnologia. A Tabela 4.3 resume informações de consumo de potência, atraso de

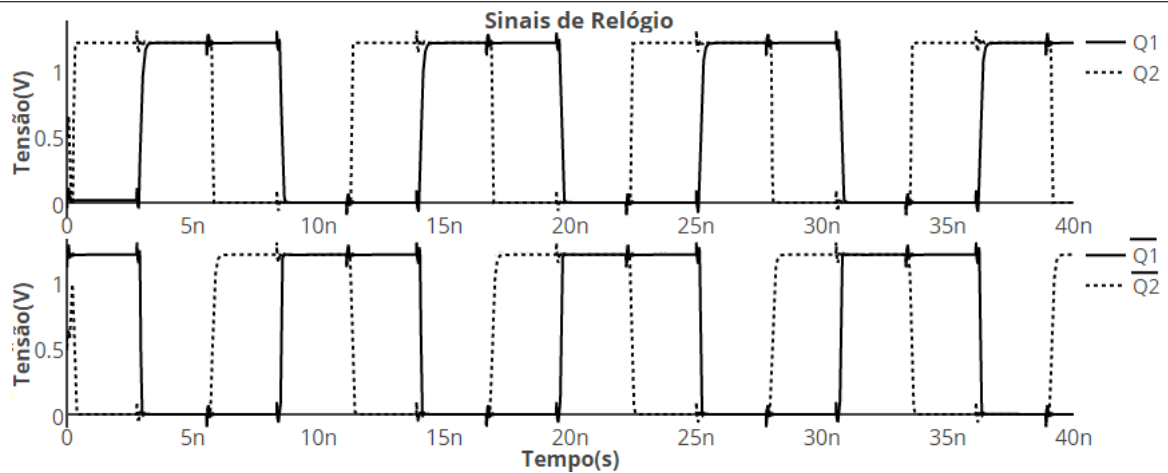


Figura 4.12: Sinais de relógio gerados pelo circuito da Figura 4.11. Fonte: Elaborada pelo autor.

propagação, número de transistores utilizados e Figura de mérito.

Tabela 4.3: Comparação entre diferentes implementações de flip-flop D em 130nm.

Modelo	Dissipação de Potência(μ W)	Atraso de Propagação(ns)	Figura de Mérito(fJ)	Nº de Transistores
CMOS ¹	2	4,94	9,88	18
CCMOS ²	0,52	4,71	2,45	14
GDI MUX ³	2,43	2,78	6,76	12
Power PC ⁴	0,09	30	2,7	20
TSPC ⁵	0,53	0,29	0,15	9

1.(STOJANOVIC; OKLOBDZIJA, 1999)

2.(ALIOTO; PALUMBO, 2000)

3.(MORGENSHTEIN; FISH; WAGNER, 2002)

4.(YANG; WANG; WANG, 2000)

5.(ELGAMEL; DARWISH; BAYOUMI, 2002)

A grandeza Figura de mérito foi definida pelo autor como produto da dissipação de potência pelo atraso de propagação, sendo dimensionado com Joule (J). Esta grandeza, portanto, informa que o modelo TSPC (acrônimo do termo inglês *True single phase clocked*) fornece a melhor relação entre consumo e atraso, embora não tenha o menor consumo de potência.

Além disso, o flip-flop tipo D-TSPC necessita de apenas nove transistores, onze a menos que o *Power PC* (modelo com menor consumo de potência). O flip-flop D-TSPC foi, portanto, escolhido para compor os contadores da Figura 4.11 e seu esquemático pode ser visto na Figura 4.13.

O dimensionamento de todos os transistores da Figura 4.13 é exibido através

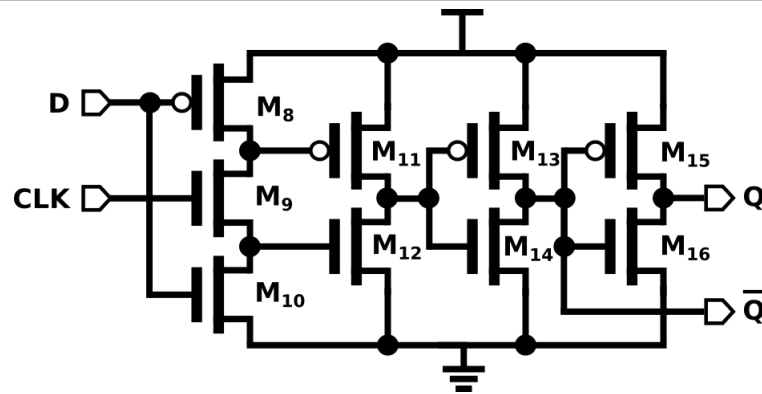


Figura 4.13: Modelo TSPC de Flip-Flop D empregado no projeto. Fonte: (ELGAMEL; DARWISH; BAYOUMI, 2002).

da Tabela 4.4. O comprimento de canal de todos os dispositivos foi projetado próximo da dimensão mínima da tecnologia ($0,12 \mu\text{m}$). Com o intuito de projetar um flip-flop equilibrado em termos de tempo de subida e descida, a largura de canal dos transistores pMOS foi dimensionada com aproximadamente duas vezes e meia a largura de canal dos transistores nMOS (conforme a relação $\mu_n = 2,5\mu_p$). Mais precisamente, após uma análise pós-leiaute, a largura de canal dos transistores pMOS foi redimensionada com aproximadamente três vezes a largura de canal dos transistores nMOS.

Tabela 4.4: Dimensionamento do flip-flop D da Figura 4.13.

Dimensão	M_8	M_9	M_{10}	M_{11}	M_{12}	M_{13}	M_{14}	M_{15}	M_{16}
$W(\mu\text{m})$	0,84	0,28	0,28	0,84	0,28	0,84	0,28	0,84	0,28
$L(\mu\text{m})$	0,13	0,13	0,13	0,13	0,13	0,13	0,13	0,13	0,13

Como os transistores da Figura 4.10 são de dimensões relativamente pequenas, como demonstra a Tabela 4.2, o circuito da Figura 4.13 não tem dificuldade para alimentar o amostrador com sinais de relógio. Assim, os transistores M_{15} e M_{16} , que são elementos de saída, têm também dimensões reduzidas com suficiente fator de carga (fan-out). Conseqüentemente, os demais transistores do contador também têm as suas dimensões reduzidas, conforme indica a Tabela 4.4.

Conforme pode ser observada na Figura 4.13, a saída “q” sofre um atraso em relação à saída “q̄”. Esse retardo é equivalente ao inserido pelas portas inversoras e geralmente tem seu valor em torno de algumas poucas dezenas de picossegundo. Esse atraso, porém, pode acrescentar um considerável erro no processo de amostragem, conforme já discutido.

Para realizar sincronismo entre as saídas do circuito da Figura 4.13, foi inserido

um dispositivo conhecido por porta de transmissão que é ilustrado através da Figura 4.14. Esse circuito acrescenta um retardo equivalente ao da porta inversora e deve ser inserido sempre ativo na saída “ \bar{q} ” do circuito flip-flop. A Tabela 4.5 indica o dimensionamento empregado no circuito da Figura 4.5.

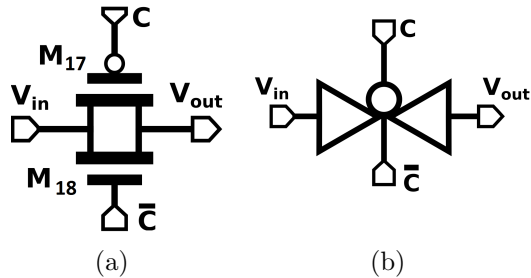


Figura 4.14: (a) Esquemático e (b) símbolo do circuito porta de transmissão utilizado para sincronização dos sinais de relógio. Fonte: Elaborada pelo autor.

Tabela 4.5: Dimensionamento da porta de transmissão.

Dimensão	M_{17}	M_{18}
$W(\mu\text{m})$	1,05	0,28
$L(\mu\text{m})$	0,57	0,5

Finalmente, o esquemático do circuito completo, incluindo os pares diferenciais, os circuitos amostradores, os contadores de um bit e as portas de transmissão, pode ser observado na Figura 4.15.

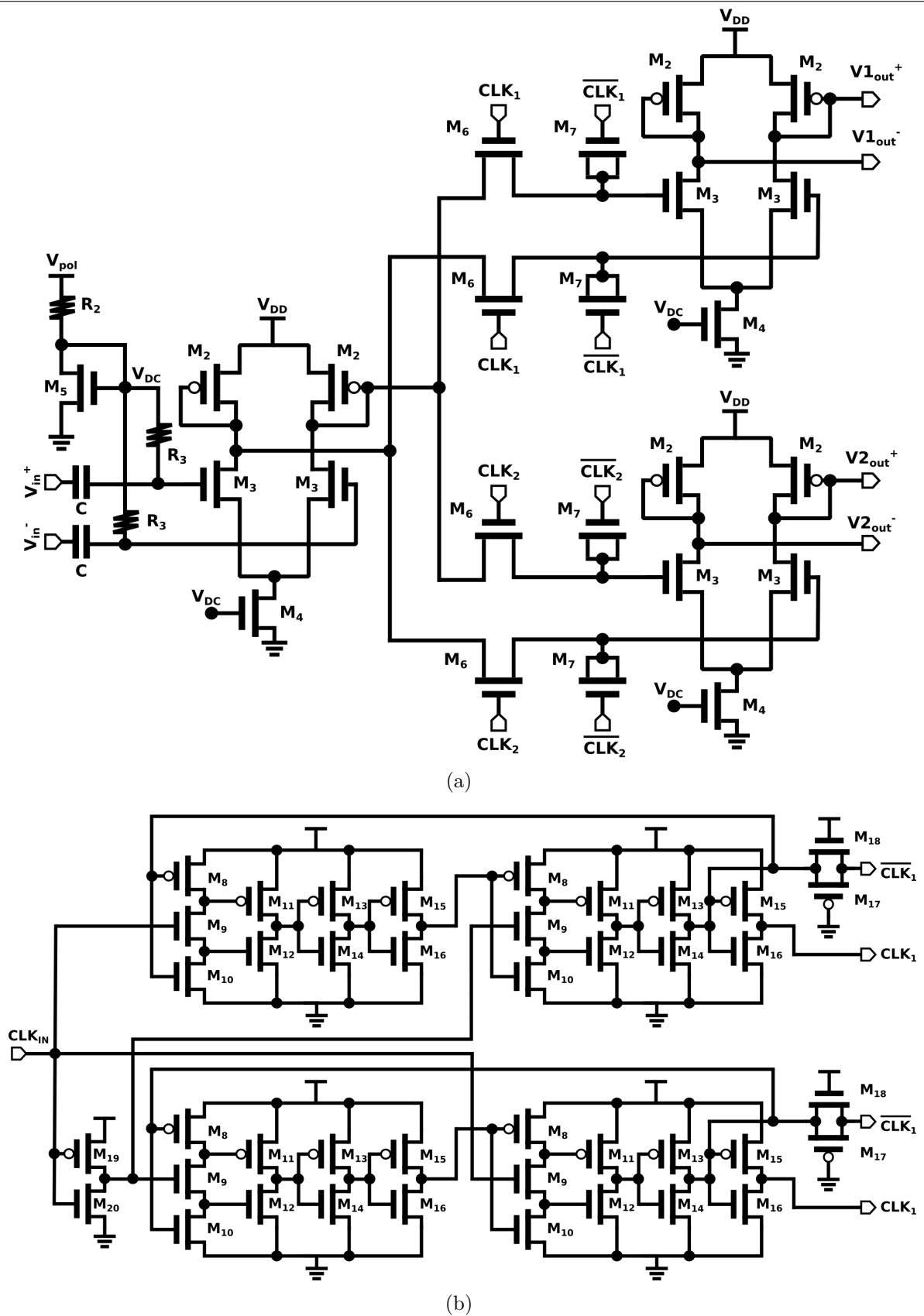


Figura 4.15: Esquemático completo do projeto referente ao circuito analógico (a) e ao circuito digital (b). Fonte: Elaborada pelo autor.

4.1.4 Leiaute

Alguns apontamentos interessantes sobre o processo de construção do leiaute são apresentados e discutidos nesta seção. Inicialmente, a tecnologia CMOS produz, intrinsecamente, transistores bipolares parasitas, formados pelas junções N-P-N-P ou P-N-P-N, que podem operar como tiristores. Esses componentes indesejáveis são conhecidos por *latchup* e, por um motivo ou outro, podem ser disparados e formar um caminho de baixa resistência entre as fontes, destruindo estruturas importantes dentro do circuito (DAI et al., 2017). Atualmente, muitos mecanismos de proteção têm sido implementados para evitar o problema como, por exemplo, cheques automáticos de *design antilatchup* e forte dopagem de p^+ .

Esta alta dopagem de p^+ , todavia, diminui a resistividade do substrato e promove um outro problema conhecido por acoplamento de substrato. Em sistemas mistos, o substrato pode conduzir o inevitável ruído de chaveamento produzido pela parte digital para áreas sensíveis da parte analógica. Mecanismos para evitar o ruído de substrato em sistemas mistos se tornou uma importante questão em projetos de circuito integrado (LOINAZ et al., 1993).

Um dos mecanismos disponibilizados pela tecnologia CMOS 130 nm utilizada é a inserção de uma camada com baixa dopagem que cria regiões com moderada resistividade, inibindo a propagação de ruído no substrato dessas regiões. Assim, foi utilizado esse recurso para incrementar o isolamento de ruído entre a parte digital e analógica. A sua implementação física pode ser observada através da Figura 4.16, onde a camada de isolamento circunda a parte digital.

Um outro recurso disponibilizado diz respeito ao dispositivo poço triplo. Nesta técnica de isolamento, o circuito a ser protegido é desenhado dentro de uma região com dopagem ‘p’, que por sua vez é inserido dentro de uma região funda com dopagem ‘n’. Essas diferentes regiões criam diodos com sentidos opostos e não permitem a passagem de corrente quando polarizados.

O núcleo do amostrador, representado através da Figura 4.10, evidencia-se em um dispositivo sensível à ruído, visto que sua função é manter a saída constante durante o modo retenção. Ao mesmo tempo, chaves são elementos geradores de ruído, pois operam com chaveamentos abruptos constantes. Deste modo, foram implementadas chaves protegidas por *triple-well*, conforme ilustra a Figura 4.17.

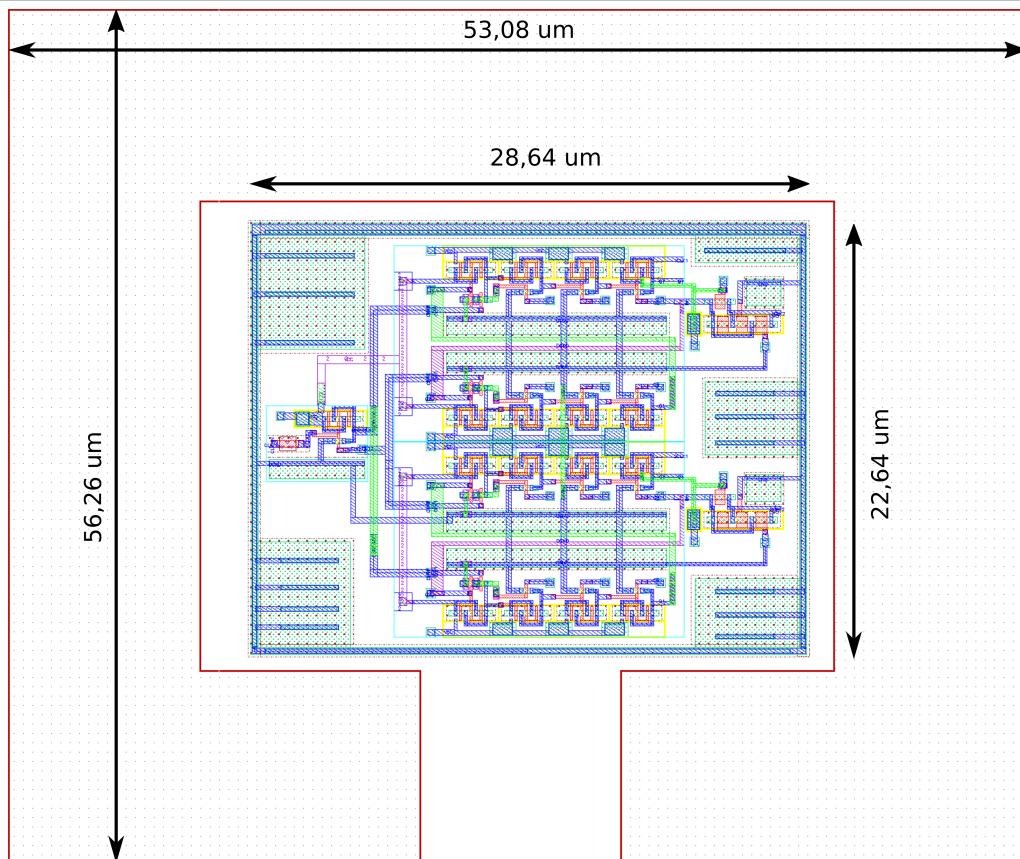


Figura 4.16: Circuito digital ao centro e envolvido pela camada de alta resistividade para diminuição de ruído de chaveamento. Fonte: Elaborada pelo autor.

A Figura 4.17 exibe o leiaute referente ao núcleo do amostrador, destacando cada camada e os dois amostradores. À esquerda da Figura 4.17 é exibido um canal de amostragem, ao passo que à direita é identificado o outro canal de amostragem.

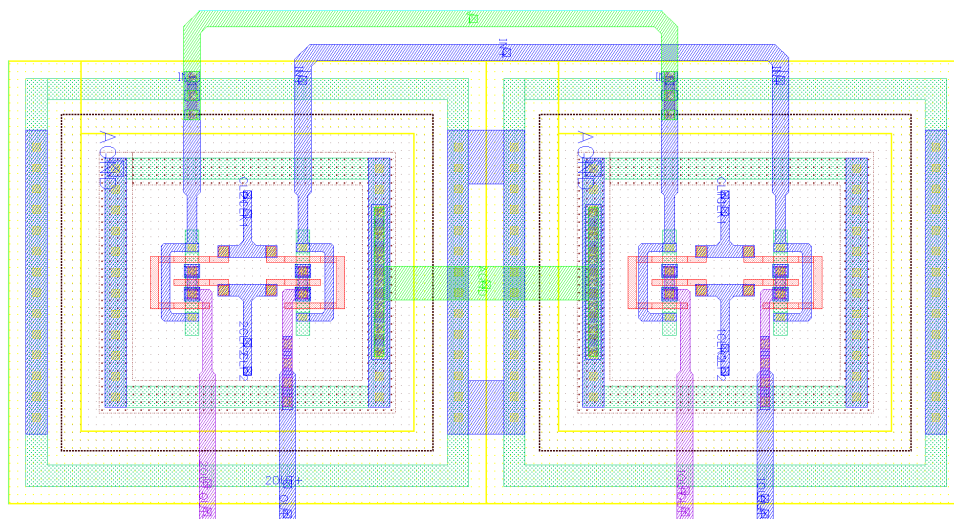


Figura 4.17: Detalhe do leiaute referente ao núcleo do circuito amostrador. Fonte: Elaborada pelo autor.

Durante o processo de fabricação de circuitos integrados, alguns parâmetros da tecnologia e, até mesmo, aqueles acessíveis ao projetista podem sofrer variações. Parâmetros como tensão de limiar (V_{th}), capacitância do óxido (C_{ox}), largura (W) e comprimento (L) do transistor são mais suscetíveis à variações quando o circuito é alocado na periferia do *wafer* de silício. Técnicas de construção referentes ao leiaute, todavia, visam tornar o circuito projetado menos sensíveis às variações ligadas ao processo construtivo (RAZAVI, 2002), (BAKER, 2010).

Técnicas como transistores multidigitados, simetria de centro comum, interdigitalização, orientação de corrente e elementos *dummy* foram empregados manualmente em todo o projeto. Como exemplo, a Figura 4.18 ilustra o emprego de todas essas técnicas no leiaute dos transistores do *buffer*, embora seja possível empregar esses métodos também em outros elementos como resistores e capacitores. A Figura 4.18 exibe em detalhe o leiaute do circuito *buffer* da Figura 4.3.

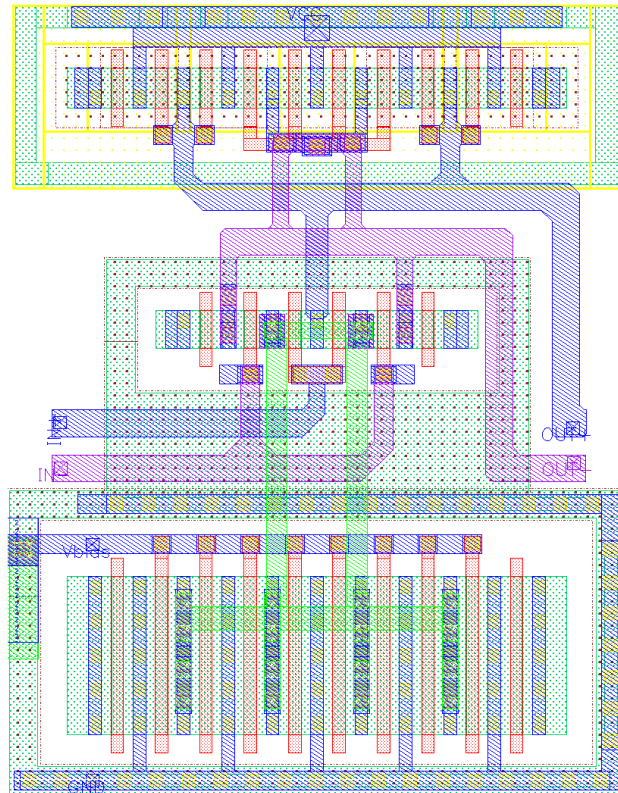


Figura 4.18: Detalhe do leiaute referente ao *Buffer* do circuito amostrador. Fonte: Elaborada pelo autor.

4.2 SIMULAÇÕES PÓS-LEIAUTE

Nesta seção são apresentados os gráficos e resultados do desempenho exibido pelo projeto completo, isto é, os resultados de simulações pós-leiaute aqui apresentados dizem respeito à performance conjunta dos dois canais de amostragem, *buffer* de entrada e saída, e o sistema digital.

4.2.1 Par Diferencial

Por motivos que são discutidos em seções anteriores, o par diferencial compõe-se em um importante elemento no projeto de circuitos amostradores. Assim sendo, uma rápida análise do *buffer* projetado, tanto o da entrada quanto o da saída, se justifica. É oportuno lembrar, todavia, que os *buffers* compartilham do mesmo projeto, ou seja, eles têm a mesma topologia e dimensionamento de transistores.

Inicialmente, foi traçada a função de transferência do par diferencial, objetivando uma averiguação qualitativa da linearidade do circuito. A Figura 4.19 relaciona a corrente de cada ramo do *buffer* com a tensão de entrada diferencial.

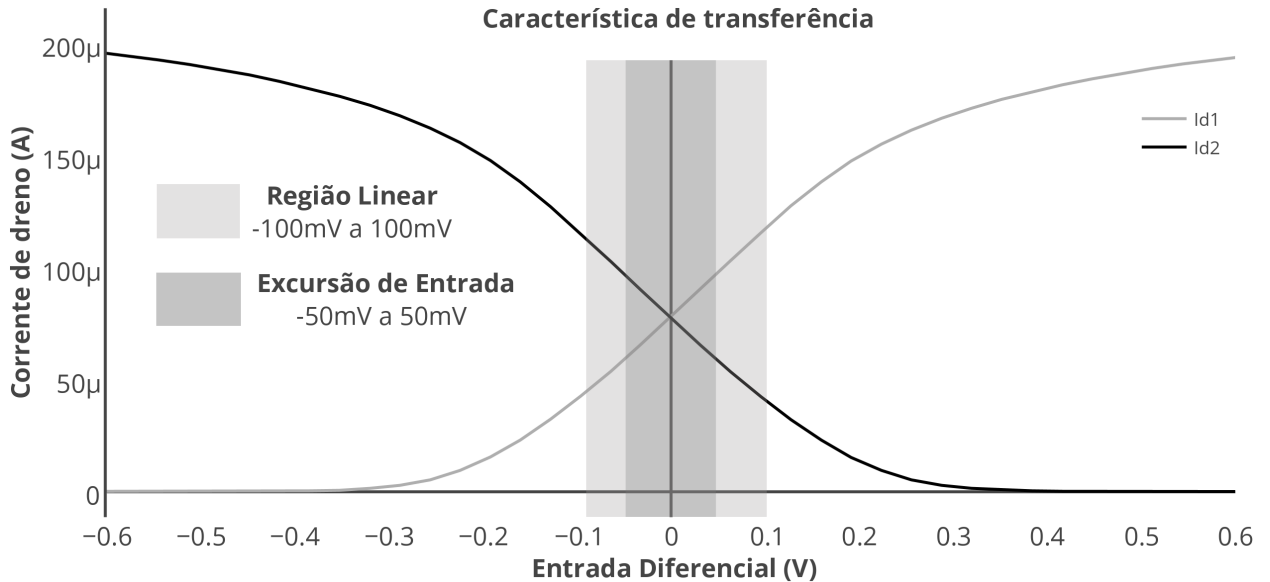


Figura 4.19: Função de Transferência do par diferencial destacando a região linear e a excursão do sinal. Fonte: Elaborada pelo autor.

Ainda observando a Figura 4.19, a faixa considerada linear envolve os limites -100 mV a 100 mV de tensão de entrada diferencial. Embora esse limite seja adequado para a operação do circuito, optou-se por limitar a excursão do sinal de entrada à metade da faixa, ou seja, de -50 mV a 50 mV. A Tabela 4.6 resume os principais parâmetros de desempenho apresentados pelo par diferencial projetado.

Tabela 4.6: Desempenho do par diferencial

Parâmetros	Valor
Potência Dissipada	190 μ W
Largura de Banda	10 GHz
Ganho	1,07
Impedância de saída	5 k Ω
Área	78 μ m ²
P1dB*	-8,36 dBm
IIP3**	-26,5 dBm
PSRR***	> 48 dB
CMRR****	> 54 dB

* Ponto de compressão do ganho em 1 dB.

** Ponto de intercepção na qual a resposta à terceira harmônica se torna superior à resposta da fundamental.

*** Taxa de rejeição das variações de fonte.

**** Taxa de rejeição das variações de modo comum.

Como pode ser constatado, observando a Equação (4.6), o ganho simulado do *buffer* é muito semelhante àquele previsto teoricamente. Neste momento, é oportuno pontuar que, devido às modestas dimensões dos *buffers*, foi preciso adicionar elementos capazes de fornecer fan-out demandado pela carga. Assim, o ganho fornecido pelos *buffers* foi ajustado para o indicado na Tabela 4.6, de modo que o ganho global do circuito permanecesse centrado na unidade.

Com relação à impedância de saída, o valor simulado também é muito semelhante àquele calculado através da Equação (4.8). Embora esse valor seja o módulo da impedância vista na saída do par diferencial, cada ramo do circuito amostrador diferencial enxergará metade deste valor, ou seja, 2,5 k Ω . Este valor, portanto, deverá ser usado na Equação (3.15) para qualquer estimativa precisa da constante de tempo do processo de amostragem.

4.2.2 Amostrador: Projeto completo

Nesta seção são apresentados e analisados os principais parâmetros de desempenho obtidos através de simulações pós-leiaute do circuito amostrador completo, incluindo os *buffers* e o sistema digital. Deste modo, o leiaute de todo o projeto foi confeccionado e pode ser observado através da Figura B.1 em anexo. É possível perceber, observando a imagem, que o projeto completo inclui *pads* de entrada/saída e bancos capacitivo para proteção e desacoplamento, além de blocos de preenchimentos e malha de terra analógico e digital. O esquemático da Figura 4.20 foi então construído para obter alguns parâmetros de desempenho e o elemento ao centro representa todo o circuito projetado, inclusive os *pads*.

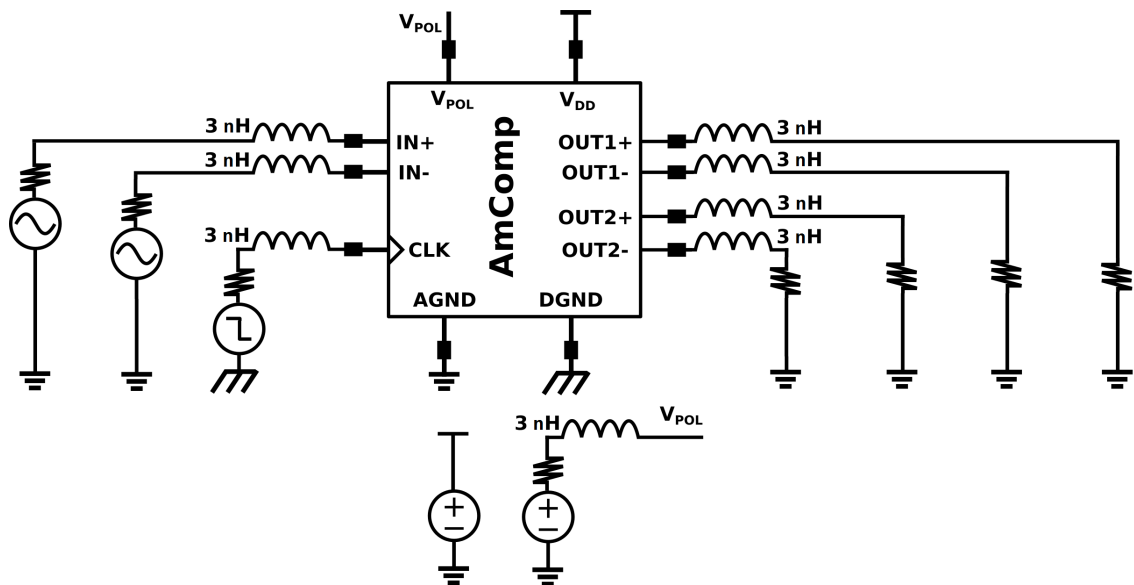


Figura 4.20: Esquemático utilizado para obter parâmetros de desempenho pós-leiaute do amostrador. Fonte: Elaborada pelo autor.

É interessante observar a inclusão do indutor de 3 nH nas entradas e saídas do amostrador. Este elemento tem por objetivo simular a indutância presente no cabo de ponteira real. Os *ports* inseridos nas quatro saídas do amostrador apresentam 1 MΩ de valor resistivo, que representam ponteiras de alta impedância. Já em relação aos *ports* de entrada, todos apresentam 50Ω de valor resistivo (medida padrão usado em saída de fonte). O gráfico da Figura 4.21 foi, então, gerado com o objetivo de fornecer uma visão geral do funcionamento dos canais de amostragem, juntamente com a defasagem de $\frac{T}{4}$ entre os canais do amostrador.

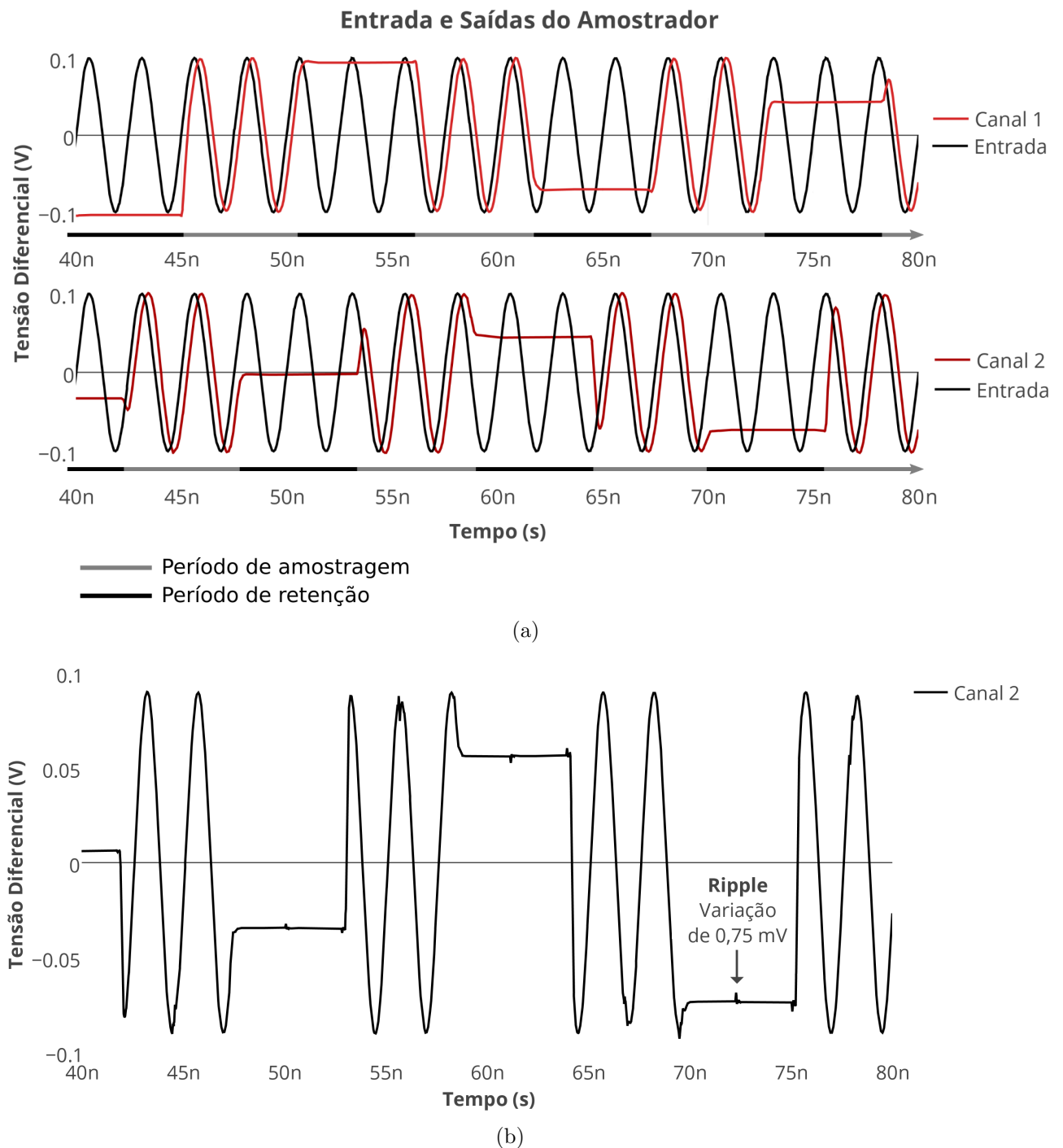


Figura 4.21: Canais de amostragem. (a) Canais com proteção antirruído. (b) Canal sem proteção antirruído. Fonte: Elaborada pelo autor.

A Figura 4.21(b) exibe o funcionamento do canal 2 sem as técnicas antirruído de substrato. Como é possível perceber, na metade do período de retenção do canal sem proteção ocorre um pequeno e curto *ripple* na tensão amostrada. Este efeito ocorre devido ao ruído de chaveamento do canal adjacente transmitido pelo substrato. Assim, as técnicas que impedem a propagação de ruído no substrato descritas na seção 4.1.4 se

revelaram eficientes.

Com intuito de analisar os efeitos da variação de relógio sobre o circuito projetado, foi descrito um gerador de variações de transição em Verilogⁱⁱⁱ. Conforme discutido na seção 3.3, a variação de transição pode ser modelada através de uma distribuição de probabilidade normal ou gaussiana com desvio padrão σ e média \bar{x} . O código desenvolvido, que se encontra em anexo, tem média zero com desvio padrão configurável e utiliza a função `$rdist_normal(semente, \bar{x} , σ)` para gerar desvios gaussianos. O parâmetro ‘semente’ é um número natural utilizado para gerar uma sequência pseudoaleatória gaussiana.

Deste modo, o esquemático da Figura 4.20 foi alterado para estimar os efeitos da variação de relógio no circuito amostrador projetado. A fonte de ruído de relógio foi, então, inserida entre a fonte de relógio e o circuito amostrador projetado, conforme ilustra a Figura 4.22.

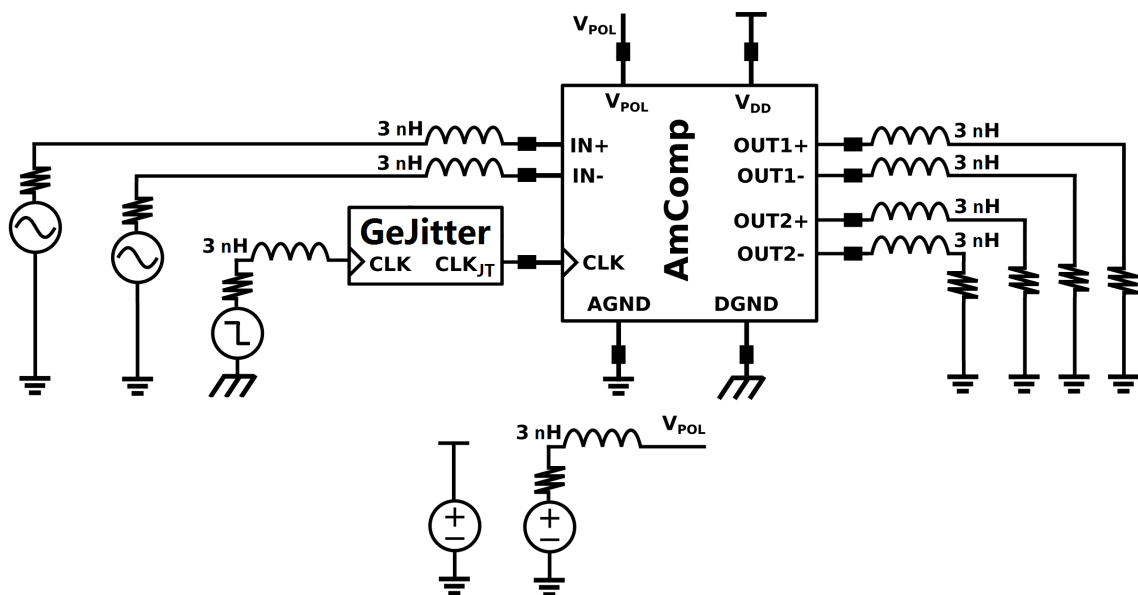


Figura 4.22: Esquemático utilizado para estimar os efeitos da variação de relógio no circuito amostrador projetado. Fonte: Elaborada pelo autor.

A Figura 4.23 ilustra a distribuição de probabilidade dos erros gerados a partir do ruído de transição do relógio. O gráfico da Figura 4.23 foi gerado através de 700 amostradas, obtendo erro médio $\bar{x} = 0,03$ mV e desvio padrão $\sigma = 2,46$ mV. Em uma distribuição de probabilidade gaussiana, 68,26% das amostras está contida no primeiro intervalo de confiança $[\bar{x} - \sigma ; \bar{x} + \sigma]$, 95,44% está contida no segundo intervalo de confiança $[\bar{x} - 2\sigma ; \bar{x} + 2\sigma]$ e 99,73% está contida no terceiro intervalo de confiança $[\bar{x} - 3\sigma ; \bar{x} + 3\sigma]$

ⁱⁱⁱVerilog é uma linguagem de descrição de hardware (HDL) padronizada pela norma IEEE 1364-2005 (IEEE, 2017). Foi desenvolvida em 1985 (VERILOG, 2017) com o objetivo de modelar sistemas eletrônicos em níveis de circuito ou sistema. Suporta projetos analógicos, digitais e mistos em vários níveis de abstração.

(BUSSAB; MORETTIN, 2013).

Assim, observando a Figura 4.23, é possível aproximar a distribuição de probabilidade dos erros gerados a partir de uma distribuição gaussiana da variação de transição de relógio em uma distribuição também gaussiana, conforme foi discutido na seção 3.3.

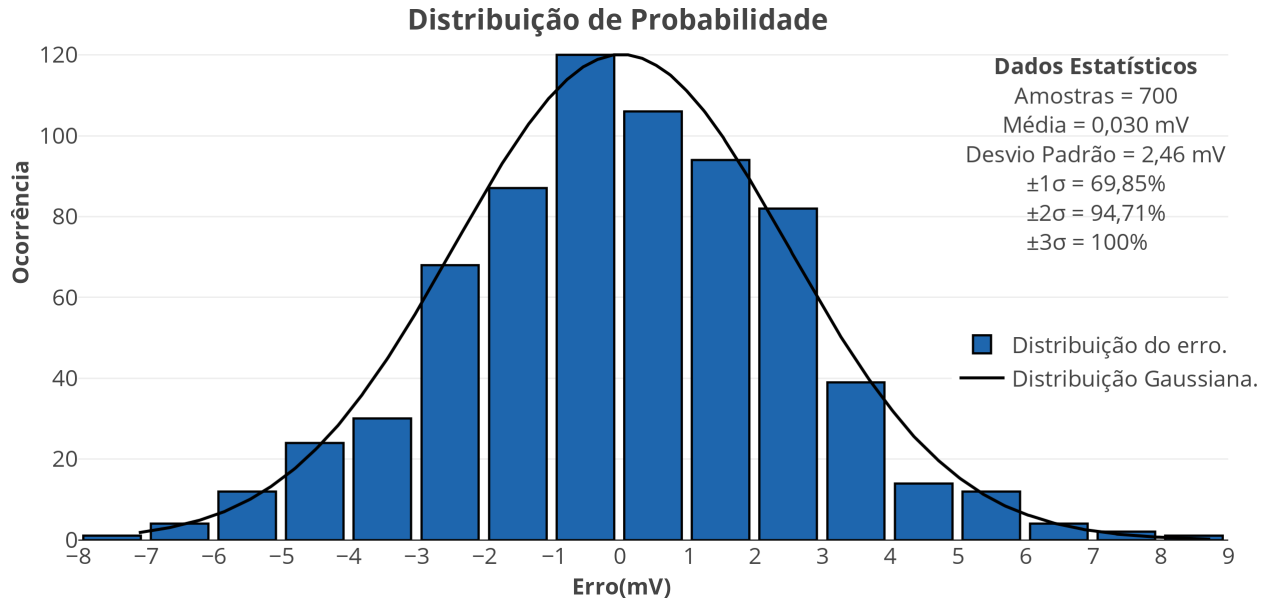


Figura 4.23: Distribuição de probabilidade do erro gerado pela variação de relógio comparado com uma distribuição gaussiana. Fonte: Elaborada pelo autor.

Ainda em relação à Figura 4.23, também é exibida a função de densidade de probabilidade gaussiana através da função contínua, com $\bar{x} = 0,03$ mV e desvio padrão $\sigma = 2,46$ mV:

$$f_p(x_{er}) = \frac{470}{\sqrt{2\pi\sigma^2}} e^{-\frac{(x_{er} - \bar{x})^2}{2\sigma^2}}. \quad (4.9)$$

Onde:

x_{er} é o erro; e

$f_p(x_{er})$ é a probabilidade associada ao erro x_{er} .

A variação de transição de relógio pode ser um limitador da resolução de conversores AD (quantidade de bits). Com intuito de não inserir erro no processo da conversão analógica-digital, a diferença de tensão causada pela variação de transição de relógio não

pode ser superior ao erro de quantização, ou seja:

$$\Delta V < \frac{1}{2} LSB, \quad (4.10)$$

onde LSB é o bit menos significativo.

Utilizando a Equação (3.32) na desigualdade (4.10), é obtido:

$$\frac{dV(t)}{dt} < \frac{1}{2} \frac{LSB}{\Delta t}. \quad (4.11)$$

Se for considerado um sinal de entrada na forma senoidal: $V(t) = A \sin(2\pi ft)$, onde A é a amplitude, de (4.11) é obtido:

$$2\pi f A \cos(2\pi ft) < \frac{1}{2} \frac{LSB}{\Delta t}. \quad (4.12)$$

Considerando o pior caso, ou seja, no ponto onde é obtida a maior derivada de $V(t)$, a Equação 4.12 se torna:

$$\begin{aligned} 2\pi f A &< \frac{1}{2} \frac{LSB}{\Delta t}. \\ \frac{1}{2} LSB &= \frac{A}{2^n} \\ n &< -\log_2(2\pi f \Delta t) \end{aligned} \quad (4.13)$$

A Inequação (4.13) diz a quantidade máxima de bits que o conversor AD deve ter para que o erro gerado pelo ruído de transição de relógio não ultrapasse o erro de quantização. Para exemplificar a Equação (4.13), a Tabela 4.7 ilustra a relação entre frequência, número máximo de bits do conversor AD e ruído de relógio.

Tabela 4.7: Tabela ilustrativa que relaciona frequência, número máximo de bits do conversor AD e ruído de relógio.

f=100 MHz		f=400 MHz	
n_{max}	Δt	n_{max}	Δt
20	1 fs	20	0,4 fs
10	1 ps	10	0,4 ps
8	6 ps	8	1,5 ps
6	24 ps	6	6 ps

Em relação ao espectro de frequência, a Figura 4.24 exhibe o resultado da transformada rápida de Fourier (FFT) do sinal de entrada senoidal com frequência de 400 MHz amostrado à taxa de 130 MHz. Para a geração da FFT, a frequência de amostragem foi levemente deslocada para 130 MHz com o intuito de facilitar a observação das harmônicas,

pois assim não é possível obter múltiplos da frequência do sinal (400 MHz) sobrepostos. O código para geração da FFT escrito para MatLab pode ser encontrado no anexo. Como esperado, o espectro de frequência revela um pico de frequência em 10 MHz. Mais especificamente, esse valor representa o sinal de 400 MHz que, por limitação da Nyquist, foi refletida a partir da frequência 65 MHz (metade da frequência de amostragem).

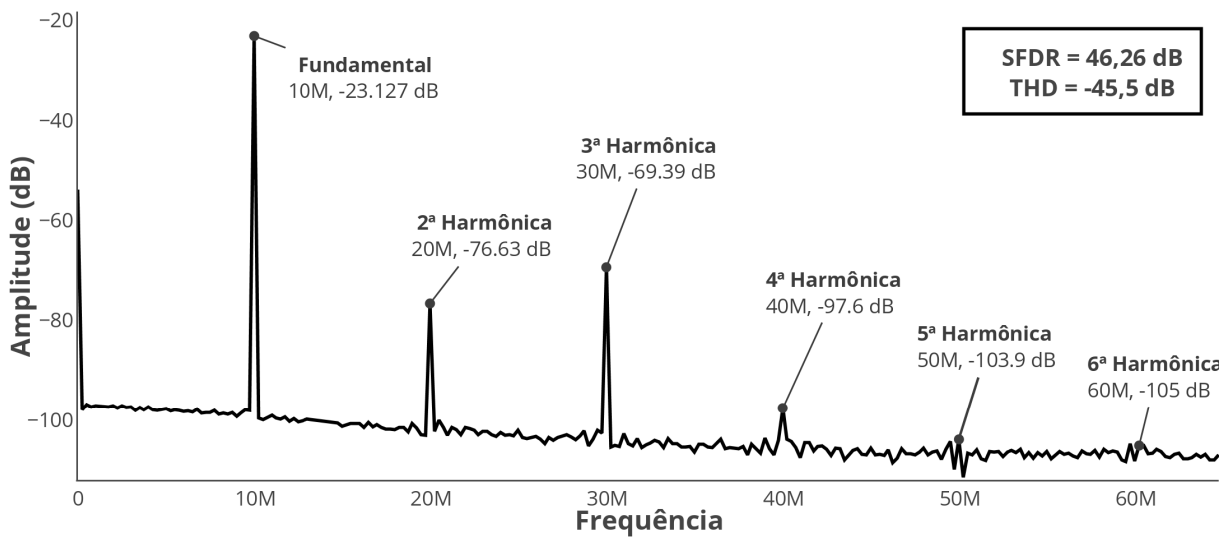


Figura 4.24: Espectro do sinal de entrada senoidal com frequência de 400 MHz amostrado à taxa de 130 MHz. Fonte: Elaborada pelo autor.

Como pode ser constatado, ainda existem outros picos de frequência superiores ao nível de ruído, centrados em 20 MHz, 30 MHz, 40 MHz e 50 MHz, que representam as harmônicas pares e ímpares (800 MHz, 1,2 GHz, 1,6 GHz e 2 GHz) da frequência de entrada. A Figura 4.24 também exibe os valores de THD e SFDR.

As Tabelas 4.8 e 4.9 resumem os principais parâmetros de desempenho obtidos através da simulação pós-leiaute. Além disso, os parâmetros referentes aos dois canais de amostragem são comparados com outros trabalhos. É oportuno salientar, porém, que os resultados exibidos de outros amostradores foram medidos em laboratório.

Como um dos objetivos deste trabalho é projetar um amostrador que seja rápido e exato, foi definida uma Figura de mérito que relaciona Pedestal (ρ) e Tempo de estabelecimento de modo *hold*, ou seja:

$$F_m = \rho \tau_H \quad [Vs]$$

A comparação das Figuras de mérito F_m dos trabalhos apresentados através das Tabelas 4.8 e 4.9, portanto, informa o circuito amostrador que tem a melhor relação entre velocidade e exatidão, através obtenção do menor valor.

Tabela 4.8: Comparação entre circuito projetado e trabalhos de (PRAKRUTHI; YELLAMPALLI, 2015) e (LOPEZ-MARTIN; UGALDE; RAMIREZ-ANGULO, 2013)

Parâmetros	Canal 1	Canal 2	A*	B**	
Figura de mérito F_m	2,03 pVs	1,33 pVs	6,86 pVs	-	1,71 nVs
Tempo de aquisição τ_s (0,1%)	0,52 ns	0,54 ns	1,69 ns	0,9 μ s	-
Pedestal ρ	1,23 mV	1,08 mV	6,79 mV	0,93 mV	0,9 mV
Tempo de estabelecimento de modo <i>hold</i> τ_H (0,01%)	1,65 ns	1,23 ns	1,01 ns	-	1,9 μ s
Taxa de caimento ϕ_{dr}	$\simeq 0 \mu\text{V}/\mu\text{s}$	$\simeq 0 \mu\text{V}/\mu\text{s}$	-	-	0,75 mV/ μ s
Capacitor de retenção C_H	N/A	N/A	-	20 pF	50 pF
Potência Dissipada	13,18 mW		-		81 μ W
Área ocupada	0,7 mm ²		-		0,075 mm ²
Tecnologia CMOS	120 nm		180 nm		500 nm

* (PRAKRUTHI; YELLAMPALLI, 2015).

** (LOPEZ-MARTIN; UGALDE; RAMIREZ-ANGULO, 2013).

Tabela 4.9: Comparação entre circuito projetado e trabalhos de (NATIONAL, 1992)

Parâmetros	Canal 1	Canal 2	C*	D**
Figura de mérito F_m	2,03 pVs	1,33 pVs	1 nVs	50 nVs
Tempo de aquisição τ_s (0,1%)	0,52 ns	0,54 ns	4 μ s	130 ns
Pedestal ρ	1,23 mV	1,08 mV	1 mV [#]	10 mV
Tempo de estabelecimento de modo <i>hold</i> τ_H (0,01%)	1,65 ns	1,23 ns	1 μ s	50 ns
Taxa de caimento ϕ_{dr}	$\simeq 0 \mu\text{V}/\mu\text{s}$	$\simeq 0 \mu\text{V}/\mu\text{s}$	-	0,6 $\mu\text{V}/\mu$
Capacitor de retenção C_H	N/A	N/A	-	-
Corrente de fuga no capacitor hold ι	N/A	N/A	30 pA	6 pA
Potência Dissipada	13,18 mW		-	-
Área ocupada	0,7 mm ²		-	-
Tecnologia CMOS	120 nm		-	-

* LF398 (NATIONAL, 1992).

** LF6197 (NATIONAL, 1992).

Valor obtido empregando capacitor de retenção com 10 nF.

Conforme observado na seção 3.3, existem vários parâmetros que traduzem o desempenho de um circuito amostrador. Não obstante, muitas vezes é necessário comparar o desempenho com outros trabalhos. Deste modo, as Tabelas 4.8 e 4.9 lançam luz sobre o funcionamento do circuito amostrador projetado neste trabalho, além de confrontar

com outros projetos. Neste sentido, é possível perceber, ao analisar os parâmetros das Tabelas 4.8 e 4.9, que os dois canais de amostragem trabalham semelhantemente, ou seja, os dois canais apresentam desempenhos semelhantes, embora pequenas divergências ocorram entre os mesmos indicadores.

No tocante à taxa de caimento ϕ_{dr} , não foi observada significativa alteração da tensão de retenção, apenas pequenas variações em torno do valor amostrado, como pode ser observado através da Figura 4.21. A constância do valor amostrado pode ser justificada pela topologia aplicada. Como se sabe, o capacitor de retenção tende a manter o valor amostrado, porém devido à corrente de fuga do capacitor de retenção ι , ocorre uma gradativa degradação da tensão amostrada. Neste projeto, no entanto, não é utilizado capacitor para manter a tensão. Assim, a medida relativa à corrente de fuga do capacitor de retenção ι não tem aplicação neste projeto. Na realidade, a função de retenção do amostrador projetado continua sendo realizada por capacitância, porém através de elementos parasitas dos transistores M_3 e M_4 da Figura 4.15(a).

De acordo com o exposto no capítulo 3, o tempo de aquisição τ_s é definido, de modo simples, como o intervalo de tempo necessário para o sinal de saída voltar a seguir o sinal de entrada quando o período de retenção termina. Em outras palavras, é o tempo empregado para o amostrador se recuperar e voltar a seguir o sinal após o fim do modo retenção. Desta forma, embora os tempos de aquisição dos canais de amostragem tenham sido medidos, eles podem ser considerados nulos, uma vez que finda o tempo de retenção do canal 1, o canal 2 já está apto para amostrar valores coerentes.

Em relação ao pedestal ρ , é possível perceber que o trabalho exposto por (LOPEZ-MARTIN; UGALDE; RAMIREZ-ANGULO, 2013) através da Tabela 4.8 apresenta o menor valor. Este baixo valor, no entanto, é pago com alto preço. Como foi discutido e analisado no capítulo 3, ao incrementar o valor do capacitor de retenção, é possível reduzir o erro inserido pelo efeito da injeção de carga (pedestal). Em contrapartida, a constante de tempo do circuito é incrementada, deixando o amostrador mais lento. Esta abordagem pode ser observada no circuito de (LOPEZ-MARTIN; UGALDE; RAMIREZ-ANGULO, 2013), onde é utilizado um grande capacitor de retenção (50 pF) para obter um pequeno valor de pedestal. O tempo de estabelecimento de modo *hold* τ_h , porém, é bem superior aos outros trabalhos, não sendo indicado a utilização do circuito em aplicações de média e alta frequência.

Mais uma vez observando as Tabelas 4.8 e 4.9, é possível concluir também que o circuito amostrador projetado apresenta a melhor relação entre exatidão e velocidade, ou seja, o circuito exibe uma performance rápida, o que pode ser observado através do

tempo de aquisição τ_s e do tempo de estabelecimento de modo *hold* τ_H , com um baixo valor de pedestal ρ . Pode-se chegar à mesma conclusão comparando a Figura de mérito F_m do circuito amostrador projetado com os outros projetos. Como visto neste trabalho, tradicionalmente os circuitos amostradores apresentam um antagonismo entre velocidade e exatidão, o que pode ser observado em todos os outros trabalhos resumidos através das Tabelas 4.8 e 4.9.

Neste projeto, porém, foi utilizado uma estratégia de polarização onde os níveis DC dos sinais de saída referentes ao núcleo do amostrador fossem capazes de polarizar os *buffers* de saída. Assim, não foi necessário a utilização de circuitos para polarizar os pares diferenciais de saída, permitindo a ligação direta entre o núcleo do amostrador e os *gates* dos *buffers* de saída. Esta ligação direta proporciona uma baixa corrente drenada do núcleo, possibilitando a retirada do capacitor de retenção (deixando a função à cargo do elemento parasita). Como forma de compensar o baixo valor referente ao capacitor de retenção, os transistores presentes no núcleo do amostrador foram dimensionados com as mínimas medidas.

Finalmente, o *buffer* apresentou um valor relativamente alto de impedância na saída. Esse valor, em torno de 5 k Ω , incrementa a constante de tempo do circuito amostrador τ , porém não foi suficiente para tornar o circuito demasiadamente lento, como demonstram as Tabelas 4.8 e 4.9.

Capítulo 5

CONSIDERAÇÕES FINAIS

Durante todo o desenvolvimento do projeto, a pesquisa e implementação de um par diferencial que atendesse a estratégia de polarização se configurou no maior desafio enfrentado. Muitos *buffers* analisados não permitiam, de modo satisfatório, que a tensão de saída do primeiro par diferencial fosse capaz de polarizar o segundo par dentro de uma região satisfatoriamente linear. Como discutido, essa estratégia permitiu o desenvolvimento de um circuito amostrador rápido e exato.

Além disso, a concepção do leiaute de forma eficiente não é uma tarefa simples e demandou muito tempo do projeto. Durante o processo de fabricação de circuito integrado podem ocorrer pequenos desalinhamentos de camadas e outras imperfeições, principalmente na periferia do *wafers*, onde é alocada a maioria dos circuitos acadêmicos. Técnicas de leiaute como transistores *multifinger*, simetria de centro comum, interdigitalização, orientação de corrente e elementos *dummy* foram empregados em todo o projeto e visam tornar o circuito menos sensíveis às variações do processo de fabricação. Estas técnicas, porém, não são de simples implementação, demandando muito tempo.

Em todo projeto estruturado, é fundamental o destrinchamento do objetivo final em metas intermediárias. Esta estratégia permite um planejamento eficiente e mais controle sobre o tempo de desenvolvimento. Deste modo, foram traçados e atingidos marcos como: Estudar o modelo teórico do funcionamento relativo ao receptor de radiofrequência baseado em subamostragem com dupla quadratura; Realizar revisão bibliográfica dos circuitos amostradores e contadores digitais; Implementar e analisar o desempenho de cada elemento funcional do projeto; Analisar o desempenho de forma conjunta de todos os elementos funcionais do projeto; Caso o desempenho conjunto não seja satisfatório, retornar à análise e projeto de elementos funcionais.

Como principais contribuições e diferenciais de projeto, este trabalho atende os

requisitos funcionais do receptor baseado em subamostragem com dupla quadratura proposto por (LOLIS, 2011) e ilustrado através da Figura 2.6 conforme as Equações (2.7) e (2.8). Ou seja, o circuito amostrador projetado apresenta dois canais de amostragem que trabalham defasados em $\frac{T}{4}$, conforme demonstra a Figura 4.21. A defasagem necessária para operação em quadratura foi ainda implementada com auxílio de circuitos digitais.

Além disso, o circuito amostrador projetado incorporou características de velocidade e exatidão. Estes atributos, outrora completamente antagônicos, foram possíveis de ser atingidos por meio da remoção do capacitor de retenção. A retirada do elemento condensador, por sua vez, foi viável em razão da estratégia de polarização adotada.

5.1 VISÃO PROSPECTIVA

As medidas do circuito amostrador projetado, presentes na Tabela 4.9, foram realizadas através de simulações pós-leiaute. Naturalmente, o próximo passo dentro do fluxo de projeto é a medida dos parâmetros de desempenho em bancada, ou seja, realizar medidas no circuito fabricado. De posse dos dados obtidos, ainda será possível gerar publicações futuras.

No tocante ao projeto do receptor baseado em subamostragem com dupla quadratura ilustrado através da Figura 2.6, é fortemente desejável a análise conjunta do estágio amostrador projetado com os estágios de ganho programável e somador, tanto uma análise de circuito quanto sistêmica. Para tanto, é necessário o desenvolvimento do segundo e terceiro estágio do receptor.

Em relação aos *buffers* projetados, constatou-se que a impedância de saída do circuito apresenta um valor com potencial de redução. Como se sabe, o valor da resistência de saída do primeiro par diferencial irá incrementar o valor da resistência referente à chave R_{on} . A constante de tempo τ , portanto, será incrementada e deixará o circuito mais lento. O amostrador projetado, em vista disso, poderá ser ainda mais rápido se o par diferencial da entrada ganhar um segundo estágio com baixa impedância de saída. Esta proposta, porém, é carente de uma análise de viabilidade envolvendo ganho real de velocidade e consumo de potência.

Ainda buscando ganho em velocidade, a Figura 5.1 apresenta uma ideia de amostragem alternada, onde duas chaves se revezam na captura da mesma entrada. Deste modo, quando encerrar o tempo de retenção referente a uma chave, o outro dispositivo já estará apto a realizar uma nova amostragem. Enquanto uma chave realiza a retenção do valor da entrada, a outra está retornando ao valor da entrada, ou seja, está se recompondo

para uma nova amostragem coerente. O amostrador ilustrado na Figura 5.1 teria, então, tempo de aquisição τ_s nulo. É essencial, porém, que o tempo de comutação do multiplexador seja suficientemente baixo. Desta forma, o amostrador proposto necessitará de um multiplexador com duas entradas e um circuito digital capaz de gerar os sinais de relógio para o acionamento das chaves e seleção para o multiplexador.

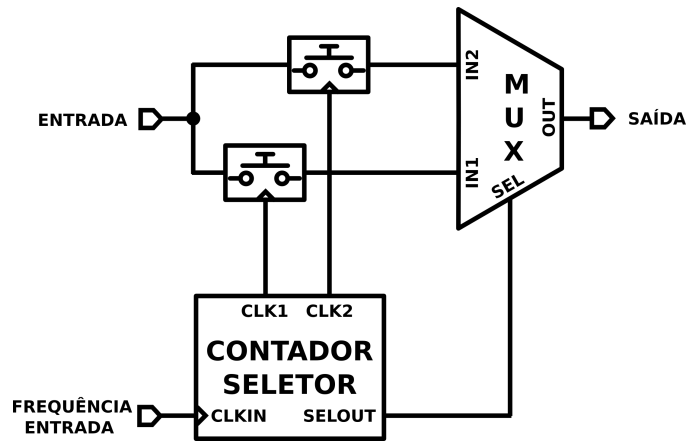


Figura 5.1: Circuito proposto. Fonte: Elaborada pelo autor.

Referências

- ABDURRHMAN, A.-S.; HAMMOD, A.-O. Lte. 2008.
- ALIOTO, M.; PALUMBO, G. Modeling and optimized design of current mode mux/xor and d flip-flop. *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*, IEEE, v. 47, n. 5, p. 452–461, 2000.
- BAKER, R. J. *CMOS. Circuit Design, Layout, and Simulation*. [S.l.]: IEEE Press, 2010.
- BRUGLER, J. S.; JESPERS, P. G. Charge pumping in mos devices. *IEEE Transactions on Electron Devices*, IEEE, v. 16, n. 3, p. 297–302, 1969.
- BUSSAB, W. d. O.; MORETTIN, P. A. *Estatística básica*. [S.l.]: Saraiva, 2013.
- CASTRO, M. C. F. Sistemas wireless e padrões. 2009. *Pontifícia Universidade Católica do Rio Grande do Sul, Departamento de Engenharia elétrica, Rio Grande do Sul*, 2009.
- CHAGANTI, S.; XU, L.; CHEN, D. A low-cost method for separation and accurate estimation of adc noise, aperture jitter, and clock jitter. In: IEEE. *VLSI Test Symposium (VTS), 2017 IEEE 35th*. [S.l.], 2017. p. 1–6.
- CUNHA, J. P. C. et al. An 130nm cmos sample-and-hold dedicated to double quadrature bps receiver architecture. *XXII Iberchip Workshop, Bariloche, Argentina, 2017*, IEEE, p. 74–77, 2017.
- DAI, C.-T. et al. Latchup in bulk finfet technology. In: IEEE. *Reliability Physics Symposium (IRPS), 2017 IEEE International*. [S.l.], 2017. p. EL–1.
- DEI, A.; VALLE, M. Charge injection and charge pumping in mos analog switches. In: *15th European Conference on Circuit Theory and Design, ECCTD*. [S.l.: s.n.], 2001. v. 1.
- DUONG, Q.-H. et al. A 95-db linear low-power variable gain amplifier. *IEEE Transactions on Circuits and Systems I: Regular Papers*, IEEE, v. 53, n. 8, p. 1648–1657, 2006.
- ELGAMEL, M.; DARWISH, T.; BAYOUMI, M. Noise tolerant low power dynamic tspcl d flip-flops. In: IEEE. *VLSI, 2002. Proceedings. IEEE Computer Society Annual Symposium on*. [S.l.], 2002. p. 89–94.

- GABIAN, G.; LUTENBERG, A.; LIPOVETZKY, J. Cmos implementation of a programmable attenuation amplifier based on switched capacitors for an optical encoder system. In: IEEE. *Embedded Systems (SASE/CASE), 2014 Fifth Argentine Symposium and Conference on*. [S.l.], 2014. p. 19–23.
- GSMA: Site. 2017. Disponível em: <<http://www.gsma.com/mobileeconomy/>>. Acesso em: 21 mai. 2017.
- GU, Q. *RF system design of transceivers for wireless communications*. [S.l.]: Springer Science & Business Media, 2005.
- HARDEEP SWARNJEET, S. Design and analysis of d flip flop using different technologies. *International Journal of Innovative Research in Computer and Communication Engineering, IJIRCCE*, v. 3, n. 7, p. 6919 –6926, 2015.
- HAYKIN, S. *Sistemas de comunicação analógicos e digitais*. [S.l.]: Bookman, 2004.
- HERAGU, A.; RUFFIEUX, D.; ENZ, C. A low power baw resonator based 2.4-ghz receiver with bandwidth tunable channel selection filter at rf. *IEEE Journal of Solid-State Circuits*, IEEE, v. 48, n. 6, p. 1343–1356, 2013.
- HSU, C.-C.; WU, J.-T. A highly linear 125-mhz cmos switched-resistor programmable-gain amplifier. *IEEE Journal of Solid-State Circuits*, IEEE, v. 38, n. 10, p. 1663–1670, 2003.
- IEEE: Site. 2017. Disponível em: <<http://ieeexplore.ieee.org/document/1620780/>>. Acesso em: 25 jul. 2017.
- KIM, T. W.; KIM, B. A 13-db iip3 improved low-power cmos rf programmable gain amplifier using differential circuit transconductance linearization for various terrestrial mobile d-tv applications. *IEEE Journal of Solid-State Circuits*, IEEE, v. 41, n. 4, p. 945–953, 2006.
- LEE, H.-c.; LIN, C.-c.; WANG, C.-k. A 290mhz 50db programmable gain amplifier for wideband communications. In: IEEE. *Solid-State Circuits Conference, 2006. ASSCC 2006. IEEE Asian*. [S.l.], 2006. p. 379–382.
- LOINAZ, M. J. et al. Experimental results and modeling techniques for substrate noise in mixed-signal integrated circuits. *IEICE transactions on electronics*, The Institute of Electronics, Information and Communication Engineers, v. 76, n. 5, p. 760–770, 1993.
- LOLIS, L. *Agile bandpass sampling RF receivers for low power applications*. Tese (Doutorado) — Université Sciences et Technologies-Bordeaux I, 2011.
- LOPEZ-MARTIN, A. J.; UGALDE, X.; RAMIREZ-ANGULO, J. Energy-efficient class ab cmos sample and hold circuit. In: IEEE. *EUROCON, 2013 IEEE*. [S.l.], 2013. p. 1946–1950.
- MACQUIGG, D. Residual charge on a switched capacitor [mos type]. *IEEE Journal of Solid-State Circuits*, IEEE, v. 18, n. 6, p. 811–813, 1983.

- MAK, P.-I.; SENG-PAN, U.; MARTINS, R. P. On the design of a programmable-gain amplifier with built-in compact dc-offset cancellers for very low-voltage wlan systems. *IEEE Transactions on Circuits and Systems I: Regular Papers*, IEEE, v. 55, n. 2, p. 496–509, 2008.
- MARIANO, A. *Mixed simulations and design of a wideband continuous-time bandpass delta-sigma converter dedicated to software defined radio applications*. Tese (Doutorado) — Université Bordeaux 1, 2008.
- MEIRELLES, F. d. S. 28^a pesquisa anual do uso de ti. 2017.
- MORGENSHTEIN, A.; FISH, A.; WAGNER, I. A. Gate-diffusion input (gdi): a power-efficient method for digital combinatorial circuits. *IEEE transactions on very large scale integration (VLSI) systems*, IEEE, v. 10, n. 5, p. 566–581, 2002.
- NATIONAL, S. Specifications and architectures of sample-and-hold amplifiers. 1992.
- PRAKRUTHI, T.; YELLAMPALLI, S. Design and implementation of sample and hold circuit in 180nm cmos technology. In: IEEE. *Advances in Computing, Communications and Informatics (ICACCI), 2015 International Conference on*. [S.l.], 2015. p. 1148–1151.
- RAZAVI, B. *Design of analog CMOS integrated circuits*. [S.l.]: Tata McGraw-Hill Education, 2002.
- RAZAVI, B.; BEHZAD, R. *RF microelectronics*. [S.l.]: Prentice Hall New Jersey, 2011.
- SANZ, M. T.; CELMA, S.; CALVO, B. Designing pgas based on the current division technique. In: IEEE. *Circuits and Systems, 2006. MWSCAS'06. 49th IEEE International Midwest Symposium on*. [S.l.], 2006. v. 2, p. 69–73.
- SANZ, T. et al. Paper 412 title: A digitally programmable vga. In: IEEE COMPUTER SOCIETY; 1999. *MIDWEST SYMPOSIUM ON CIRCUITS AND SYSTEMS*. [S.l.], 2001. v. 44, p. 602–605.
- SHEU, B.; SHIEH, J.-H.; PATIL, M. Modeling charge injection in mos analog switches. *IEEE transactions on circuits and systems*, IEEE, v. 34, n. 2, p. 214–216, 1987.
- SHEU, B. J.; HU, C. Switch-induced error voltage on a switched capacitor. *IEEE Journal of solid-state Circuits*, IEEE, v. 19, n. 4, p. 519–525, 1984.
- SHIEH, J.-H.; PATIL, M.; SHEU, B. J. Measurement and analysis of charge injection in mos analog switches. *IEEE Journal of Solid-State Circuits*, IEEE, v. 22, n. 2, p. 277–281, 1987.
- SIONEK, G. et al. Double quadrature bandpass sampling for a pll and mixer-less low-if multistandard receiver. *IEEE Latin American Symposium on Circuit and System*, IEEE, p. 200–203, 2017.
- STOJANOVIC, V.; OKLOBDZIJA, V. G. Comparative analysis of master-slave latches and flip-flops for high-performance and low-power systems. *IEEE Journal of solid-state circuits*, IEEE, v. 34, n. 4, p. 536–548, 1999.

VERCAEMER, D.; ROMBOUTS, P. Analyzing the effect of clock jitter on self-oscillating sigma delta modulators. *IEEE Transactions on Circuits and Systems I: Regular Papers*, IEEE, v. 63, n. 2, p. 200–210, 2016.

VERILOG: Site. 2017. Disponível em: <<https://www.verilog.com>>. Acesso em: 25 jul. 2017.

WEGMANN, G.; VITTOZ, E. A.; RAHALI, F. Charge injection in analog mos switches. *IEEE Journal of Solid-State Circuits*, IEEE, v. 22, n. 6, p. 1091–1097, 1987.

WILSON, W. B. et al. Measurement and modeling of charge feedthrough in n-channel mos analog switches. *IEEE journal of solid-state circuits*, IEEE, v. 20, n. 6, p. 1206–1213, 1985.

YANG, P.-H.; WANG, J.-S.; WANG, Y.-M. A 1-ghz low-power transposition memory using new pulse-clocked d flip-flops. In: IEEE. *Circuits and Systems, 2000. Proceedings. ISCAS 2000 Geneva. The 2000 IEEE International Symposium on*. [S.l.], 2000. v. 5, p. 665–668.

ANEXO A – Código Verilog e MatLab

Código Verilog do gerador de variação de relógio.

```

1  'include "disciplines.vams"
2
3  module jitter\_clock3 (out, in);
4  input in; output out; electrical in, out;
5
6  parameter real Vlo=-1, Vhi=1;
7  parameter real tt=35p from (0:inf);
8  parameter real td=12.75e-10 from (0:inf);
9  parameter real jitter=1e-10 from [0:td/5]; // tamanho do jitter
10 parameter real ttol=1e-13 from (0:td/5); // recomendado ttol << jitter
11 parameter real sd=0.1;
12 parameter integer seed=311;
13
14 integer count, n;
15 real dt;
16
17 analog
18 begin
19     @(cross(V(in) - (Vhi + Vlo)/2, 0, ttol))
20     begin
21         n=!n;
22         // Geração do jitter
23         // Desvio Padrão Total=sd*jitter=10 ps
24         dt = jitter*\$rdist\_normal(seed,0,sd);
25     end
26     V(out) <=$+ transition(n ? Vhi : Vlo, td+dt, tt);
27 end
28 endmodule}

```


ANEXO B – Leiautes do projeto

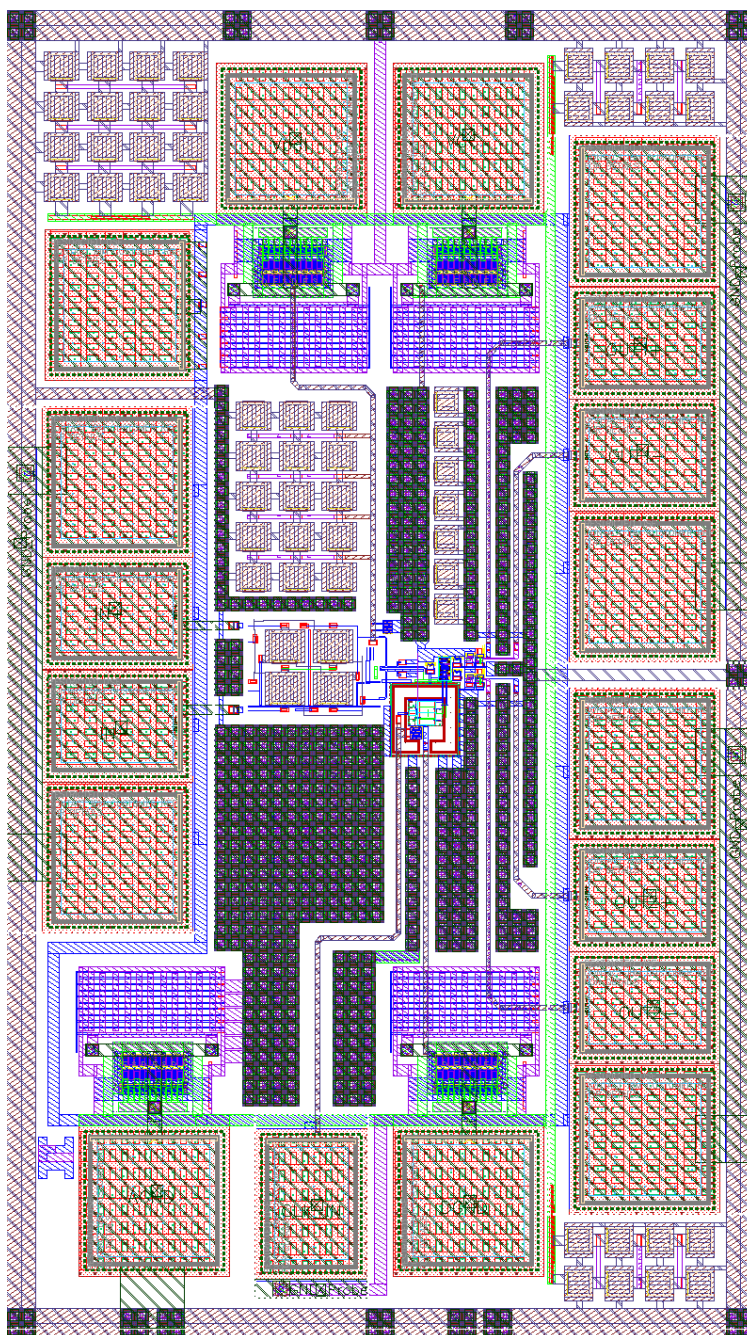


Figura B.1: Leiaute completo do projeto.

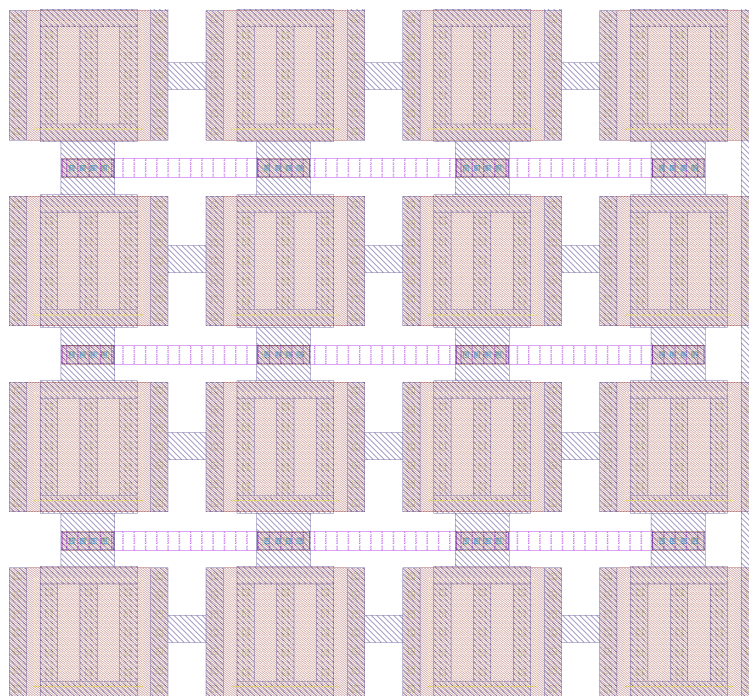


Figura B.2: Detalhe do leiaute referente ao banco capacitivo.

A Figura B.2 ilustra o leiaute de um dos bancos capacitivos empregados no projeto. Ao todo, são dois conjuntos de elementos condensadores. O primeiro é empregado entre as entradas V_{pol} e AGND (entrada da referência analógica) com valor total de 12,5 pF. O segundo banco capacitivo é empregado entre a fonte de tensão e a referência analógica com valor total de 30,7 pF. Ambos os bancos capacitivos têm por função proteger referências de tensão contra variações.

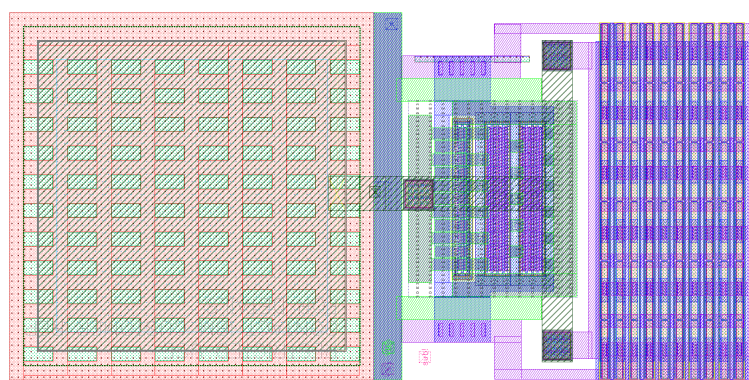


Figura B.3: Detalhe do leiaute referente ao PAD com proteção.

A Figura B.3 exibe o leiaute do *PAD* com proteção utilizado em entradas DC. O *PAD* conta com a presença de um capacitor cujo valor é 2,64 pF. Além do elemento capacitivo, o *PAD* também é protegido contra descargas eletrostáticas através da inserção de diodo ESD.

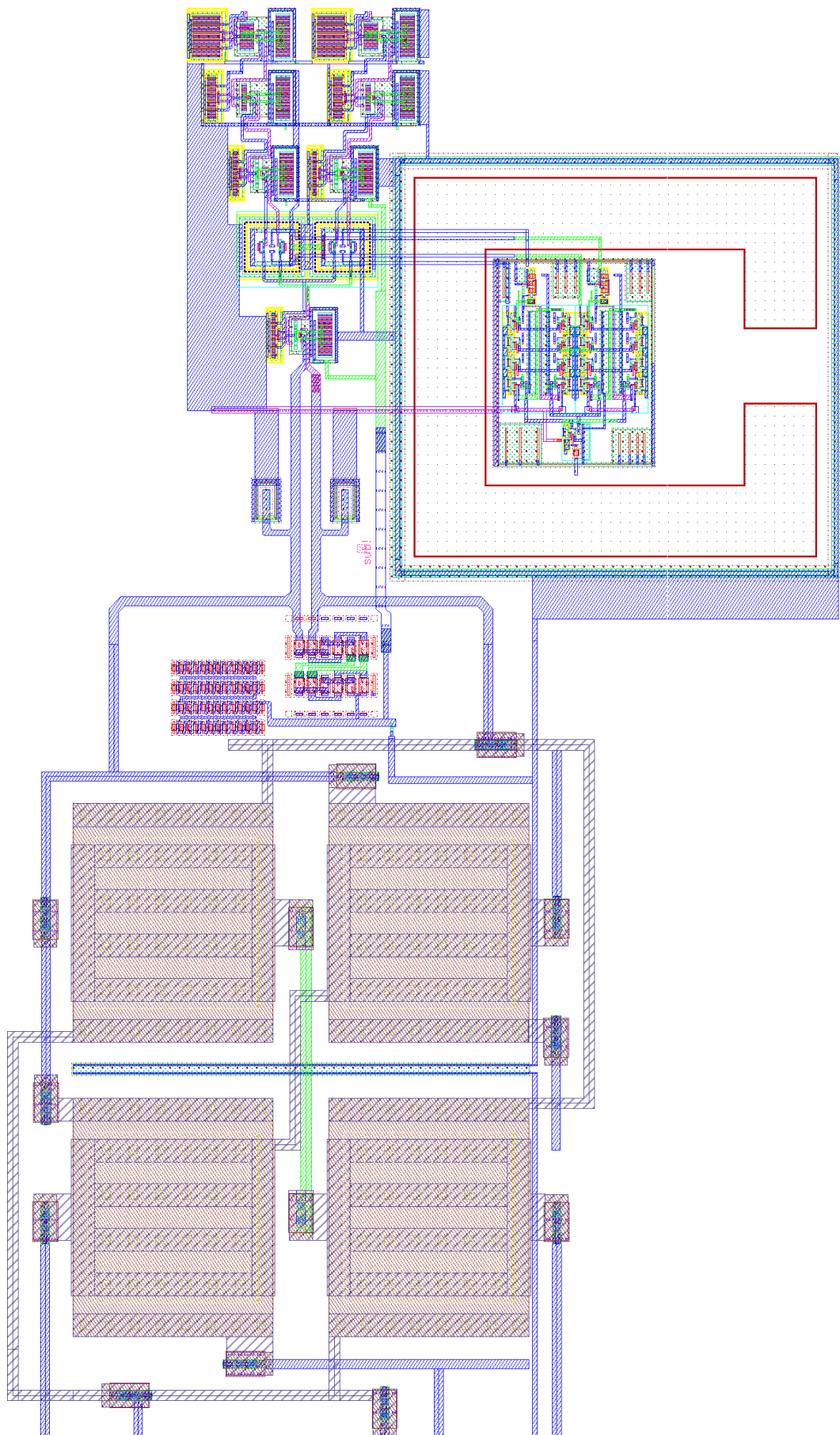


Figura B.4: Detalhe do leiaute referente ao núcleo do projeto composto pelo circuito de polarização, circuito digital e circuito analógico.